



EDITORIAL 17^{ème} JPCNFM'2023

Depuis 1990, les JPCNFM sont un moment important pour le GIP-CNFM et toute sa communauté. Après une 16^{ème} édition organisée au Palais du Grand Large à Saint-Malo, c'est au tour du pôle de Toulouse d'être l'organisateur de ces Journées. Le pôle fête ses 40 années d'existence et c'est l'occasion de se rassembler et de visiter ses nouveaux aménagements et ses plateformes.

Dans un contexte de Plan de Relance France 2030, plus particulièrement dans le domaine de l'électronique, et de positionnement du réseau au sein de la Filière électronique avec notre premier partenaire industriel ACSIEL Alliance électronique, l'objectif de ces 17^{èmes} Journées Pédagogiques du CNFM sera dans le même esprit que les éditions précédentes. Il s'agit d'encourager, d'une part les échanges à caractère pédagogique entre enseignants et partenaires industriels de notre communauté afin de faire évoluer les contenus, et d'autre part, l'apprentissage au savoir-faire dans les nouvelles priorités industrielles, de recherche et de formation. Cette approche est d'autant plus importante, pour le projet INFORISM qui vient d'être accepté pour une durée de 5 ans dans le cadre de l'appel à Projets AMI-CMA et dont le GIP-CNFM est porteur, qui engage notre communauté académique ainsi que nos partenaires industriels. En effet, il s'agit d'une part de conserver la qualité de la formation de nos futurs diplômés en garantissant un savoir-faire adapté à l'industrie et la recherche en microélectronique, et d'autre part d'augmenter ce nombre de formés quels qu'en soient leurs origines et leur niveau de formation. Nous devons ainsi faire face à un défi important aussi bien technique et technologique qu'humain.

Les thématiques de ces journées concernent aussi bien la technologie, la conception, le test ou la caractérisation associés aux performances et innovations des circuits micro- et nanoélectroniques, VLSI, de puissance ou de grande surface, ou encore des circuits hybrides, hyperfréquences ou les systèmes numériques. Mais une attention particulière doit porter sur les nouveaux besoins en compétences manifestés par la profession au sein de la Filière, afin de répondre aux différentes applications sociétales mais aussi avec un objectif de diminution de la consommation énergétique de l'ensemble du domaine numérique et de couverture des métiers en tension. Il s'agit en particulier des systèmes toujours plus intelligents, connectés et sécurisés, des cartes électroniques, et de l'électronique de puissance, appliqués en priorité à la mobilité. Lors de cette édition, le nouveau réseau de prototypage national, le CIME-P, piloté par le pôle grenoblois du CNFM, sera présenté afin d'informer l'ensemble de la communauté de la cohérence nationale de l'activité notamment en lien avec les services nationaux et de la possibilité de concevoir de nouveaux circuits. De plus, l'environnement industriel de la région toulousaine dans le domaine de l'aéronautique et du spatial offre l'opportunité de sensibiliser la communauté sur les aspects spécifiques à ce domaine de l'électronique et de la microélectronique.

Dans un contexte d'extension du numérique, notamment vers les supports pédagogiques en ligne, un effort doit être mené vers le savoir-faire des techniciens, ingénieurs et docteurs qui vient en complément indispensable à l'approche de l'apprentissage en ligne de plus en plus dominant. Le rôle du réseau et des pôles est ainsi renforcé et la stratégie innovante accrue aussi bien en formation initiale qu'en formation tout au long de la vie.

Sous la forme d'exposés ou de démonstrations de réalisations destinés à la dissémination au sein du réseau, les innovations pédagogiques seront complétées par des expériences de sensibilisation de notre discipline vers les lycées et collèges, mais également vers le grand public et les entreprises, qui s'intègrent dans la politique d'attractivité du GIP-CNFM et du Comité Stratégique de Filière. Cette action s'inscrit dans l'objectif d'accroître le vivier de compétences quantitativement et qualitativement dans tous les volets de la microélectronique et de ses applications, et pour tous les niveaux de formations, de diplômes et de certifications.

Les organisateurs remercient tous les collègues de leurs contributions qui devraient rendre instructif et passionnant cet évènement bisannuel.

Toulouse, novembre 2023

Marc Respaud, Laurent Pichon, Hervé Lhermite, et Olivier Bonnaud

Les défis technologiques et humains de la microélectronique et des nanotechnologies

O. Bonnaud^{a,b}

^a IETR, Université de Rennes, Rennes, France
GIP-CNFM, Grenoble, France

Contact email : olivier.bonnaud@univ-rennes.fr

Le développement des technologies numériques associées à internet dans le monde a été fulgurant depuis le début des années 2000 avec une croissance exponentielle. Il en est de même pour la quantité de données transférées et traitées et pour la consommation d'énergie électrique. Si cette tendance ne se ralentit pas, d'ici 2030, la totalité de la production mondiale d'énergie électrique sera consacrée aux activités numériques. Tous les équipements numériques sont basés sur des composants, circuits et systèmes microélectroniques. Le défi actuel consiste à diviser par 100 la consommation d'électricité des équipements électroniques. De nombreuses solutions récentes issues d'activités de recherche impliquant de nouvelles architectures, technologies, matériaux et concepts sont disponibles. Mais la mise en œuvre de ces approches nécessite de nouvelles compétences directement liées aux besoins des entreprises de la microélectronique. Une politique d'acquisition de nouvelles compétences dans le domaine est actuellement développée dans le cadre du réseau national français d'enseignement supérieur en microélectronique. L'objectif final est de former plus de trente mille ingénieurs, docteurs et techniciens dans les six prochaines années dans le cadre du programme France 2030.

I. Introduction

Le développement des technologies numériques dans le monde a été fulgurant depuis le début des années 2000. Le nombre d'objets connectés, de liens internet et d'autres systèmes numériques a augmenté de manière exponentielle en accord avec la loi de Moore (1) et au-delà de Moore (2), entraînant une augmentation exponentielle de la quantité de données transférées et traitées (3-4) ainsi que de la consommation d'énergie électrique (5-6). Si cette tendance ne se ralentit pas, d'ici 2030, la totalité de la production mondiale d'énergie électrique sera consacrée aux activités numériques (5-6). Tous les équipements numériques sont basés sur des composants, circuits et systèmes microélectroniques (7). Le défi actuel est donc de se concentrer sur le domaine de la microélectronique et des nanotechnologies avec l'objectif à moyen terme de diviser par 100 la consommation d'électricité des équipements électroniques. De nombreuses solutions récentes issues d'activités de recherche impliquant de nouvelles architectures, technologies, matériaux et concepts sont disponibles (8-9). La mise en œuvre de ces approches nécessite de nouvelles compétences directement liées aux besoins des entreprises de la microélectronique, qui connaissent une pénurie d'emplois depuis plus de cinq ans. Une politique d'acquisition de nouvelles compétences dans le domaine est actuellement développée dans le cadre du réseau national

français d'enseignement supérieur en microélectronique (10-11). L'objectif final est de former plus de trente mille ingénieurs, docteurs et techniciens dans les six prochaines années dans le cadre du programme France 2030. L'objectif de cet article consiste à mettre en évidence les limitations actuelles et les défis. La suite porte sur les solutions potentielles sur le plan technique et la stratégie adoptées au niveau du réseau national de formation pour faire face à ces défis, seul moyen d'éviter une impasse prochaine avec des conséquences catastrophiques sur le plan sociétal au niveau mondial.

II. Objets connectés et limite du développement

L'internet et les objets connectés sont fondés sur des dispositifs électroniques comportant un grand nombre de fonctions qui permettent de partir d'un signal de capteur, de le transformer sous forme numérique et de le transmettre par différents protocoles de communication à une centre de données ou une station de contrôle à distance. La figure 1 donne une vue schématique d'un tel objet connecté. Les capteurs et les actionneurs peuvent être de toute nature (4), physique, optique, magnétique, mécanique, chimique, biologique, etc.

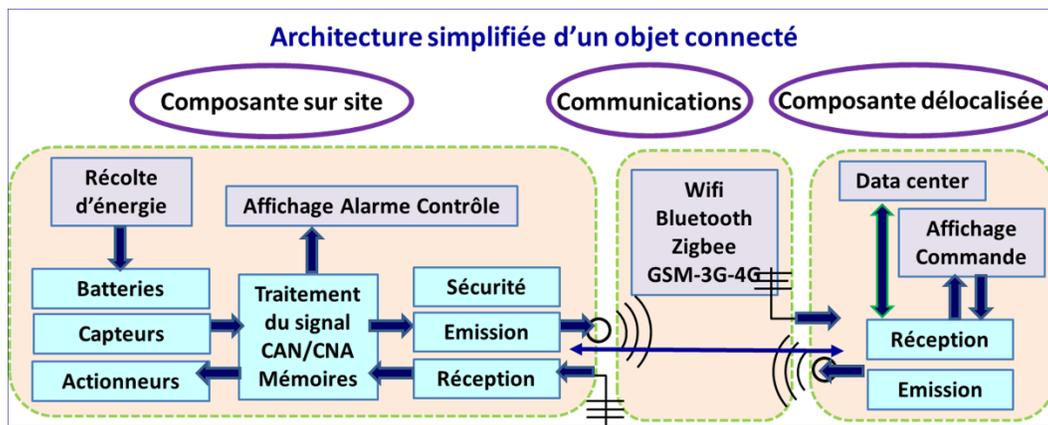


Fig.1. Principe d'un objet connecté. Le signal fourni par un capteur est amplifié, converti en signal numérique, traité et transmis vers une composante délocalisée qui peut être très lointaine.

Le champ des applications est vaste et couvre la majorité des domaines sociétaux (9) comme le montre la figure 2.

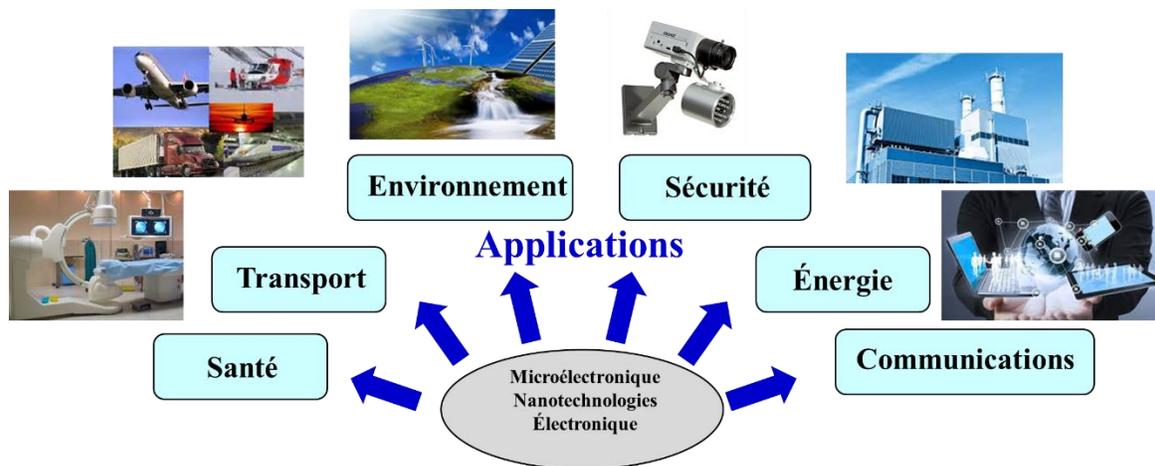


Fig.2. Santé, environnement, communications, sécurité, énergie et transport, constituent les principaux domaines d'application. Tous les secteurs sont en fait concernés. Ceci explique la multiplication des données à engendrer, transmettre, stocker et traiter ensuite dans des centres spécifiques (data centers)

La conséquence de cette croissance d'utilisation est multiple. Comme le montre la figure 3, le nombre d'objets connectés et de façon plus générale de l'internet des objets est en croissance exponentielle depuis le début des années 2000 et le nombre de données générées croît exponentiellement et plus rapidement en raison de la complexité croissante des circuits (12). Cette croissance entraîne une croissance également exponentielle de la consommation d'énergie annuelle. Cette dernière pourrait atteindre en 2036 environ 200,000 TWh, ce qui est supérieur à l'énergie mondiale produite en 2018.

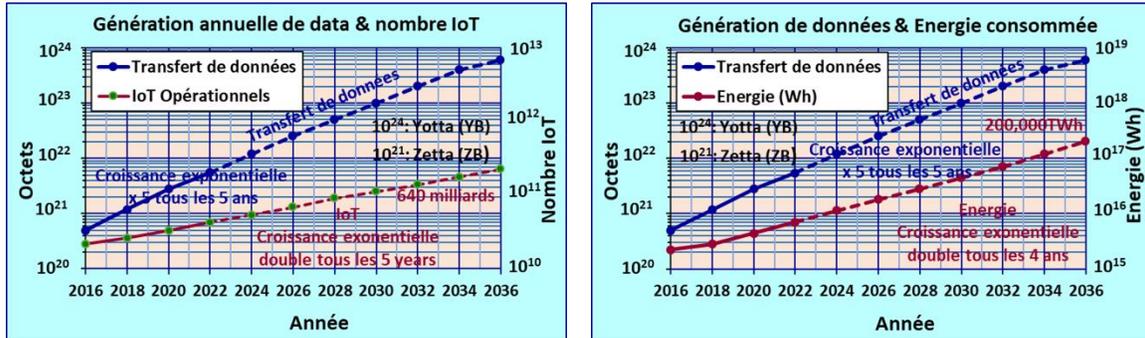


Fig.3. Le diagramme de gauche montre la croissance exponentielle de données engendrées par les IoT en croissance également exponentielle. Le graphe de droite montre la conséquence sur la consommation d'énergie annuelle qui pourrait atteindre 200,000 TWh en 2036.

Il peut être noté que la consommation du numérique correspond dans cette étude à la prise en compte de toute la chaîne qui part des objets personnels comme les iPad, iPhone, les tablettes, PC personnels, les montres connectées, les ordinateurs, les écrans de visualisation, les caméras de surveillance ou de contrôle, mais également le transport et l'amplification vers les serveurs locaux puis le transport vers les data centers et le retour. En 2023, près de la moitié de la consommation mondiale est utilisée par les data centers dont 48% sont réservés à leur refroidissement !

La figure 4 montre l'évolution de la consommation d'énergie qui pourrait suivre la croissance liée au numérique (13). Sans modification du comportement des fabricants de produits, la consommation mondiale d'électricité pourrait dépasser la consommation d'énergie mondiale d'énergie de 2018, toutes sources de production confondues.

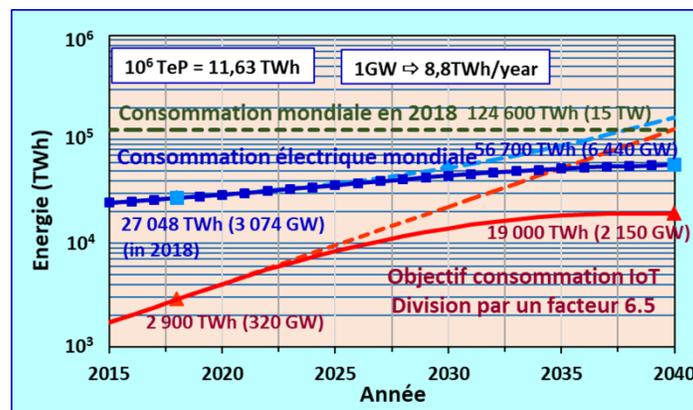


Fig.4. Évolution de la consommation annuelle sur la planète sur les 15 prochaines années. La courbe en rouge (pointillés) montre la limite physique de ce phénomène si aucune mesure de limitation n'est prise. La courbe en rouge (trait plein) présente les objectifs de limitation de consommation.

Comme indiqué précédemment, cette évolution pourrait être fortement ralentie en diminuant progressivement par 10, en moyenne, la consommation de toute l'électronique actuellement utilisée dans tous les systèmes numériques comme illustré par la courbe en rouge (en trait plein). Limiter la consommation mondiale à 20,000TWh est un objectif réaliste, à condition que toute la planète prenne le problème à bras le corps !

III. Les défis technologiques de la microélectronique

Si l'intégration a permis de diminuer la dimension des composants élémentaires à des échelles nanométrique, l'énergie de modification d'une donnée peut devenir extrêmement faible de l'ordre de grandeur du picoJoule. Tout semble parfait, sauf qu'à ces dimensions les effets quantiques surviennent et les couches de matériaux dont les épaisseurs sont de l'ordre du nanomètre sont partiellement conductrices (effet tunnel). Lorsqu'un circuit comporte des milliards de transistors (cas des mémoires), la somme des courants de fuite devient de plusieurs ordres de grandeur supérieure aux courants « utiles » de traitement des données dans les technologies synchrones où tous les composants sont alimentés par une horloge.

Il faut alors revoir l'architecture des composants élémentaires mais également l'architecture des circuits tout en jouant sur les propriétés des matériaux mis en œuvre. Cet exemple particulier montre les possibilités potentielles d'amélioration sur l'ensemble de la chaîne numérique (8-10). Ainsi, la consommation globale crée des défis sur :

- la consommation des composants élémentaires (nouveaux composants),
- les nouvelles architectures de circuits (fonctionnement asynchrone),
- les nouvelles architectures des systèmes (mise en veille, asservissement par l'énergie),
- la minimisation des transmissions (protocoles et débits adaptés),
- le traitement du signal optimisé (intelligence artificielle),
- la récolte d'énergie locale (transducteurs physiques, chimiques, biologiques),
- la minimisation de l'utilisation des data centers (traitement interne),
- le développement de serveurs locaux (*edge computing*),
- la diminution des pertes de transmission des signaux et des données (absorption, amplifications électriques et optiques, antennes directives).

Il est clair que cette liste n'est pas exhaustive mais qu'elle montre l'ampleur de la tâche qui ne sera menée que si les compétences et savoir-faire sont disponibles au niveau des centres de recherche, des établissements académiques et des entreprises. Cela suppose un accroissement notable du vivier de formés dans ce domaine à tous les niveaux de qualification, ce qui constitue d'autres défis tout aussi importants que les défis technologiques.

IV. Les défis humains

Les besoins en compétences apparaissent sous différentes formes. Dans le cadre du Comité Stratégique de Filière piloté par ACSIEL Alliance Electronique et des groupes de travail sur les compétences et l'emploi auxquels participent plusieurs membres actifs de notre communauté, il a été mis en évidence l'existence de métiers en tension dans le secteur de la microélectronique.

La figure 5 fait apparaître l'écart entre les offres d'emplois et le pourcentage de difficultés de recrutement sur les 10 dernières années (14-15). Il apparaît clairement qu'en moyenne près de 80% des recrutements sont difficiles par manque d'adéquation entre les candidats et les compétences recherchées. Une analyse plus fine, fait apparaître des

différences notables dans les spécialités et plus particulièrement dans le domaine de l'électronique analogique et des hautes fréquences et dans le domaine de l'électronique de puissance. Le vivier de compétences est ainsi insuffisant et des efforts doivent être menés au niveau de l'attractivité de la discipline [16].

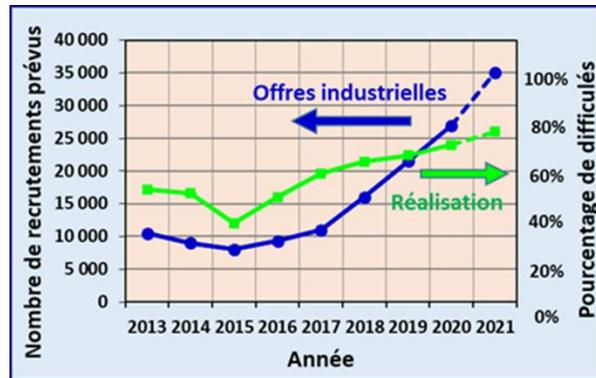


Fig.5. Évolution de la difficulté de recrutement en microélectronique au niveau des entreprise, tous niveaux de formation confondus, du technicien au docteur en passant par l'ingénieur ou master.

Un autre aspect dans la faiblesse du vivier est lié à la très faible présence féminine dans les nouvelles recrues. La figure 6 montre la forte décroissance de la présence féminine au fur et à mesure que le niveau de formation et la spécialisation augmentent (17). Au niveau master ou ingénieur, elle représente seulement 14% de la population employée.

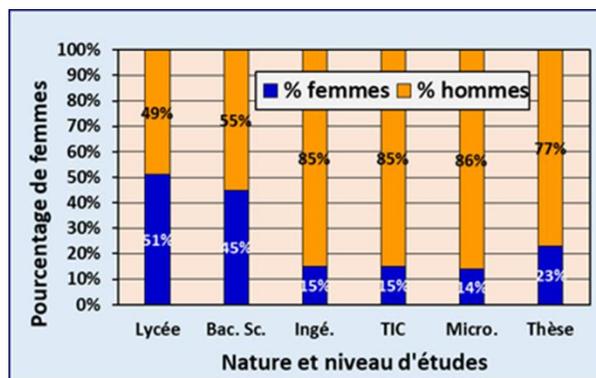


Fig.6. Évolution du pourcentage de femmes dans les études orientées vers la technologie de l'information et la communication et vers la microélectronique Seulement 14% de femmes sont à niveau bac+5 dans la spécialité.

Le défi de ce côté est important et une des solutions pour y faire face est de convaincre la gent féminine de l'importance de sa présence dans de nombreuses applications sociétales à caractère social (médecine et environnement par exemple). Mais cela nécessite un investissement important du corps professoral qui devra être soutenu par des actions promotionnelles des médias et par l'organisation d'événements de grande ampleur.

Une première façon d'aborder le problème consiste à sensibiliser les lycéens comme cela se fait depuis des années dans notre réseau (18), malheureusement à une petite échelle compte tenu dans la dimension de la communauté microélectronique nationale (10). Mais il faudra un engagement de l'ensemble des acteurs du domaine avec le soutien des rectorats et donc de l'inspection générale de l'enseignement secondaire pour passer à une vitesse supérieure. Ce point est envisagé dans le futur projet pluriannuel INFORISM (Ingénierie

de Formation innovante et stratégique en microélectronique) s’inscrivant dans le programme « Compétences et Métiers d’Avenir ».

Enfin, une dernière approche pourra consister à attirer des employés d’entreprises en reconversion. Pour cela, il faudra continuer à travailler en symbiose entre les partenaires académiques et industriels.

V. Conclusion

L’importance de la microélectronique est indiscutable dans nos sociétés. Elle constitue un des paramètres importants de l’avenir de la planète et devrait permettre de garantir une certaine part de souveraineté technique et industrielle. Les défis à surmonter sont de deux natures, à la fois technique et humaine. Dans le cadre du plan France 2030, la communauté nationale microélectronique a l’opportunité de contribuer significativement à ces objectifs. Les défis sociétaux sont de taille et des solutions existent potentiellement. Toutefois, il faut que l’ensemble de la communauté nationale voire internationale œuvre dans la même direction sur plusieurs années. Les défis ne sont plus locaux mais désormais mondiaux.

Remerciements

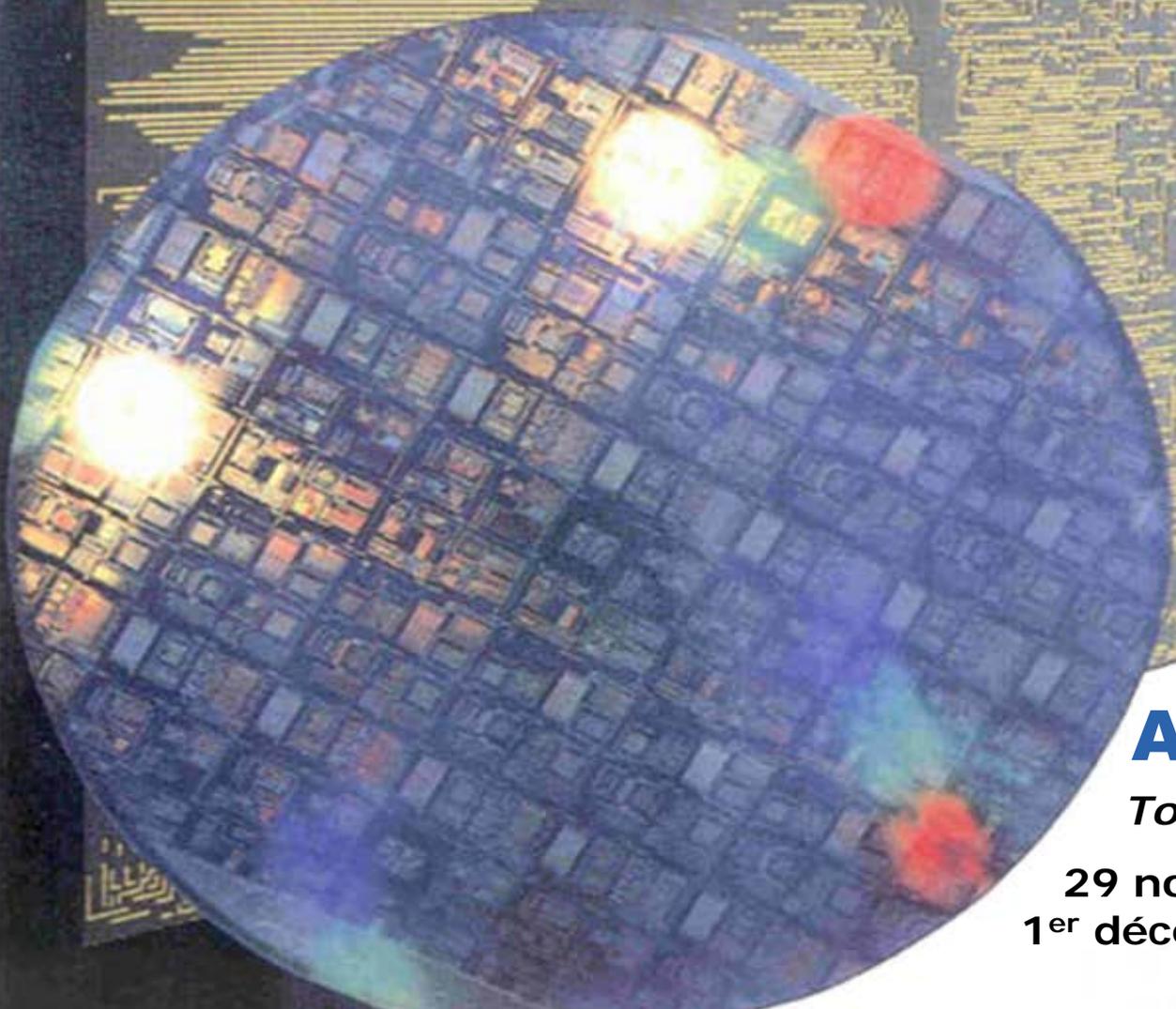
L’auteur remercie tous les collègues du réseau CNFM pour l’ensemble de leurs engagements plus particulièrement au niveau des plateformes techniques et technologiques afin de faire face aux défis actuels. Le chemin est encore long mais il faut rester optimistes.

Références

1. G.E. Moore, “Cramming more components onto integrated circuits”, *Electronics Magazine*, vol. 38, no.8, pp. 114-117 (1965).
2. Rao R. Tummala and M. Swaminathan, *System on Package: Miniaturization of the Entire System*, McGraw-Hill Education; 1st edition, (2008).
3. J. Bryzek, “The Trillion Sensors (TSensors) Foundation for the IoT” *Tsensors Summit, Orlando, 9-10 December 2015*, pp 1-63, <https://www.iot-inc.com/wp-content/uploads/2015/11/2-Janusz.pdf>, (2015).
4. O. Bonnaud, “New Approach for Sensors and Connecting Objects Involving Microelectronic Multidisciplinary for a Wide Spectrum of Applications”, *International Journal of Plasma Environmental Science & Technology*, vol. 10 (2), pp. 115-120 (2016).
5. “Tsunami of data could consume one fifth of global electricity by 2025,” <https://www.theguardian.com/environment/2017/dec/11/tsunami-of-data-could-consume-fifth-global-electricity-by-2025>, (2018).
6. E. Gelenbe and Y. Caseau, “The Impact of Information Technology on Energy Consumption and Carbon Emissions”, ACM publication, pp. 1-15, June 2015, <https://dl.acm.org/doi/pdf/10.1145/2755977> (2015).
7. O. Bonnaud and L. Fesquet, “Microelectronics at the Heart of the Digital Society: Technological and Training Challenges,” *SBMicro, IEEEExplore*, pp. 1-4, August 2018.
8. J-R. Lèquepeys, et al., “Overcoming the Data Deluge Challenges with Greener Electronics”, in *Proc. ESSDERC-ESSIRC’2021*, pp. 7-14 (2021).
9. O. Bonnaud et al, Springer Nature 2019, SIST 99, pp. 267–275 (2019).
10. CNFM: “Coordination Nationale Pour La Formation En Microélectronique and Nanotechnologies,” www.cnfm.fr, March 2023.
11. O. Bonnaud, P. Gentil, A. Bsiesy, S. Retailleau, E. D. Gergam, and J. M. Dorkel, “GIP-CNFM: A French Education Network Moving from Microelectronics to Nanotechnologies”, *IEEE Global Engineering Education Conference*, pp. 122-127, April 2011.
12. O. Bonnaud, L. Fesquet, « Innovation for Education on Internet of Things”, *Proceedings of Engineering and Technology Innovation*, vol. 9, pp. 01-08 (2018).
13. Enerdata, “World Energy Production,” <https://yearbook.enerdata.net/total-energy/world-energy-production.html> (2020).

14. Strategic Committee of the French Electronics Industry : Comité Stratégique de Filière, <https://www.filiere-electronique.fr/en/home/> (last access October 2023)
15. O. Bonnaud, The Five Priority Topics of Microelectronics Training to Meet Future Societal Challenges, 37th Symposium on Microelectronics Technology and Devices (SBMicro) IEEEExplore, 979-8-3503-1945-3/23/\$31.00 ©2023 IEEE, Nov. (2023).
16. R. Koduri, “Building the 2030 Workforce: How to attract great students and what to teach them?”, IEEE VLSI Symp. (2022).
17. O. Bonnaud, Weak Presence of Women in Microelectronics: Analysis and Suggestions of the French Training Network to be More Attractive, Journal of Integrated Circuits and Systems 15(2), pp. 1-5G. (2020).
18. O. Bonnaud, FINMINA: A French National Project Dedicated to Educational Innovation in Microelectronics to Meet the Challenges of a Digital Society Smart Education and e-learning 2020, in V. Uskov, R. Howlett, L. Jain, (Eds.. Smart Innovation Systems and Technologies:188), Springer Nature Singapore Pte Ltd. 2020, p.31, (2020).

17^{èmes} Journées Pédagogiques



AIME

Toulouse

29 novembre –
1^{er} décembre 2023

Dix-septièmes journées pédagogiques JPCNFM2023

Toulouse 29 novembre - 1 décembre 2023



Atelier Interuniversitaire de Micro-Nano Electronique



Edité par : Olivier Bonnaud, Marc Respaud, Laurent Pichon, Hervé Lhermite

© 2023 Université de Rennes I
Centre Commun de Microélectronique de l'Ouest
ISBN 2-9522395-9-2



EDITORIAL 17^{ème} JPCNFM'2023

Depuis 1990, les JPCNFM sont un moment important pour le GIP-CNFM et toute sa communauté. Après une 16^{ème} édition organisée au Palais du Grand Large à Saint-Malo, c'est au tour du pôle de Toulouse d'être l'organisateur de ces Journées. Le pôle fête ses 40 années d'existence et c'est l'occasion de se rassembler et de visiter ses nouveaux aménagements et ses plateformes.

Dans un contexte de Plan de Relance France 2030, plus particulièrement dans le domaine de l'électronique, et de positionnement du réseau au sein de la Filière électronique avec notre premier partenaire industriel ACSIEL Alliance électronique, l'objectif de ces 17^{èmes} Journées Pédagogiques du CNFM sera dans le même esprit que les éditions précédentes. Il s'agit d'encourager, d'une part les échanges à caractère pédagogique entre enseignants et partenaires industriels de notre communauté afin de faire évoluer les contenus, et d'autre part, l'apprentissage au savoir-faire dans les nouvelles priorités industrielles, de recherche et de formation. Cette approche est d'autant plus importante, pour le projet INFORISM qui vient d'être accepté pour une durée de 5 ans dans le cadre de l'appel à Projets AMI-CMA et dont le GIP-CNFM est porteur, qui engage notre communauté académique ainsi que nos partenaires industriels. En effet, il s'agit d'une part de conserver la qualité de la formation de nos futurs diplômés en garantissant un savoir-faire adapté à l'industrie et la recherche en microélectronique, et d'autre part d'augmenter ce nombre de formés quels qu'en soient leurs origines et leur niveau de formation. Nous devons ainsi faire face à un défi important aussi bien technique et technologique qu'humain.

Les thématiques de ces journées concernent aussi bien la technologie, la conception, le test ou la caractérisation associés aux performances et innovations des circuits micro- et nanoélectroniques, VLSI, de puissance ou de grande surface, ou encore des circuits hybrides, hyperfréquences ou les systèmes numériques. Mais une attention particulière doit porter sur les nouveaux besoins en compétences manifestés par la profession au sein de la Filière, afin de répondre aux différentes applications sociétales mais aussi avec un objectif de diminution de la consommation énergétique de l'ensemble du domaine numérique et de couverture des métiers en tension. Il s'agit en particulier des systèmes toujours plus intelligents, connectés et sécurisés, des cartes électroniques, et de l'électronique de puissance, appliqués en priorité à la mobilité. Lors de cette édition, le nouveau réseau de prototypage national, le CIME-P, piloté par le pôle grenoblois du CNFM, sera présenté afin d'informer l'ensemble de la communauté de la cohérence nationale de l'activité notamment en lien avec les services nationaux et de la possibilité de concevoir de nouveaux circuits. De plus, l'environnement industriel de la région toulousaine dans le domaine de l'aéronautique et du spatial offre l'opportunité de sensibiliser la communauté sur les aspects spécifiques à ce domaine de l'électronique et de la microélectronique.

Dans un contexte d'extension du numérique, notamment vers les supports pédagogiques en ligne, un effort doit être mené vers le savoir-faire des techniciens, ingénieurs et docteurs qui vient en complément indispensable à l'approche de l'apprentissage en ligne de plus en plus dominant. Le rôle du réseau et des pôles est ainsi renforcé et la stratégie innovante accrue aussi bien en formation initiale qu'en formation tout au long de la vie.

Sous la forme d'exposés ou de démonstrations de réalisations destinés à la dissémination au sein du réseau, les innovations pédagogiques seront complétées par des expériences de sensibilisation de notre discipline vers les lycées et collèges, mais également vers le grand public et les entreprises, qui s'intègrent dans la politique d'attractivité du GIP-CNFM et du Comité Stratégique de Filière. Cette action s'inscrit dans l'objectif d'accroître le vivier de compétences quantitativement et qualitativement dans tous les volets de la microélectronique et de ses applications, et pour tous les niveaux de formations, de diplômes et de certifications.

Les organisateurs remercient tous les collègues de leurs contributions qui devraient rendre instructif et passionnant cet évènement bisannuel.

Toulouse, novembre 2023

Marc Respaud, Laurent Pichon, Hervé Lhermite, et Olivier Bonnaud

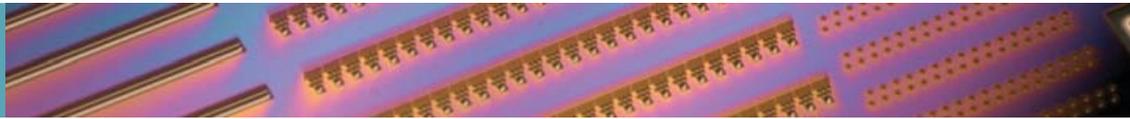
Dix-septièmes Journées Pédagogiques

Comité National d'Organisation

Jean-Luc Estienne	ACSIEL	ST Montrouge	Président
Olivier Bonnaud	GIP-CNFM	Grenoble	Directeur Général
Marc Respaud	AIME	Toulouse	Organisateur
Laurent Pichon	CCMO	Rennes	
Jean-Jacques Ganem	CEMIP	Paris Centre	
Ahmad Bsiesy	CIME	Grenoble	
Bruno Allard	CIMIRLY	Lyon	
Wilfried Uhring	MIGREST	Strasbourg	
Philippe Pannier	PACA	Marseille	
Jean Tomas	PCB PCM	Bordeaux	
Pascal Benoit	PLFM	Montpellier	
Virginie Hoël	PLM	Lille	
Bruno Barelaud	PLFM	Limoges	
Guillaume Agnus	PMIPS	Paris-Saclay	
Lorraine Chagoya-Garzon	GIP-CNFM	Grenoble	Secrétariat

Comité Local d'organisation

Mac Respaud, INSA Toulouse
Stéphane Ferrere, INSA Toulouse
Laurent Pichon, U. Rennes 1
Hervé Lhermite, U. Rennes 1



CONSEIL D'ORIENTATION DU GIP-CNFM 2023

17^{ème} JPCNFM 2023



Toulouse 2023

Programme

12h00-13h30 ACCUEIL -BUFFET

13h30 **Ouverture du Conseil et accueil des participants**

Marc RESPAUD (Organisateur des JPCNFM, pôle AIME)

Direction de l'INSA de Toulouse et représentants officiels

Stéphanie MARTIN-CULET (Présidente du GIP-CNFM)

Laurent PICHON (pôle CCMO), Olivier BONNAUD (Directeur général du GIP-CNFM)

13h45 **Intervention de la Présidente du GIP-CNFM et du Président sortant**

Stéphanie MARTIN-CULET (Présidente CNFM, DRH de STMicroelectronics Grenoble)

Jean-Luc ESTIENNE (Président Honoraire du GIP-CNFM et de ACSIEL)

14h00 **Message d'ACSIEL - lien formation - industrie**

Sandrine BEAUFILS et Jean Luc Estienne (ACSIEL et CSF)

14h10 **GIP-CNFM : Bilan 2022-2023 et avenir du réseau CNFM)**

Olivier BONNAUD (Directeur général du GIP-CNFM)

14h30 **Outils de prototypage pour la formation, la recherche et l'innovation : nouveau CIME-P**

Ahmad BSIESY (Directeur du CIME-P) et Jean-Luc ESTIENNE (GIP-CNFM - ACSIEL)

14h45 **Nouveaux outils logiciels de conception et de design**

Catherine Le Lan (Synopsys)

15h00 **Comité Stratégique de Filière et Groupe de Travail – EDEC-2**

Sandrine BEAUFILS (ACSIEL et CSF), Virginie HOEL (Représentante du GIP-CNFM au CSF)

15h15 **AMI-CMA INFORISM – Mise en route du projet - COPIL-COPET - agenda**

Olivier BONNAUD (Responsable du projet)

15h30 PAUSE CAFE

15h50 **Table ronde : Thématiques prioritaires et projets innovants**

Animateur : Laurent FESQUET (Grenoble INP)

Panelistes : Sandrine BEAUFILS (ACSIEL), Pascal BENOIT (Services Nationaux), Simon GUIRRIEC (Matrice), Marc RESPAUD (INSA-AIME), Didier THERON (DGRI), Catherine Le Lan (Synopsys), Bruno Bourgeois (Advantest), Eric Moreau (STMicroelectronics)

16h50 **Synthèse de l'atelier**

Olivier BONNAUD (Directeur général du GIP-CNFM), Stéphanie MARTIN-CULET (Présidente GIP-CNFM)

17h05 « **Nouvelles technologies émergentes** » *Mathias VANDEN BOSSCHE (Thales Alenia Space)*

17h20 « **Les besoins en métiers micro-électronique à Thales Alenia Space** » *Philippe AYZAC (Thales Alenia Space)*

17h35 « **Présentation du Laboratoire d'Expertise du CNES** » *Guillaume Bascoul (CNES - Toulouse)*

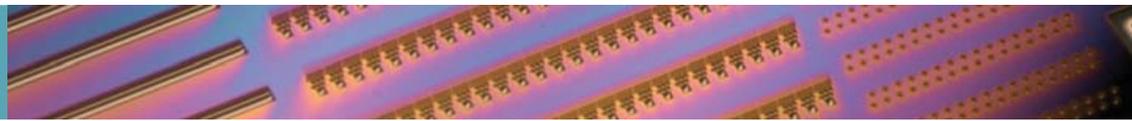
17h50 **Table ronde : Les enjeux de l'électronique pour l'aéronautique et l'espace**

Animateur Jean-Baptiste LINCELLES (AIME-INSA)

Panelistes : Philippe AYZAC (Thales Alenia Space), Guillaume Bascoul (CNES), Olivier BERNAL (LAAS - INP - ENSEIHT), Fabrice Caignet (UPS - LAAS – Ecole doctorale GEETS), Mathias VANDEN BOSSCHE (Thales Alenia Space)

18h20 **Synthèse du conseil d'orientation - Olivier BONNAUD (Directeur général du GIP-CNFM)**

18h30 FIN DE LA JOURNEE



17^{ème} JPCNFM 2023

Amphithéâtre RIQUET – INSA de Toulouse

Jeudi 30 novembre 2023 de 9h00 à 11h30

8h30 – 9h25 SESSION 1 - Conception

8h30 (P.1) **Les services nationaux et les nouveaux outils**, *Pascal Benoit (Université de Montpellier)*,

8h50 (P.2) **Gestion du flow de conception sur une plateforme CAO**, *Laurent Fesquet*

^a Univ. Grenoble Alpes, CNRS, Grenoble INP*, TIMA, F-38000 Grenoble, France

^b Univ. Grenoble Alpes, CNRS, Grenoble INP*, Phelma, F-38000 Grenoble, France

9h05 (P.3) **Plateforme nationale de formation à la mesure de compatibilité électromagnétique**

W. Uhring^{a,b}, Erwan Jamet^b, Alexandre Geoffroy^b, Nathan Gross^b, Jeremy Bainier^b

^a ICube et pôle CNFM du Grand Est (MIGREST), Université de Strasbourg, Strasbourg, France

^b IUT de Haguenau (Université de Strasbourg), Strasbourg, France

9h25 – 10h10 SESSION 2 - Electronique de puissance

9h25 (I.1) **Challenges, opportunités et compétences requises pour le déploiement des semiconducteurs grands gaps dans l'électronique de puissance**

Laurent Guillot, Eric Moreau

STMicroelectronics SA, 51 rue de l'Innovation, 31670 Labège, France

9h40 (I.2) **Contexte et besoins des secteurs aéronautique et espace liés à l'électronique de puissance**

Phillipe Pons

Aerospace Valley – Toulouse.

9h55 (P.4) **Projet de circuit en IME pour allier électronique et packaging**

H. Cauchy-Clerc^a, P. Lombard^b, V. Semet^b, C. Cabrera^a, B. Allard^a

^a AMPERE et pôle CNFM de Lyon-Saint-Etienne (CIMIRLY), INSA Lyon, Villeurbanne, France

^b AMPERE, Université Claude Bernard, Lyon 1, INSA Lyon, Ecole Centrale Lyon, CNRS, Villeurbanne, France

10h10-10h30 PAUSE CAFE

10h30 – 11h30 SESSION 3 - Projets innovants en microélectronique et nanotechnologies.

10h30 (P.5) **Conception, réalisation et caractérisation d'un transposeur abaisseur de fréquence en bande X à l'aide du logiciel ADS**

L. Picheta^a et V. Hoël^{a,b,c}

^a Faculté des Sciences et Technologies de l' Université de Lille (département EEA), Villeneuve d'Ascq, France

^b PLFM – CNFM (Pôle Lillois pour la Formation en Microélectronique et en nanotechnologies Cité Scientifique, 59655 Villeneuve d'Ascq)

^c Univ. Lille, CNRS, UMR 8520–IEMN, F-59000 Lille, France

10h40 (P.6) **CARACTERISATION AUTOMATISEE ET CONCEPTION DE PUCE**

Utilisation de la plateforme IDLab*

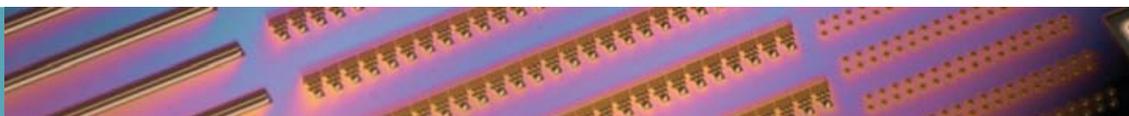
Mathieu GUERIN, Stéphane MEILLÈRE, Philippe PANNIER, Hervé TORTEL, Romain LAFFONT

Pôle CNFM PACA - Aix Marseille Université - Polytech Marseille - Technopôle de Château-Gombert - 5 rue Enrico Fermi - 13453 Marseille cedex, France

10h50 (P.7) **Conception et développement d'un processeur à jeu d'instruction réduit RV32I**

Slavisa Jovanovic, Yves Berviller et Serge Weber

Pôle CNFM MIGREST – Nancy - Institut Jean Lamour (UMR7198), Université de Lorraine



11h00 (P.8) Développer la compétence recherche en école d'ingénieurs

L. Fesquet^{a,b}, Xavier Lesage^{a,c}, Cristiano Merio^{a,d}, Ali Naimi^a

^a Univ. Grenoble Alpes, CNRS, Grenoble INP*, TIMA, F-38000 Grenoble, France

^b Univ. Grenoble Alpes, CNRS, Grenoble INP*, Phelma, F-38000 Grenoble, France

^c Orioma, F-38430 Moirans, France

^d STMicroelectronics, F-38920 Crolles, France

11h10 (P.9) Sensibilisation des enseignants du collège et du lycée à l'interdisciplinarité autour des nanotechnologies et des neurosciences : développement d'implants cérébraux de nouvelle génération

N. Schoonjans^{a,b}, C. Vanbesien-Mailliot^{a,b}, R. Kassi^b, G. Deromelaere^c, F. Pelletier^d, B. Raveillon^c, A. Courdent^c, A. Vlandas^b, A. Cappy^{a,b}, V. Hoel^{a,b}

^a PLFM – CNFM (Pôle Lillois pour la Formation en Microélectronique et en nanotechnologies Cité Scientifique, 59655 Villeneuve d'Ascq)

^b Univ. Lille, CNRS, UMR 8520-IEMN, F-59000 Lille, France

^c Maison pour la science en Nord-Pas-de-Calais MPLS, Initiative ULille, Académie de Lille, Inspé Lille

^d Institut national supérieur du professorat et de l'éducation, Académie de Lille, HdF, 59650 Villeneuve d'Ascq

11h30 **Départ pour Aéroscopia par bus**

12h30 **DÉJEUNER RESTAURANT AÉROSCOPIA**

13h30-17h00 **Visite Aéroscopia Musée/ Airbus (2 groupes de visite en parallèle)**

18h30-20h15 SESSION 3 – Projets innovants en microélectronique et nanotechnologies

18h30 (P.10) Une première approche des micro et nanotechnologies pour les jeunes collégiens et lycéens

M. Respaud^{a,b,c}, R.P. Tan^a, J-B. Lincelles^a, J. Harmel^a, C. Rouabhi^a, C. Capello^a, J. Schaubert^a, F. Gessinn^a

^a AIME et pôle CNFM de Toulouse, Université de Toulouse, INSA, 135 avenue de Rangueil, 31077 Toulouse, France

^b Département de Génie Physique, Université de Toulouse, INSA, 135 avenue de Rangueil, 31077 Toulouse, France

^c CEMES-CNRS, Université de Toulouse, Toulouse, France

18h40 (P.11) Nouvelles pratiques pédagogiques : Développement d'un serious game en réalité virtuelle pour la formation au risque chimique en salle blanche

Justine Harmel^a, Reasmey Tan^a, Jean-Baptiste Lincelles^a, Philippe Seitier^b, Isabelle Belhaj^c, Katja Auffret^c, et Marc Respaud^{a,d,e}

^a AIME pôle CNFM de Toulouse, INSA de Toulouse, France

^b Institut Clément Ader Université Fédérale Toulouse Midi-Pyrénées / UMR CNRS 5312

^c Centre d'Innovation et d'Ingénierie Pédagogiques, INSA de Toulouse, France

^d Département de Génie Physique, Université de Toulouse, INSA, 135 avenue de Rangueil, 31077 Toulouse, France

^e CEMES-CNRS, Université de Toulouse, Toulouse, France

18h50 (P.12) Les principes de la chimie verte pour une électronique plus durable : une nouvelle approche de la synthèse chimique de nanoparticules de WO₃ intégrées dans un capteur de gaz.

Justine Harmel^a, Reasmey Tan^a, Chérif Rouabhi^a, Christophe Capello^a, Frédéric Gessinn^a, Julien Schaubert^a, Jean-Baptiste Lincelles^a et Marc Respaud^{a,b,c}

^a AIME pôle CNFM de Toulouse, INSA de Toulouse, France

^b Département de Génie Physique, Université de Toulouse, INSA, 135 avenue de Rangueil, 31077 Toulouse, France

^c CEMES-CNRS, Université de Toulouse, Toulouse, France

19h00 (P.13) Au-delà des économies d'énergie : le micro espion soviétique qui ne consommait pas

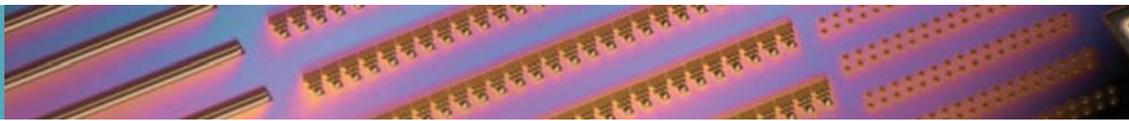
S. Hemour, J.-L. Lachaud, S. Destor, J. Tomas

Université de Bordeaux, et pôle CNFM de Bordeaux (PCB), Talence, France

19H10 (P.14) Caractérisation de la configuration RadioFréquence d'un Site Relais de Téléphonie mobile

P. Mariage, M. Halbwxax et L.Picheta

IEMN et Pôle Lillois pour la Formation en Microélectronique et en nanotechnologies de Lille (PLFM), Université de Lille, Villeneuve d'Ascq, France



19h20 (P.15) TD d'architecture matérielle : introduction aux architectures des microcontrôleurs

L. Werling^{1,2}, E. Dervieux^{1,2,3}, M. Madec^{1,2}, W. Uhring^{1,2}

¹Télécom Physique Strasbourg, Université de Strasbourg, France;

²Laboratoire ICube équipe SMH, Université de Strasbourg/CNRS, France;

³BioSENCY, Cesson-Sévigné, France

19h30 (P.16) Simulation TCAD, fabrication, caractérisation électrique et extraction des paramètres physiques du procédé MOS

J. Postel-Pellerin, V. Della Marca, J-D. Aguirre-Morales, R. Bouchakour, R. Laffont

Pôle CNFM PACA - Aix-Marseille Université - Polytech Marseille

Filière Microélectronique et Télécommunications

Technopôle de Château-Gombert - 5 rue Enrico Fermi - 13453 Marseille cedex, France

19h40 (P.17) Systèmes embarqués de Type Noeud IoT Communicant Sans Fil

V. Frick^{ab}, F. Imbert^b

^aICube et pôle CNFM Migrest, Université de Strasbourg, Strasbourg, France

^bIUT de Haguenau, Université de Strasbourg, Haguenau, France

19h50 (P.18) DE SECNUM : former les futurs experts des systèmes embarqués sécurisés

F. Bruguier^{a,c}, B. Pradarelli^{b,c}, L. Torres^{b,c}, P. Benoit^{b,c}

^aIUT de Nîmes et Pôle CNFM de Montpellier (PCM), Université de Montpellier,

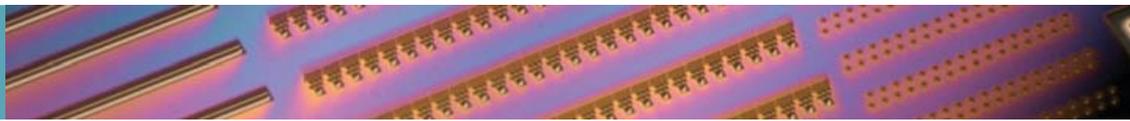
^bPolytech Montpellier et Pôle CNFM de Montpellier (PCM), Université de Montpellier,

^cLIRMM-CNRS, Université de Montpellier.

20h00 (P.19) Les défis technologiques et humains de la microélectronique et des nanotechnologies.

O. Bonnaud – GIP CNFM - Université de Rennes

20h15-21h30 DINER BUFFET - SESSION POSTER - AIME



17^{ème} JPCNFM 2023

Amphithéâtre VINCI – INSA de Toulouse

Vendredi 1^{er} décembre 2023 de 9h00 à 11h30

8h40 -10h00 **SESSION 4 Technologies et Simulation microélectroniques innovantes**

8h40 (P.20) La fabrication additive pour l'électronique flexible : Focus sur la sérigraphie

F. Le Bihan^a, R. Selmi^a, J-C Fustec^a, J. Rammal^b, M. Harnois^a

^a Institut d'Electronique et des Technologies du Numérique IETR UMR CNRS 6164 et pôle CNFM de Rennes (CCMO), Université de Rennes, Campus Beaulieu, 35042 Rennes CEDEX, France

^b ESTI Ecole Supérieures des Technologies Industrielles – GIP CEI
6, rue de la Maillardaie, 35600 REDON, France

9h10 (P.21) Découverte des processus de fabrication en microassemblage électronique, du BUT 3 au doctorat.

H. Debéda, A. Gracia, L.Fadel, L. Oyhenart, J. Tomas

Université de Bordeaux, et pôle CNFM de Bordeaux (PCB), Talence, France

9h20 (P.22) Fabrication et mise en oeuvre de dispositifs microfluidiques pour l'étude des mécanismes de dynamique des fluides à l'échelle micrométrique

P. Duru^c, O. Liota^{b,c}, A. Chroudj^c, L. Malaquin^b, P. Joseph^b, C. Thibault^{b,d}, F.Gessinn^{d,e}, M. Respaud^{d,e,f}

^a Institut de Mécanique des Fluides de Toulouse (IMFT), Toulouse, France

^b Laboratoire d'analyse et d'architecture des systèmes (LAAS-CNRS), Toulouse, France

^c École Nationale Supérieure d'Électrotechnique, d'Électronique, d'Informatique, d'Hydraulique et des Télécommunications (ENSEEIH), Toulouse, France

^d Institut National des Sciences Appliquées (INSA), Toulouse, France,

^e AIME, Pôle CNFM de Toulouse, Toulouse, France

^f Centre d'Elaboration des Matériaux et d'Etudes Structurales, CEMES-CNRS, Toulouse, France

9h30 (P.23) Evolution de la formation CMOS : vers un procédé sur plaquette unique

R.P. Tan^a, M. Caron^a, J-B. Lincelles^a, C. Rouabhi^a, C. Capello^a, J. Schaubert^a, F. Gessinn^a, J. Harmel^a, P.-F. Calmon^d, O. Bernal^{d,e}, H. Tap^{d,e}, M. Respaud^{a,b,c}

^a AIME et pôle CNFM de Toulouse, Université de Toulouse, INSA, 135 avenue de Rangueil, 31077 Toulouse, France

^b Département de Génie Physique, Université de Toulouse, INSA, 135 avenue de Rangueil, 31077 Toulouse, France

^c CEMES-CNRS, Université de Toulouse, Toulouse, France

^d LAAS-CNRS, Université de Toulouse, Toulouse, France

^e INP-ENSEEIH, Toulouse, France

9h40 (P.24) Découverte et Prise en Main des Etapes de base de la Microélectronique par la Réalisation de Composants Microélectroniques en Salle Blanche

O. de Sagazan, C. Lebreton, E. Jacques, L. Pichon

IETR et pôle CNFM de Rennes (CCMO), Université de Rennes

9h50 (P.25) Conception de cellules nano-CMOS – Perspectives à dix ans

E. Sicard^a, S. Ben Dhia^a, b, L. Trojman^c

^a INSA de Toulouse, Toulouse, France

^b LAAS/CNRS, Toulouse, France

^c ISEP, Paris, France

10h00-10h30 **PAUSE CAFE**

10h30 (I.1) AMI-QuantEduFrance

Xavier Marie

Département de Génie Physique, Université de Toulouse, INSA, 135 avenue de Rangueil, 31077 Toulouse, France
LPCNO, Université de Toulouse, Toulouse, France

10h45 (I.2) Plateforme de technologies quantiques à l'AIME : Communication cryptoquantique – Capteur à base de nanodiamant à centre N-V

X. Marie, T. Boulier, A. Balocchi, C. Robert

Département de Génie Physique, Université de Toulouse, INSA, 135 avenue de Rangueil, 31077 Toulouse, France
LPCNO, Université de Toulouse, Toulouse, France

11h00-12h00 Démonstrations Technologies Quantiques – Visite des plateformes techniques AIME – Visite de la plateforme de réalité virtuelle INSA

12h15 BUFFET AU RESTAURANT INSA

14h00 Fin de la conférence

Plateforme nationale de formation à la mesure de compatibilité électromagnétique

W. Uhring^{a,b}, Erwan Jamet^b, Alexandre Geoffroy^b, Nathan Gross^b, Jeremy Bainier^b

^a ICube et pôle CNFM du Grand Est (MIGREST), Université de Strasbourg, Strasbourg, France

^b IUT de Haguenau (Université de Strasbourg), Strasbourg, France

Contact email : Wilfried.uhring@unistra.fr

Une nouvelle plateforme de mesure et de caractérisation de la compatibilité électromagnétique est mutualisée avec l'entreprise Alcatel Lucent Enterprise et le laboratoire ICube de Strasbourg. L'équipement est ouvert aux activités de recherche, de prestation de service et à l'enseignement pour tous acteurs du territoire national.

I. Introduction, contexte

Fin 2021, Alcatel-Lucent Enterprise, fournisseur de solutions de communication, de réseau et de cloud, signe un partenariat avec l'Université de Strasbourg et le CNRS afin de mutualiser une cage de Faraday pour le laboratoire ICube. Cette association permet de créer une nouvelle plateforme commune de mesures électromagnétiques à Strasbourg. Ce partenariat est l'occasion pour l'entreprise de renforcer ses liens avec le monde de la recherche en proposant, de mutualiser une cage de Faraday, l'un de ses équipements majeurs avec le laboratoire ICube. Cette grande chambre anéchoïque et ses équipements de mesures d'une valeur de 700 000€ sont accessibles dans les locaux d'ICube, situés sur le campus du CNRS de Cronenbourg à Strasbourg (voir Fig.1). Pour rappel, une chambre anéchoïque est une salle d'expérimentation dont les parois absorbent les ondes électromagnétiques. Cet espace permet de réaliser des mesures électromagnétiques sans aucune perturbation.

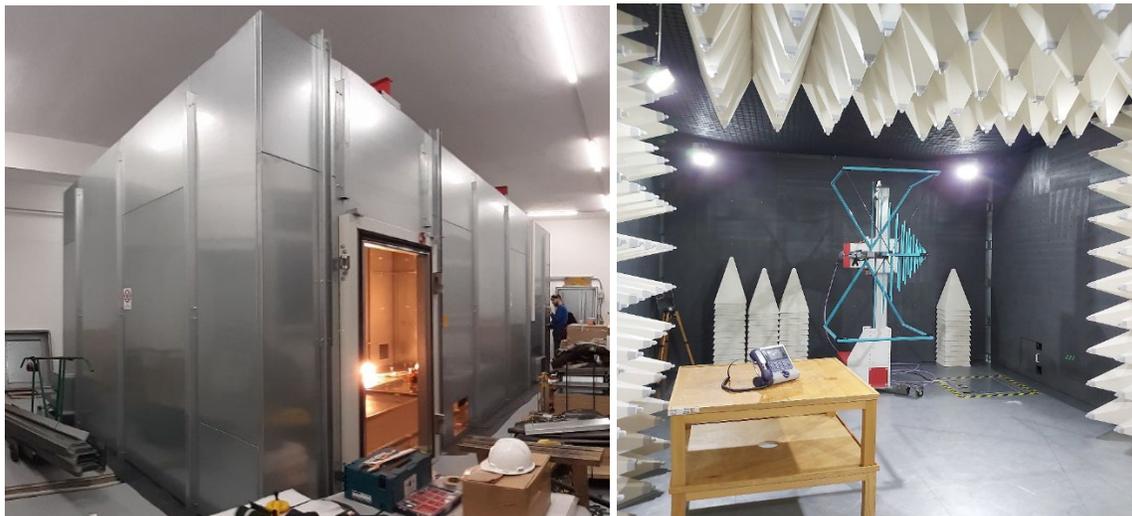


Fig.1. La cage de Faraday en cours de montage (gauche), Vue intérieure de la cage de Faraday avec les ferrites et les pyramides d'absorption, une antenne bilog couvrant la bande de 30MHz à 6GHz et la table sur lequel on pose le système à mesurer (droite)

II. Une plateforme partagée entre enseignements, recherche académique et industrielle.

Cette collaboration avec Alcatel-Lucent Enterprise sera propice aux échanges et partenariats avec l'entreprise pour des projets de recherches, mais aussi pour l'enseignement porté par les enseignants-chercheurs du laboratoire. En effet, la chambre est ouverte à l'enseignement à travers une plateforme nationale de formation qui est gérée par le pôle Grand-Est (le pôle MIGREST) de la Coordination Nationale de Formation en Microélectronique (CNFM) [1]. Cette plateforme permet de former les étudiants d'écoles d'ingénieurs, de master, d'IUT et de BTS à la mesure et la compatibilité électromagnétique. Les ingénieurs d'Alcatel-Lucent Enterprise, experts des tests CEM, sont ainsi en première ligne pour former les enseignants-chercheurs à l'utilisation de la plateforme, pour une transmission, et un partage de savoir.

III. Caractéristiques techniques de la plateforme

La chambre anéchoïque est longue de 7m50, large de 4m et haute de 3m30. Elle assure une isolation supérieure à 100dB avec l'extérieure en conduit et en rayonné. L'équipement associé permet de faire des mesures en émission jusqu'à des fréquences de 18 GHz à l'aide d'un jeu d'antennes appropriées [2] et des mesures en immunité jusqu'à 6 GHz à l'aide d'un jeu d'amplificateurs [3]. La mesure est entièrement automatisée à l'aide de l'outil industriel Nexio BAT-EMC [4].

Mesure en émission

L'utilisation de BAT-EMC se fait en plusieurs phases. Les essais reposent sur une base de données de matériels qui ont été calibrés (perte des câbles, sensibilité des antennes, réponses des atténuateurs et amplis, etc.). La première phase consiste donc à construire cette base de données. La deuxième phase permet de configurer le test en instanciant le matériel adéquat et en choisissant les paramètres de mesure (plage de fréquence, plage d'angle et de hauteur de mesure). Une fois le test configuré, le logiciel fait une première mesure grossière pour détecter les points d'émissions qui sont trop proches ou au-delà des normes d'émissions autorisées. Une fois ces points déterminés (fréquence, angle et hauteur), une deuxième mesure plus précise est effectuée. Le résultat du test est un rapport indiquant les spectres d'émission et un relevé des points de mesures qui posent problème. Durant la mesure, le système à caractériser est posé sur une table en bois elle-même posée sur un plateau dont la rotation est automatisée. L'antenne est également posée sur un bras polymère motorisé afin de pouvoir en régler la hauteur et la polarisation. Le spectre observé avec la porte de la cage entrouverte est donné Fig.2. Cette mesure permet d'illustrer l'intérêt de l'isolation assurée par la chambre.

Mesure en immunité

Les tests en immunité sont plus difficiles à réaliser. Il s'agit d'utiliser l'antenne pour créer un champ sur le système sous test. Une sonde de champ proche posée à côté du système permet dans un premier temps de mesurer le champ induit avec une puissance d'émission donnée. Le système utilise ensuite un asservissement pour régler la puissance d'émission nécessaire en fonction de la fréquence de test. 3 amplificateurs de puissance (de 100 à 250W) différents permettent de couvrir la bande de 30 MHz à 6 GHz. Généralement, une modulation du signal RF est appliquée afin de pouvoir détecter un éventuellement effet de redressement et de modulation au niveau du dispositif sous test. Il est bien entendu nécessaire de prévoir une séquence de test afin de vérifier que le système fonctionne toujours. Une caméra blindée filme l'intérieur de la cage à cet effet.

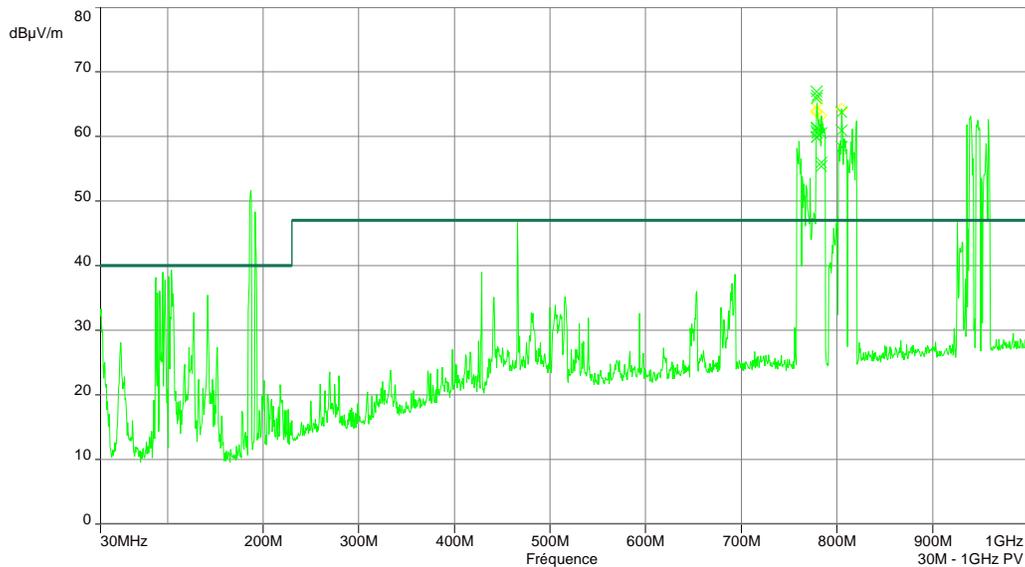


Fig.2. Exemple de résultat de mesure obtenu avec BAT-EMC avec la porte de la cage entrouverte. On y distingue les spectres des émissions de radio FM et RNT, TNT, GSM etc.

Mesure de rayonnement

Une première séquence de TP de mesure de rayonnement d'antenne a été menée par les étudiants de 2^e année à l'IUT de Haguenau en mai 2023. Durant une séance en salle de TP à l'IUT, les étudiants ont préalablement caractérisé l'impédance d'une antenne bipolaire à l'aide d'un analyseur de réseaux vectoriel. Ils ont ensuite réalisé un circuit d'adaptation d'impédance à 50 Ohm à la fréquence de résonance de l'antenne. Durant la séance sur la plateforme de mesure les étudiants ont installé dans la cage afin de mesurer son diagramme de rayonnement [4]. Ils ont pour cela fait pivoter la table sur 360° en relevant la puissance reçue par l'antenne bilog en fonction de l'angle. Les résultats des mesures effectuées par les étudiants sont donnés sur la Fig.3. On distingue très clairement les deux lobes d'émission caractéristique des antennes bipolaires.

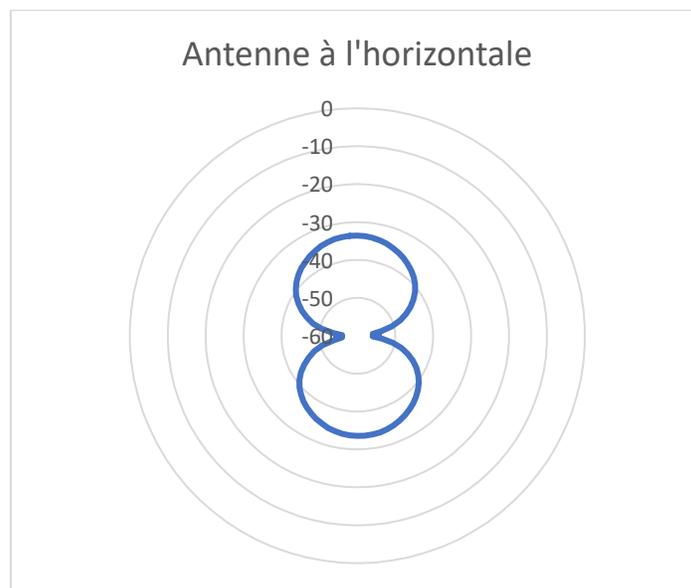


Fig.3. Diagramme de rayonnement d'une antenne bipolaire mesuré par des étudiants d'IUT.

IV. Déroulement des séances de TP vue et expliquée par les étudiants eux-mêmes

Dans le cadre de nos enseignements de 3e année en BUT GEII nous avons eu des cours portant sur la CEM (Compatibilité Electro-Magnétique) dans lesquels nous avons appris les bonnes pratiques concernant ce domaine. Pour mettre en situation ces notions fraîchement acquises, des séances de TP (travaux pratiques) ont été organisées au CNRS, plus précisément dans la chambre anéchoïque du département de recherche en électronique du laboratoire ICube. Durant cette séance de TP, nous avons procédé à des analyses CEM de différents systèmes électroniques.

Après nous avoir présenté la chambre anéchoïque, son histoire et son fonctionnement, nous avons pu tester les spectres d'émission d'appareils électroniques du commerce et de cartes d'essais pédagogiques. L'un des sujets de test CEM était l'ordinateur portable d'un étudiant.

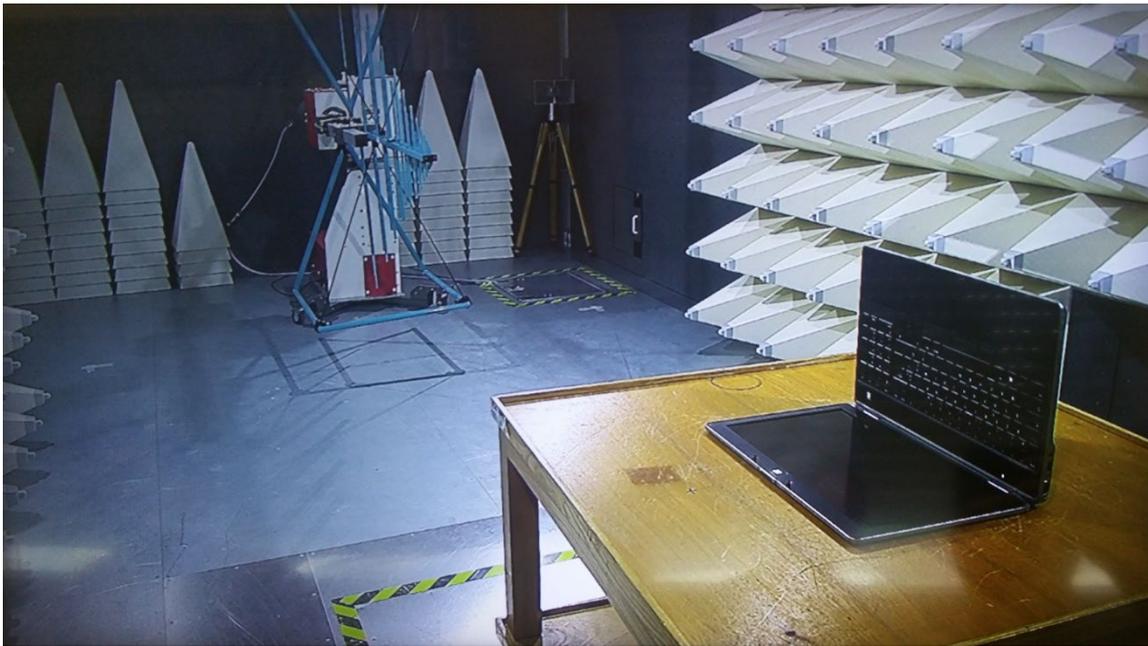


Fig.4. Ordinateur posé sur la plateforme de mesure

Celui-ci a été placé sur la plateforme de mesure (voir Fig.4). Pour accentuer les potentielles émissions électromagnétiques, un test de performances était exécuté sur l'ordinateur, forçant le processeur et carte graphique de l'ordinateur à tourner à leurs fréquences maximales et engendrant des commutations de fortes intensités dans les VRM [5]. Le spectre d'émission électromagnétique a ensuite été mesuré dans la cage sous plusieurs angles grâce à la plateforme de mesure pivotante. Ce qui nous a permis de relever les zones d'émissions principales de l'ordinateur, ainsi que leur polarisation. Grâce au logiciel BAT-EMC, nous avons pu relever la courbe donnée par la Fig.5. Ce graphique met en évidence la puissance électromagnétique rayonnée en fonction de la fréquence (courbe verte) par rapport au gabarit de la norme CEM pour ce type d'équipement (représenté par les seuils horizontaux). Dans ce cas, la courbe d'émission électromagnétique est en dessous du gabarit : l'ordinateur respecte les normes CEM en vigueur, car il ne génère pas de pollution électromagnétique susceptible d'affecter le fonctionnement d'équipements électroniques aux alentours. C'est d'ailleurs le résultat que nous devons avoir, car l'ordinateur a été soumis aux mêmes tests de CEM avant d'être mis sur le marché européen.

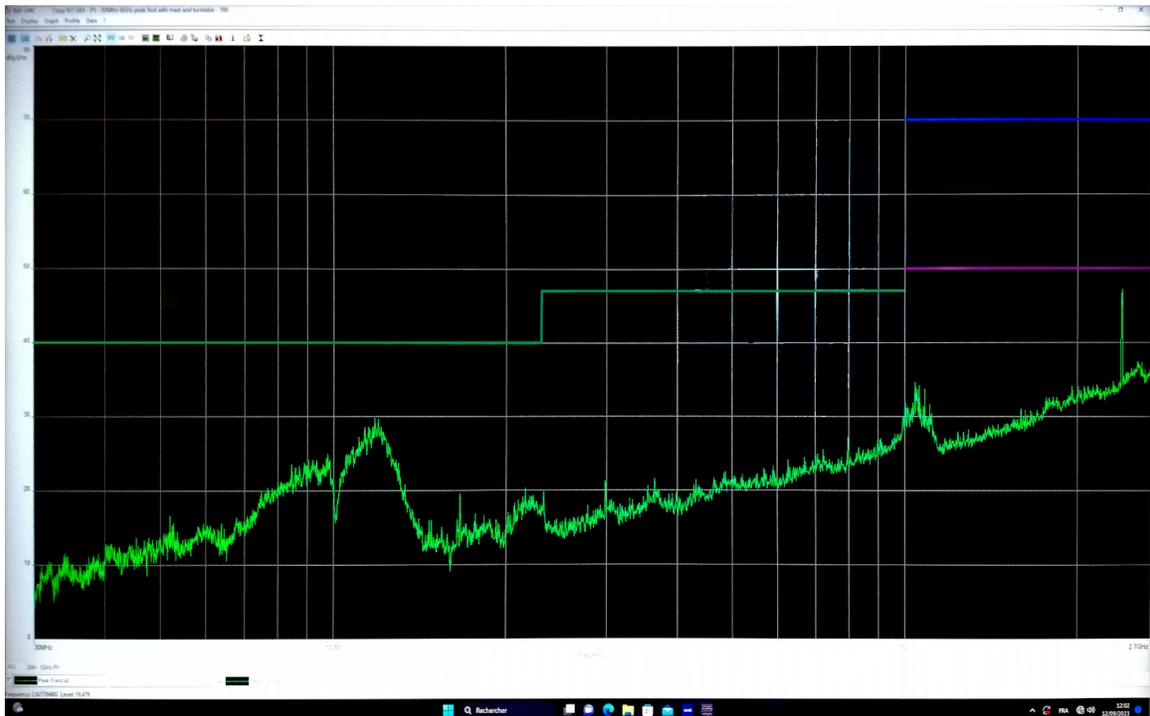


Fig.5. Graphique de puissance électromagnétique rayonnée par l'ordinateur mesuré (BAT-EMC)

Nous avons également testé les effets de rayonnement pour différents types de pistes sur un circuit imprimé. On y trouve des pistes avec des adaptations différentes (25 ohms, 50 ohms, 75 ohms), avec des formes et tailles différentes et avec des plans de masse différents (voir Fig.6).

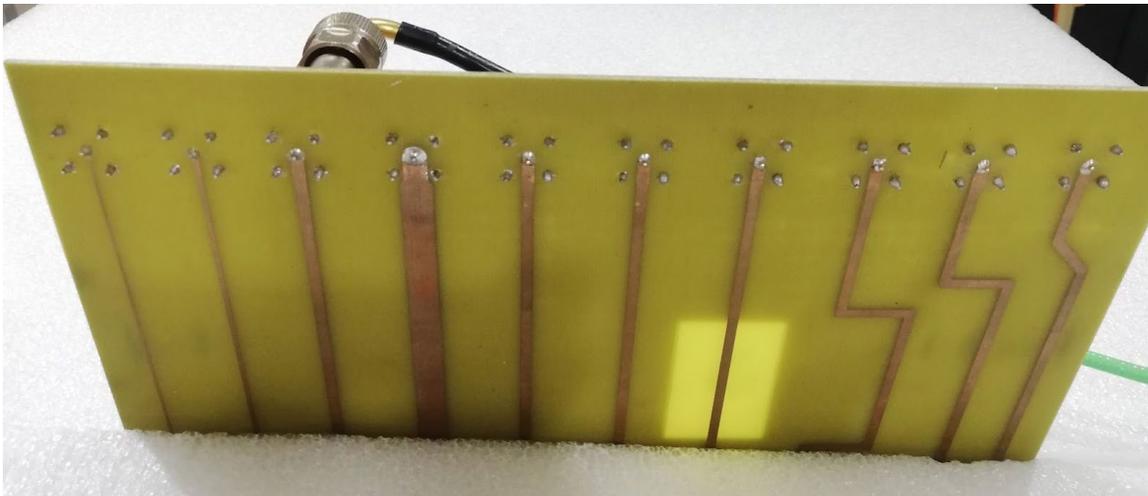


Fig.6. Carte de test de rayonnement de piste. On distingue notamment la piste dont on a évidé le plan de masse (4^e en partant de la droite)

Pour comparer le rayonnement entre une piste avec et une piste avec plan de masse évidé, nous avons envoyé un signal radio à différentes fréquences dans celles-ci, tout en mesurant la puissance électromagnétique rayonnée. Le rapport de mesure est donné Fig.7.

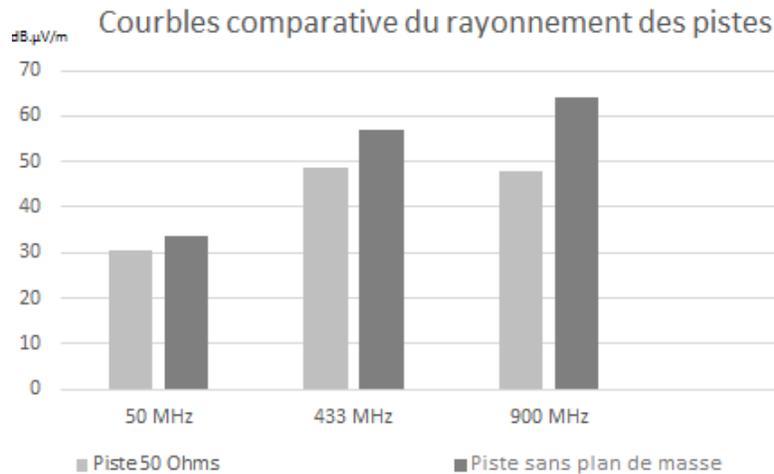


Fig.7. Graphique du rayonnement électromagnétique des pistes selon la fréquence

Nous avons pu observer que la piste sans plan de masse rayonne davantage que la piste avec plan de masse. Ce rayonnement est accentué lorsqu'on s'approche de la fréquence de résonance de la partie de piste ne possédant pas de plan de masse (fréquence proportionnelle à la longueur d'onde liée à la taille de la piste sans plan de masse). Notre expérience pratique dans la chambre anéchoïque a permis de renforcer nos connaissances sur les émissions électromagnétiques des équipements électroniques, très répandus aujourd'hui, ainsi que notre compréhension des normes CEM. Grâce à ces travaux, nous sommes désormais plus sensibles aux impacts négatifs que peuvent avoir les rayonnements électromagnétiques non contrôlés sur les appareils électroniques.

V. Conclusion

La plateforme est désormais opérationnelle. Des TP de mesure de rayonnement d'antenne, et de test CEM ont été réalisés par des étudiants de l'IUT de Haguenau et du master de Microélectronique de la faculté de physique et Ingénierie de Strasbourg. La plateforme est ouverte aux formations de tout niveau sur le territoire national. Elle est également ouverte aux activités de recherche et aux entreprises. Une offre de modules d'enseignement complets à la CEM pour les formations initiales et continues sera créée dans le cadre du projet ANR INFORISM.

Remerciements

Les auteurs veulent remercier le GIP-CNFM, le laboratoire ICube et le laboratoire IPHC pour leur soutien financier à la création de cette plateforme,

Références

1. GIP-CNFM: Groupement d'Intérêt Public - Coordination Nationale pour la formation en Microélectronique et en nanotechnologies. *Website: <http://www.cnfm.fr> (Accès 2021)*
2. Hegarty, Timothy. "An overview of radiated EMI specifications for power supplies." Texas Instruments Whitepaper (2018).
3. Buzdugan, Mircea Ion, and Horia Balan. "A Brief Review of Transient Electromagnetic Immunity Testing." 2019 International IEEE Conference and Workshop in Óbuda on Electrical and Power Engineering (CANDO-EPE). IEEE, 2019.
4. <https://emc-software.nexiogroup.com/>
5. Arai, Hiroyuki. Measurement of mobile antenna systems. Artech House, 2013.
- Joo, Junho, et al. "Analysis of Voltage Regulator Module (VRM) Noise Coupling to High-Speed Signals with VRM Via Designs." 2023 Joint Asia-Pacific International Symposium on Electromagnetic Compatibility and International Conference on ElectroMagnetic Interference & Compatibility (APEMC/INCEMIC). IEEE, 2023.

Projet de circuit en IME pour allier électronique et packaging

H. Cauchy-Clerc^a, P. Lombard^b, V. Semet^b, C. Cabrera^a, B. Allard^a

^a AMPERE et pôle CNFM de Lyon-Saint-Etienne (CIMIRLY), INSA Lyon, Villeurbanne, France

^b AMPERE, Université Claude Bernard, Lyon 1, INSA Lyon, Ecole Centrale Lyon, CNRS, Villeurbanne, France

Contact email : hugo.cauchy-clerc@insa-lyon.fr, philippe.lombard@univ-lyon1.fr

La carte 2D dit circuit imprimé n'est plus tout à fait un élément de motivation pour créer des fonctions électroniques. L'In-Mold-Electronics (IME) peut en ce sens donner plus d'envie, car il s'agit d'aboutir à un objet. L'IME oblige néanmoins à appréhender davantage de problématique : le procédé lui-même doit être à minima compris ; la forme 3D contraint le placement des composants ; le procédé interdit toute réparation, aussi il faut aborder la conception avec l'esprit du « first time right ». La testabilité du circuit est contrainte par le manque d'accès direct aux points de mesure. Il faudra penser alors à une approche de testabilité de type BIST. Aussi ce projet permet de connecter de nombreuses problématiques entre-elles.

I. Motivations et organisation du TP-projet

Avant de laisser des étudiant(e)s utiliser librement un procédé technologique, il faut le leur faire découvrir de manière pratique. Outre des introductions plus ou moins poussées sur les sujets relatifs à l'In-Mold Electronics, le passage à la pratique va mettre en lumière l'interdépendance de nombreuses problématiques de conception.

En ce sens l'IME partage un certain nombre de considération avec l'électronique intégrée : obligation de tenir compte de règles de placement-routage, impossibilité de réparer ou difficulté d'accès à de nombreux points de mesure sans stratégie de test.

L'IME a déjà été présentée puisque plusieurs sujets de TP introductifs existent, dont le plus simple est la réalisation d'un circuit (astable, clignotement de LED à base d'un NE555) en deux dimensions, jusqu'à l'introduction d'antenne et la récupération d'énergie ambiante radiofréquence (géométrie patch). Dans ces TP introductifs, l'étudiant(e) est surtout confronté(e) au déroulé du procédé technologique et dans une moindre mesure à l'impact du procédé sur le placement-routage du circuit électronique, voire la stratégie de testabilité.

L'IME, présenté à la figure 1, consiste à créer des couches sur un film thermoplastique (type polycarbonate mais l'emploi de l'acide poly-lactique a été également validé). Une couche en particulier est réalisée à l'aide d'une encre conductrice pour former les pistes d'interconnexion entre les composants du circuit électronique. Les composants peuvent être passifs (bouton capacitif, antenne, lignes d'appairage d'impédance...), ou des composants à disposer en surface (CMS). Les composants CMS seront eux-mêmes collés ou soudés si l'opérateur est particulièrement adroit et délicat. Le film plan portant le circuit électronique est mis en forme dans une presse spécifique, par thermoformage. La forme

obtenue doit correspondre à un détail de surface du moule dans lequel la forme prendra place avant surmoulage dans une presse d'injection.

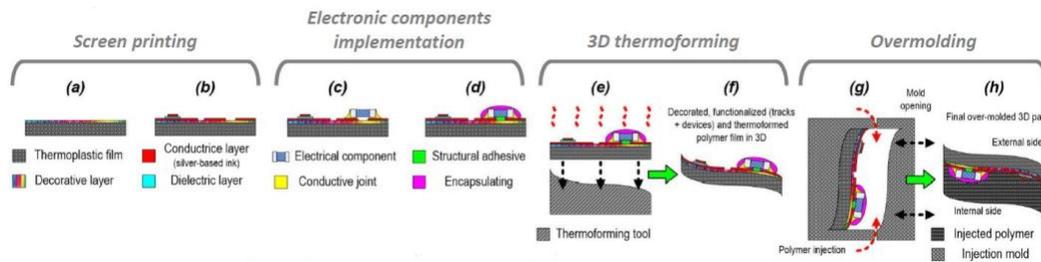


Fig.1. Schéma de principe du procédé In-Mold Electronics, montrant les différentes étapes de fabrication d'un dispositif IME

Sans composants électronique, le procédé ne couvre que des problématiques dites de plasturgie (matériau, mécanique, chimique). L'électronique apporte un degré de complexité supplémentaire (voire plusieurs peut-être).

La problématique d'adhésion des encres prend un tour nouveau, puisque celle-ci doit également conserver une excellente conductivité. Des motifs correspondront aux plages de report des pattes des composants CMS. Ces motifs, après thermoformage, doivent correspondre aux exigences mécaniques du boîtier CMS considéré, avec les tolérances normatives associées.

De même, si petit soit-il, un composant CMS doit être placé sur une petite zone relativement plane. Aussi la forme générale de l'objet convoité à la fin, doit être dessinée finement à l'échelle locale, quasi microscopique, pour permettre de poser les composants CMS.

Les rayons de courbure les plus importants dans la géométrie de l'objet 3D convoité, présentent une contrainte vis-à-vis de l'étirement de l'encre conductrice, lors du thermoformage. La largeur de la piste sera corrigée autant que nécessaire pour garantir une continuité d'impédance le long du chemin thermoformé.

Bref, il apparaît une multitude de contraintes qu'un TP peut introduire, en les séparant le plus possible. Ainsi un circuit électronique a été créé pour présenter le plus grand nombre de cas de figures, de manière individuelles ou bien combinées. Chaque situation fera l'objet d'une analyse circonstanciée a priori et a posteriori.

La philosophie de ce TP est de donner à découvrir mais en partant du postulat que l'étudiant(e) exercera son sens critique de l'observation. Pourquoi tel composant à cet endroit dans la pièce et pas ailleurs ? Pourquoi les variations de géométrie de motifs ? pourquoi les réglages particuliers du procédé à chaque étape ?

Organisation

Idéalement le TP se déroule sur deux journées consécutives, avec les étapes 1 à 6 consécutives, l'étape 7 plus ou moins longue suivant le degré de détails qui intéressent les étudiant(e)s en situation, et les étapes 8 à 10 qui peuvent être laissées en libre apprentissage si besoin. L'étape 7 permet d'ajuster l'organisation pratique du TP puisqu'elle peut être au besoin extrême remplacée par un film.

1. Découpe de films (20m),
2. Sérigraphie (1h20m),
3. Collage des composants (2h),

4. Séchage (20m)
5. Thermoformage(1h30),
6. Détourage (30m)
7. Surmoulage (4h à 8h)
8. Observations visuelles, tests de continuité électrique (1h)
9. Tests fonctionnels (1h)
10. Bilan critique

La première séance consistera à préparer des circuits en électronique imprimée sur film polycarbonate. Cela devra commencer par le découpage de films PC aux dimensions adaptées pour la suite des opérations. On réalisera ensuite la sérigraphie du circuit sur les films polymères, avec de l'encre conductrice à base d'argent (Dupont, référence commerciale mais une encre plus écologique est éventuellement possible si le TP doit être orientée vers un impact écologique moindre). La phase de sérigraphie est rapide en général, en revanche le nettoyage des différents éléments peut être assez long. On pourra alors procéder au séchage de l'encre (20 minutes à l'étuve) avant de passer au placement des composants. Cette étape est longue et minutieuse, et nécessite un deuxième séchage à l'étuve pour durcir la colle conductrice.

La deuxième séance concernera la mise en forme 3D du circuit. Pour ce faire, on procédera d'abord au thermoformage des films contre un gabarit. Ensuite, les films thermoformés seront détournés pour correspondre à l'empreinte du moule d'injection.

Une séance portera sur le surmoulage des films par injection. Il faudra d'abord régler la presse à injecter sans film, puis ajuster ces réglages en prenant en compte la présence du film et enfin surmouler les circuits préparés aux précédentes séances.

Les séances suivantes sont davantage accessibles aux étudiants puisqu'elles concernent des observations visuelles d'aspect et des tests électriques.

Le but de ce TP est de permettre à un(e) étudiant(e) en situation d'appréhender les problématiques mises en jeu et les points de conception à rassembler pour réussir la fabrication d'un objet électriquement fonctionnel.

Les étudiant(e)s conservent pour eux l'objet fabriqué donc nous espérons que ceci motivera leur énergie à atteindre le meilleur résultat possible.

II. Déroulé du TP plus en détails

Préalablement les étudiant(e)s auront découvert le moule 3D mis à leur disposition et des vues 3D d'artiste de l'objet convoité. A partir de là, une première série de conjectures établit les différentes grandes étapes et soulèvent des questionnements que les étudiant(e)s doivent reprendre à leur compte. Sans attitude proactive de la part des étudiant(e)s, ce TP pourra agréablement occuper 2 journées, presque de manière ludique, mais l'essentiel de l'objectif pédagogique sera manqué. Les enseignants sont présents avant, pendant et après le TP, pour attirer l'attention des étudiant(e)s en situation en fonction de leur parcours, insister sur tels ou tels détails, distiller des idées pour vérifier ou analyser un souci particulier et veiller globalement à la sécurité des étudiants

La première étape consiste à découper des films polymères vierges afin de leur donner une taille appropriée pour être utilisés tout au long du procédé. Les films utilisés sont des films de polycarbonate Covestro Makrofol DE1-1, d'une épaisseur de 375 μ m. Ils sont livrés au format 70cm par 1m. On peut découper huit films de 25cm par 35cm dedans, qui seront adaptés à nos besoins. Pour ce faire, nous pouvons utiliser un simple cutter, ou bien utiliser un outil spécialement conçu à l'atelier ainsi qu'une presse à détourer. Cet outil

permet en une seule opération de détourer le film ainsi que de percer des trous d'alignement qui correspondent aux différentes opérations qui suivront.

Une fois les films découpés au bon format, nous pouvons réaliser l'impression du circuit électronique. En l'occurrence, nous utiliserons le circuit « The Loop », qui consiste en un timer NE555 et un ensemble de DELs qui s'allument successivement en formant un « ∞ ». Autrement dit il s'agit d'un chenillard, circuit fonctionnel déroulé dans de nombreux cas de technologies électroniques.

L'impression sera réalisée par sérigraphie, avec un écran adapté sur une machine semi-automatique. L'encre utilisée est l'encre conductrice Dupont ME603, composée de particules d'argent ainsi que d'un solvant et d'un liant polymère. La sérigraphie est un procédé d'impression qui consiste à faire passer de l'encre à travers un écran très fin, qui laissera passer l'encre seulement aux endroits voulus. Pour que l'encre soit étalée de façon homogène sur la surface, on la pousse à travers la maille à l'aide d'une raclette rigide.

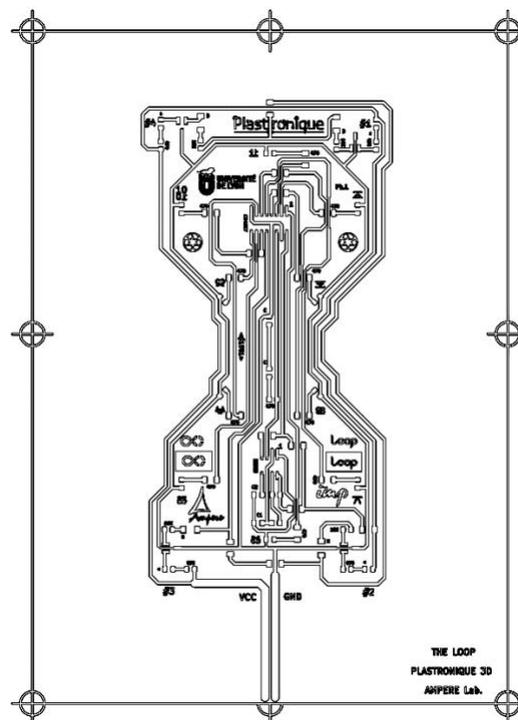


Fig.2. Le circuit « The Loop » donné comme base d'étude

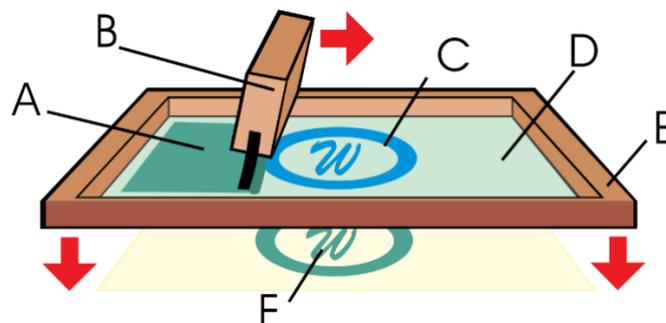


Fig.3. Schéma de principe du procédé de sérigraphie. A : Encre ; B : Raclette ; C : Image ; D : Photo-émulsion ; E : Écran ; F : Image imprimée

Une fois le motif imprimé, il est nécessaire de sécher l'encre afin d'évacuer le solvant qu'elle contient, en effet ce solvant sert à fluidifier l'encre, ce qui est utile pour la déposer

mais que l'on veut éviter sur le circuit fini. Pour ce faire, on placera chaque film préparé à l'étuve pendant vingt minutes à 120°C.

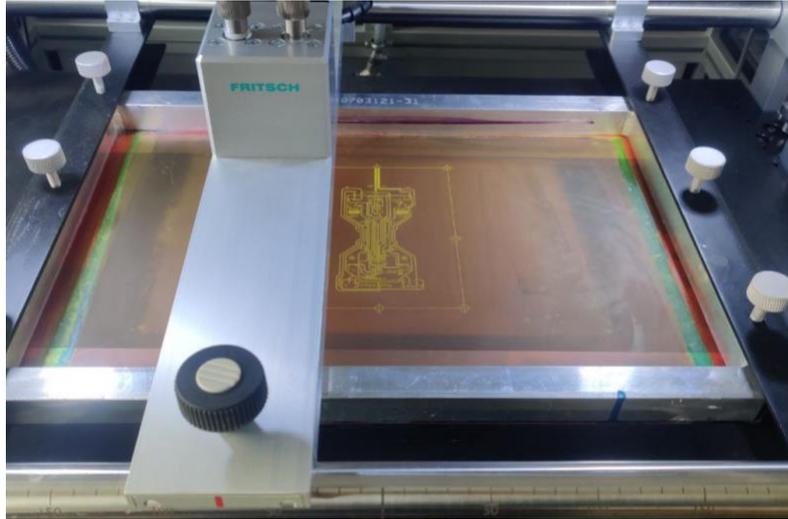


Fig.4. L'écran de sérigraphie du circuit « The Loop » monté sur la machine de sérigraphie semi-automatique, outil indispensable pour ce TP

Une fois l'encre séchée, on pourra placer les composants du circuit, à la main. Ils seront fixés à l'aide d'une colle conductrice à base d'argent (Dupont ME902), déposée à la seringue. Cette étape requiert de la minutie et peut donc être longue. Tant que la colle n'est pas séchée, tout est repositionnable. Une fois les composants placés, il faut faire sécher la colle, comme pour l'encre auparavant.

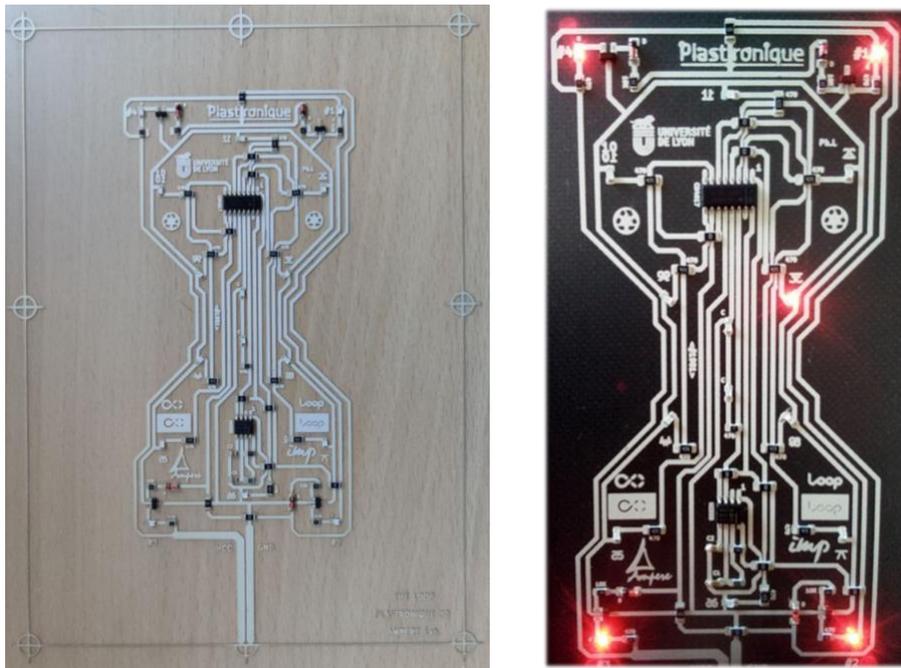


Fig.5. Le circuit « The Loop » une fois les composants placés et collés (par un étudiant déjà rompu à l'exercice). Premier test électrique fonctionnel avant thermoformage.

Le circuit étant concrétisé, nous pouvons passer à la mise en forme 3D de la pièce. Pour ce faire, nous commencerons par thermoformer les films, à l'aide d'un moule spécialement

développé pour cette pièce et de la machine de thermoformage disponible au laboratoire. Lors du thermoformage, le film est chauffé par au-dessus à une température élevée (160°C pour le polycarbonate) avant d'être plaqué contre une forme 3D. On tire le vide sous le moule pour s'assurer que le film prend bien la forme du moule, puis on laisse refroidir la pièce avant de la retirer.

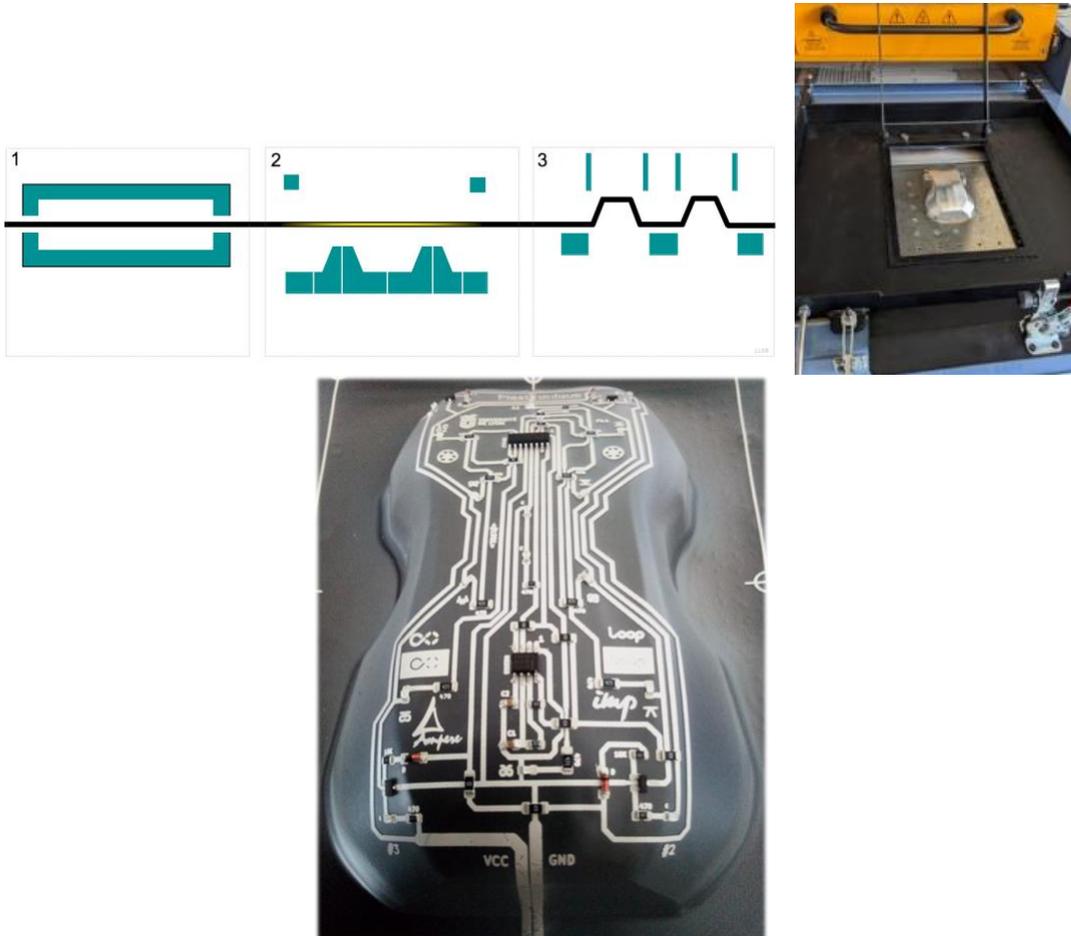


Fig.6. En haut, à gauche : Schéma de principe de l'étape de thermoformage : 1 chauffe, 2 thermoformage, 3 détourage. En haut, à droite, le moule « voiture » monté sur la thermoformeuse. En bas, circuit après thermoformage, et avant détourage.

La pièce obtenue aura la forme 3D adaptée pour la suite, mais il faudra la détourer pour retirer les bords du film qui permettaient jusqu'alors son maintien dans les différentes machines. Pour ce faire, nous avons développé un outil de détourage, adapté à la forme 3D, que l'on mettra en œuvre à l'atelier sur une presse à plateaux. A ce stade, il faut aussi tester le circuit pour s'assurer que le passage en 3D ne l'a pas endommagé. C'est une des propositions à laquelle doivent aboutir les étudiant(e)s en situation dans le cadre de leur stratégie de test.



Fig.7. L'outil de détourage conçu spécialement pour la découpe des films mis en forme en 3D avec le moule « voiture » et un exemple de film thermoformé après détourage

Il ne reste alors plus qu'à surmouler la pièce, ce qui permet d'assurer une bonne tenue mécanique et de protéger le circuit. Cette étape se déroule à Bellignat (Oyonnax, vallée de la Plastronique), dans les locaux de l'INSA Lyon, où se trouvent la presse à injecter et le moule 3D que nous avons conçu, à des fins d'activité de recherche et d'activités pédagogiques. Le surmoulage consiste à injecter un polymère dans un moule dans lequel est préalablement placé un insert autour duquel la matière est moulée. Dans notre cas, l'insert est le circuit thermoformé, que l'on va plaquer contre la partie mobile du moule.

En pratique, on va commencer par injecter des pièces sans insert pour ajuster les paramètres machine, en particulier la course du piston, la vitesse d'injection, le durée et la pression du maintien, jusqu'à obtenir des pièces de bonne qualité (complètes, sans défauts importants). On pourra alors placer des films thermoformés mais pas sérigraphiés dans le moule et appliquer de nouveau cette démarche pour s'adapter à la présence de l'insert. Lorsque les pièces seront d'une qualité suffisante, on pourra enfin placer dans le moule les circuits préparés jusqu'ici. Il y aura très certainement des délavages et des composants arrachés pour les premiers circuits, il faudra donc ajuster les paramètres machine en fonction. Si aucun défaut n'est visible, on pourra alors tester le circuit pour s'assurer qu'il est fonctionnel.



Fig.8. Le moule d'injection que nous avons conçu pour réaliser le surmoulage de dispositifs IME. Il dispose de deux empreintes : une empreinte plane dite plaque et une empreinte 3D dite la voiture. On peut basculer d'une empreinte à l'autre en fonction des besoins. Pour assurer le bon maintien des films lors du surmoulage, des trous d'aspiration par venturi sont disposés aux bords des empreintes. L'injection peut de plus se faire en deux points, que l'un peut choisir en tournant simplement un robinet.

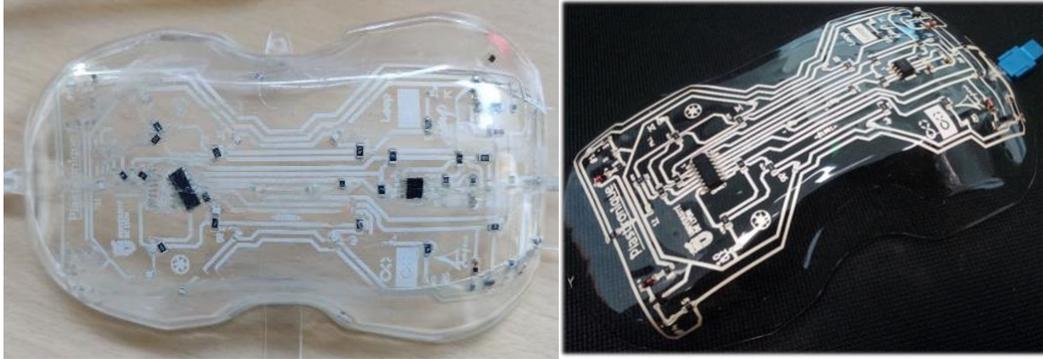


Fig.9. Une pièce complète, surmoulée, comportant un circuit « The Loop ». Lors du surmoulage certains composants ont ici été arrachés (à gauche), signe d'une mauvaise adhésion des composants au circuit et de paramètres d'injection trop violents. A droite un objet parfaitement abouti.

L'observation de l'objet IME permet de lister les éventuels défauts comme à la figure 9. Les étudiant(e)s en situation sont chargés d'émettre des hypothèses pour en déterminer l'origine et proposer une action corrective. C'est le premier objectif pédagogique majeur du TP : conduire l'étudiant(e) à anticiper le déroulé de la fabrication, réfléchir à une stratégie de test et vérifier/contrôler/critiquer les différents réglages proposés initialement. Les tests électriques sont en fait secondaires, dès lors que la continuité électrique est assurée. La faible complexité du circuit autorise de nombreux écarts d'impédance par exemple : la fréquence de clignotement en sera peu affectée mais la luminosité des différentes LEDs en sera un indicateur.

Remerciements

Les auteurs remercient la Région AURA pour son soutien dans le cadre du projet COMSUP 2022, qui a participé au financement du moule 3D.

Un tel TP ne serait pas possible sans le dévouement de l'équipe technique présente à Oyonnax pour l'environnement plasturgie

Conception, réalisation et caractérisation d'un transposeur abaisseur de fréquence en bande X à l'aide du logiciel ADS

L.Picheta^a et V. Hoël^{a,b,c}

^a Faculté des Sciences et Technologies de l' Université de Lille (département EEA),
Villeneuve d'Ascq, France

^b PLFM – CNFM (Pôle Lillois pour la Formation en Microélectronique et en
nanotechnologies Cité Scientifique, 59655 Villeneuve d'Ascq)

^c Univ. Lille, CNRS, UMR 8520–IEMN, F-59000 Lille, France
Contact email : laurence.picheta@univ-lille.fr

Introduction

Ce travail a été réalisé à l'Université de Lille et sur les plateformes de CAO et de caractérisation du PLFM (Pôle Lillois pour la Formation en Microélectronique et en nanotechnologies) dans le cadre de projets de fin de 1^{er} semestre par des étudiants en 2^{ème} année du master « M2 Réseaux & Télécommunications » dans le parcours « Systèmes électroniques communicants » (<https://master-electronique.univ-lille.fr/master-reseaux-et-telecommunication>). La thématique du projet, en lien avec les modules d'hyperfréquence enseignés dans la formation était : « Conception, réalisation et caractérisation d'un transposeur abaisseur de fréquence en bande X ».

Ce parcours de formation, ouvert à l'alternance, forme des étudiants aux fonctions d'ingénieur expert dans la conception et la caractérisation électronique haute fréquence (RF et hyperfréquences) utilisée dans tous les systèmes actuels de communication : objets connectés IoT, bluetooth, WIFI, téléphonie cellulaire (4G, 5G), identification sans contact (étiquette RF, RFID, NFC). Les compétences données par la formation permettent à nos diplômés de répondre aux développements de ces applications et de s'adapter aux futures technologies dans un domaine en constante mutation et un marché en pleine expansion.

Objectifs pédagogiques

Les projets font partie d'une unité d'enseignement nommée « Fonctions Actives des Radio Fréquences et des Hyperfréquences » essentiellement axée sur les aspects de conception. Ils font suite aux Cours, TD et TP de l'UE dispensés pendant l'année. Ils permettent aux étudiants de mettre en pratique les aspects théoriques et d'être confrontés aux écueils de la conception, réalisation et caractérisation des circuits hautes fréquences.

Faire des choix de conception, devoir trouver des solutions, échanger avec leur tuteur, les autres enseignants du master et l'ingénieur les secondant pour la réalisation pratique et la caractérisation de leur circuit, leur permet de devenir autonomes. Ils sont ainsi préparés à leur future activité professionnelle, développant des compétences relationnelles pour les actions en mode projet nécessitant de travailler avec différents intervenants.

Les projets se font en binôme sur 3 mois, chaque binôme ayant un sujet différent (amplificateur FI, LNA, mélangeur ou oscillateur). Il est demandé un travail bibliographique, une conception au moyen du logiciel ADS (Advanced Design System) de

la société Keysight, une réalisation en technologie hybride et des mesures en bande X. Le binôme doit en outre produire un rapport et soutenir oralement devant un jury constitué d'enseignants-chercheurs de la formation. Il s'agit d'une préparation au stage qu'ils effectueront le dernier semestre du Master 2 et à leur future activité professionnelle.

Description du travail et résultats

Nous présentons des résultats issus de travaux menés par des étudiants dans le cadre d'un projet de down-converter en bande X conçu à partir du transistor FET AsGa MGF1302 de Mitsubishi. Le dispositif est réalisé en technologie hybride sur substrat de verre-téflon (figure 1) et caractérisé sur nos plateformes grâce aux matériels co-financés par le PLFM CNFM Lille.

D'après le cahier des charges, les fréquences RF et OL sont comprises entre 8 et 12 GHz, la fréquence FI est comprise entre le DC et 4 GHz, des pertes de conversion les plus faibles possibles sont requises, ainsi qu'une isolation minimum de 20 dB entre les accès et une bonne linéarité. L'architecture retenue par le binôme à la suite de ses recherches bibliographiques est celle du gate-mixer (figure 2) dans laquelle la fréquence RF et la fréquence OL sont appliquées sur la grille du transistor, nécessitant la conception d'un sommateur à l'entrée et d'un filtre passe-bas en sortie. La conception des circuits de polarisation et d'adaptation a également été réalisée par les étudiants. Nous présentons ici la conception du sommateur, du filtre et du transposeur dans sa globalité (figure 3).

Pour résumer les performances expérimentales (conformes aux simulations effectuées sur le logiciel ADS) : les isolations entre les accès sont supérieures à 25 dB, la puissance de compression à -1 dB est comprise entre 0 et 3 dBm en entrée pour une puissance d'OL entre 8 et 10 dBm, l'IP3 en entrée est compris entre 4 et 16 dBm pour une puissance d'OL entre 0 et 10 dBm, le gain de conversion est autour de 1.5 dB pour une puissance d'OL de 5 dBm.

En terme d'innovation pédagogique en lien avec les évolutions dans le secteur de la microélectronique, il est à noter que dès l'année prochaine, les projets seront réalisés sur des substrats organiques. Par ailleurs, les travaux s'appuieront sur des nouveaux transistors plus performants venant de la société Infineon.

Conclusion

Ces projets marquent une transition entre les études et la vie professionnelle, avant l'immersion totale en entreprise ou en laboratoire au dernier semestre du master 2 « Systèmes électroniques communicants ». Le retour des étudiants est extrêmement positif car ils ont pu faire la boucle complète simulation/réalisation/caractérisation. Cela a permis de conforter leurs connaissances, de leur faire acquérir de nouvelles compétences, de les responsabiliser et de leur donner de l'assurance dans leurs capacités de mener à bien un projet.

A cet égard, nous notons une réelle évolution dans leur façon d'appréhender les différents sujets techniques, allant vers un mode proactif et orienté « solutions » suite à ces projets. Généralement, la thématique du stage est en lien direct avec le module de formation auquel appartiennent ces projets (« Fonctions Actives des Radio Fréquences et des Hyperfréquences »).

Les entreprises qui les emploient sont (liste non exhaustive) : Ampleon (Colomiers), Expleo (Toulouse), Thalès (Ymare), Thalès (Elancourt), MC2-Technologies (Villeneuve d'Ascq), Forecia Clarion Electronics Europe (Paris), Keolabs (38330 Montbonnot-Saint-Martin), Tronico-Alcen (85607 Montaigu),

Généralement, il s'agit d'emplois en CDI proposés pendant le stage de fin d'études par l'entreprise d'accueil ou encore trouvés dans les 3 mois après l'obtention du diplôme. Certains de nos étudiants poursuivent en Doctorat à l'université de Lille, notamment à l'IEMN et à l'IRCICA, ou dans d'autres universités. En outre, notre formation est organisée de sorte à permettre l'alternance (chaque année nous avons des apprentis et des contrats pro), ce qui fournit des débouchés professionnels supplémentaires.

Figures

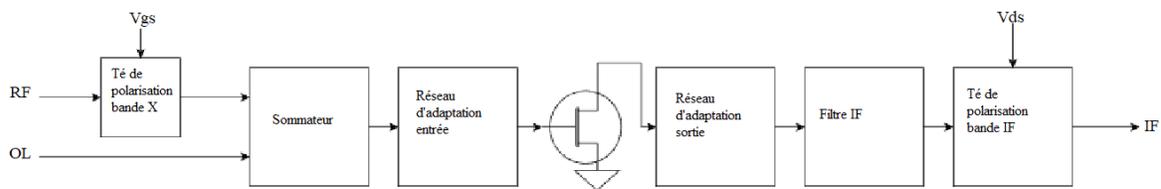


Fig.1. Architecture du transposeur.

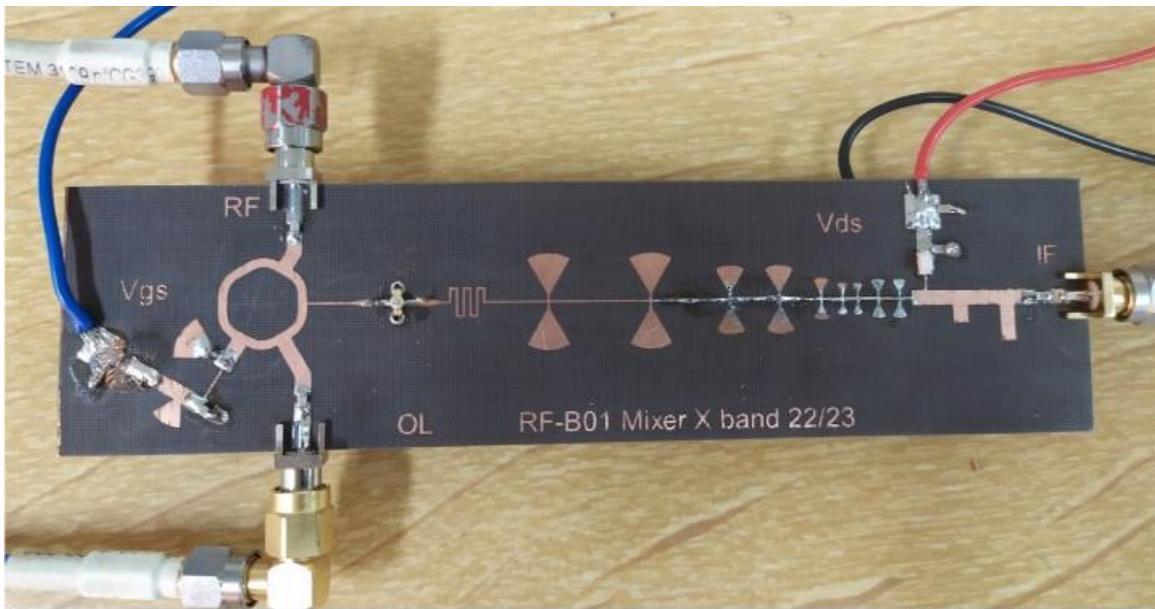


Fig. 2. Transposeur réalisé en technologie hybride.

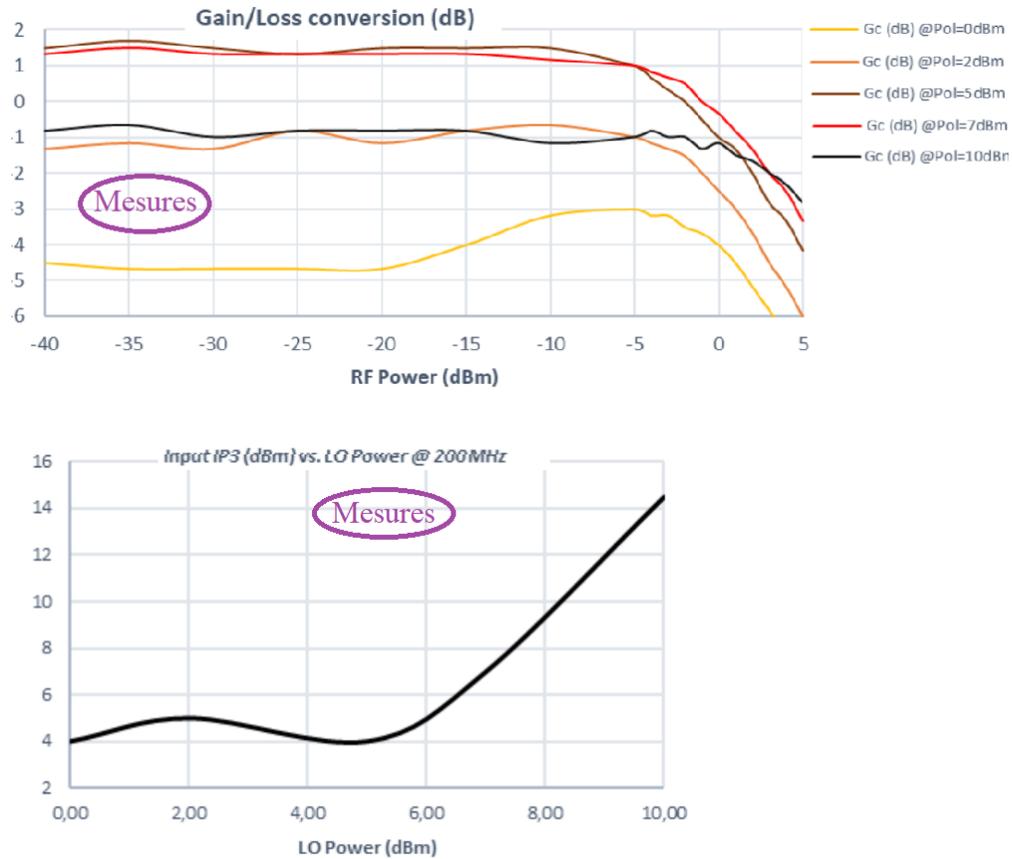


Fig. 3. Quelques performances expérimentales du transposateur (gain de conversion et input IP3).

Remerciements

Nous remercions le GIP CNFM et la DGEISIP, l'équipe du CNFM Lille (PLFM), le laboratoire IEMN CNRS UMR8520, la Faculté des Sciences et Technologies de l'Université de Lille, et l'Université de Lille.

Références

1. F. de Dieuleveut, O. Romain, Title, *Electronique appliquée aux hautes fréquences*, N°2 Dunod (2017).
2. S. Mass, Title, *The RF and microwave circuit design cookbook*, Artech House Publishers (1998).
3. ANFR Allocation des bandes de fréquence, website: <http://www.anfr.fr> (Accès 2023)

CARACTERISATION AUTOMATISEE ET CONCEPTION DE PUCE

Utilisation de la plateforme IDLab*

Mathieu GUERIN, Stéphane MEILLÈRE, Philippe PANNIER, Hervé TORTEL, Romain LAFFONT

Pôle CNFM PACA - Aix Marseille Université - Polytech Marseille

Filière Microélectronique et Télécommunications :

Technopôle de Château-Gombert - 5 rue Enrico Fermi - 13453 Marseille cedex, France

E-mail : mathieu.guerin@univ-amu.fr

Résumé

Dans le cadre du projet pédagogique CARA_PUCE, une équipe d'une trentaine d'étudiants, encadrés par deux enseignant-chercheurs a mis en application un flot de rétro-ingénierie en microélectronique. Ils ont, d'une part, mis au point un banc de caractérisation automatisé de portes logiques ; puis ils ont créé et simulé le schéma niveau transistor des portes logiques. Les simulations ont pour objectif d'extraire précisément les performances électriques des portes avant d'en réaliser le dessin des masques (layout). Les vues schématique et layout sont réalisées en technologie AMS CMOS 0,35 μ m en utilisant les ressources logicielles et matérielles de la plateforme IDLab*, du CNFM PACA cofinancée par l'IDEFI FINMINA et POLYTECH MARSEILLE.

1. Introduction

Le rétro-ingénierie a pour objectif de mesurer et d'étudier le fonctionnement d'un circuit afin de pouvoir reproduire le fonctionnement de celui-ci. Ceci a plusieurs applications dans le milieu industriel, notamment lors de phases de débogage lors desquelles on souhaite reproduire en simulations un comportement non désiré d'un circuit électronique. Le but étant alors en premier lieu de reproduire sur un banc de mesure un fonctionnement défectueux. Il convient ensuite, grâce à des simulations, d'être capable de recréer les conditions ayant mené au dysfonctionnement. Une phase de modifications du schéma au niveau transistor intervient alors, suivie de re-simulations de vérification pour s'assurer de la disparition du dysfonctionnement. Une fois cette étape validée, le dessin des masques du circuit est réalisé pour en débiter la fabrication.

2. Présentation du projet

Afin de mener à bien le projet, les étudiants sont répartis en équipes de 4. Chaque équipe

devant s'organiser pour mener à bien les différentes tâches du projet (caractérisation automatisée, conception, simulation et dessin des masques). Les étapes du projet peuvent être divisées en deux grands axes présentés dans la figure 1.

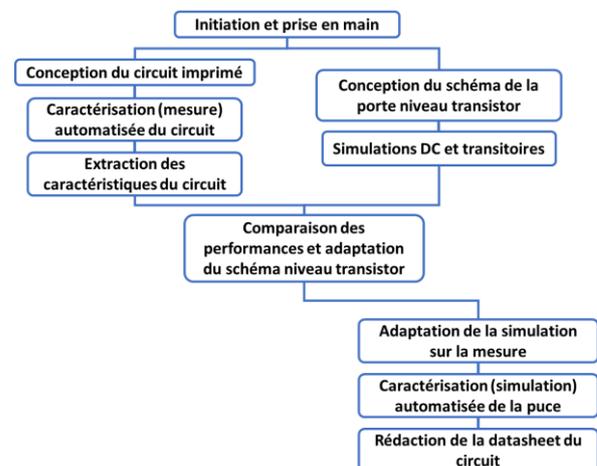


Figure 1 : Déroulement du projet pour les étudiants

Dans la partie caractérisation sous microcontrôleur, les étudiants utilisent la carte Nucléo STM32 de la société ST Microelectronics [1]. L'objectif sera de programmer en langage C afin d'automatiser les mesures effectuées sur la porte logique afin de pouvoir éventuellement créer une plateforme de test pour différents circuits numériques [2].

Tout au long de la partie simulation, le logiciel Cadence-Virtuoso sera utilisé pour établir le schéma niveau transistor de la porte logique et à effectuer des simulations électroniques tout en automatisant l'extraction des paramètres sous ADE-L. Le dessin des masques (layout) de la porte sera également effectué. Ensuite, des simulations seront lancées en modifiant les contraintes du design (process, alimentation et température) afin de rédiger une documentation technique qui résumera tous les

paramètres de la puce et permettra de réutiliser la porte dans des étapes de conception plus poussées.

3. Banc de caractérisation automatisée

Cette partie du projet a pour objectif de créer un système permettant la caractérisation automatisée d'une puce (une porte ET 3 entrées CD4073B de Texas Instruments [3] comprenant trois portes identiques dans un même boîtier). Il suffit alors de placer le système à tester (Device Under Test -DUT- en anglais) sur un support, lancer un programme et la caractérisation de la puce est réalisée en un clic.

Pour cela, plusieurs étapes sont nécessaires, dans un premier temps réaliser un circuit imprimé (Printed Circuit Board -PCB- en anglais) pour pouvoir simplement poser le circuit à tester dessus.

Ensuite concevoir un programme embarqué sur un carte ST-Nucleo-L476RG qui configure ses entrées et sorties, génère des tensions à positionner sur les entrées du DUT et mesure les grandeurs (tensions et courants) permettant de caractériser le DUT. Ces données de mesure sont envoyées en temps réel vers un ordinateur via le port série du microcontrôleur.

Enfin, il est nécessaire d'analyser les données de mesure afin d'en extraire les paramètres caractéristiques de la porte logique (seuils de basculement, tension minimale d'alimentation, consommation). Ces valeurs sont renseignées dans la fiche technique de la porte logique.

3.1 Réalisation d'un circuit imprimé

Cette partie du projet a pour objectif de réaliser une carte PCB intégrant des emplacements pour connecter la porte à caractériser, des connecteurs vers la carte nucleo et d'éventuels interrupteurs, ceci afin de pouvoir effectuer nos mesures de manière efficace. Le logiciel « EAGLE 9 » est utilisé pour la modélisation ainsi que le routage du prototype.

Pour ce faire, il convient d'importer les empreintes Arduino et CD4073BE (la puce étudiée) sous EAGLE [4]. Ces empreintes correspondent au « pinout » de la carte Nucléo et respectent les dimensions exactes de cette dernière.

Afin de rendre le dispositif de test plus fonctionnel et pratique d'utilisation, des « jumpers » sont intégrés sur la carte. Il s'agit

de ponts permettant de sélectionner une piste ou une autre. De cette manière, il est possible d'analyser le fonctionnement les trois portes de la puce sur la même carte simplement en sélectionnant les pistes souhaitées.

Le routage des pistes sur la carte est effectué de manière automatique par le logiciel. La figure 2 présente la vue layout final du PCB.

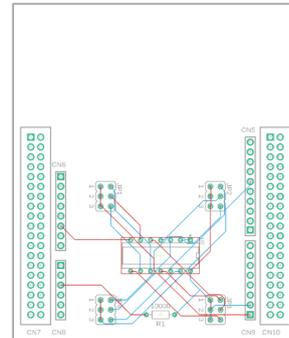


Figure 2 : Vue layout du PCB de test

L'utilisation d'une carte PCB réalisée spécifiquement pour effectuer ces mesures permet d'obtenir des résultats plus précis et stables qu'en utilisant des câbles et une carte de prototypage de type « breadboard ». Elle réduit de nombreux effets (notamment résistifs) indésirables pouvant perturber la mesure.

3.2 Caractérisation automatisée

L'objectif de cette caractérisation est de mesurer la tension de seuil ainsi que le courant consommé par la porte logique. Avec ces données, il serait possible de concevoir sous Cadence une porte possédant les mêmes caractéristiques électriques.

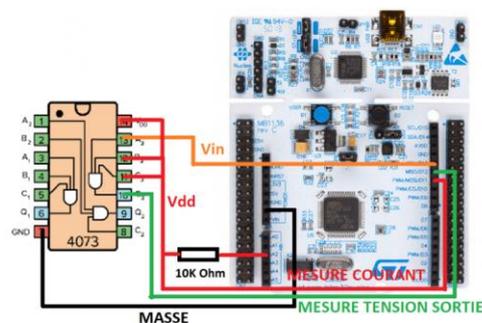


Figure 3 : Schéma électrique des connexions permettant la caractérisation de la porte logique

La carte Nucléo 476RG offre suffisamment de Convertisseurs Analogique-Numérique (CAN) et Numérique-Analogique (CNA) pour réaliser ces mesures à l'aide d'un programme unique.

Il est en effet possible de caractériser à l'aide d'un seul programme la tension de basculement et la consommation de la porte logique pour toute une gamme de tensions d'alimentation V_{DD} . La figure 3 présente les branchements effectués entre la carte nucleo et la porte CD4073BE afin d'en assurer la caractérisation complète.

Les CNA et CAN embarqués sur la carte nucleo disposent d'une résolution de 65535 points, une valeur pleine échelle de 3.3 V ainsi qu'un quantum de 50 μ V.

Le port USB de la carte nucleo est utilisé pour assurer un protocole série à 115.2 kbit/s permettant d'envoyer les données vers un ordinateur via un terminal configuré en réception série. Une utilisation judicieuse des caractères de tabulation et fin de lignes permettent de simplement copier le contenu du terminal dans une feuille Excel.

L'algorithme de la figure 4 résume de manière le fonctionnement du programme utilisé.

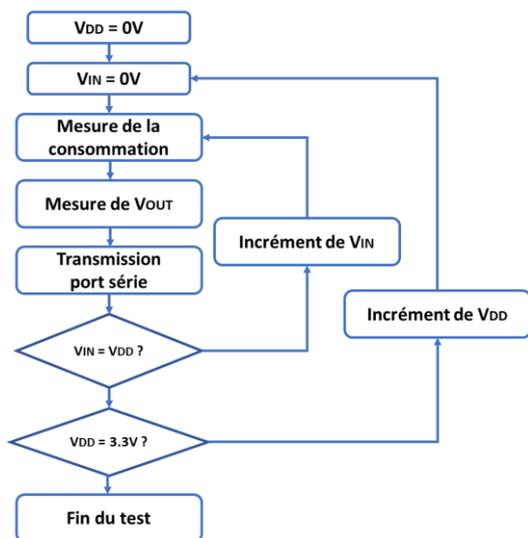


Figure 4 : Algorithme du programme de test embarqué sur nucleo

3.3 Extraction des performances des portes logiques

Une fois les éléments de la carte PCB connectés et le programme de caractérisation lancé, les données de courant et tension mesurés sont récupérés dans le terminal d'un ordinateur afin d'être tracés.

Un exemple des tensions mesurées en sortie de la porte ET en fonction de la tension en entrée pour différentes valeurs de tension

d'alimentation V_{DD} est présenté dans la figure 5.

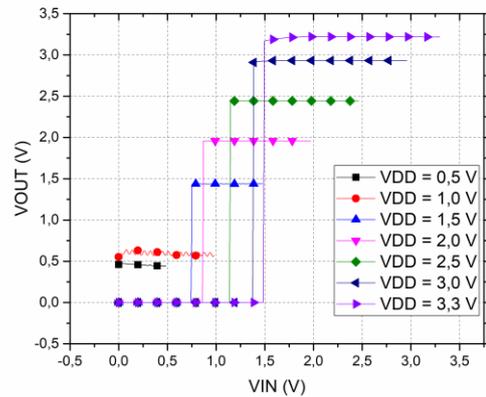


Figure 5 : Caractéristique entrée-sortie de la porte ET pour plusieurs tensions d'alimentation V_{DD}

Il convient premièrement de remarquer qu'une tension d'alimentation minimale de 1.5 V est nécessaire à la porte logique pour fonctionner. Il est également possible d'extraire de la courbe présentée sur la figure 5 la tension d'entrée pour laquelle un basculement de la tension de sortie se produit, et ceci pour toutes les valeurs de V_{DD} .

D'autres courbes sont également tracées, représentant la consommation de la porte en fonction de la tension d'entrée. De ces courbes sont extraites les valeurs de courant I_{MAX} consommé par la porte lors de son basculement, ainsi que le courant de fuite I_{LEAK} (courant consommé lorsque les entrées sont fixées à des '0' ou '1' logiques).

Toutes les valeurs extraites des caractérisations de la porte logique sont recensées dans un tableau qui fera office de documentation technique et qui servira de point de comparaison pour la partie « simulation de circuits ».

4. Conception et simulation des circuits

Cette partie du projet a pour objectif de concevoir sous Cadence les schémas électriques des portes, puis de réaliser des simulations en régimes statiques (DC) et transitoires. Les simulations DC seront ensuite utilisées pour modifier les tailles des transistors afin d'obtenir les mêmes performances électriques entre les portes caractérisées dans la section III et celles simulées sous Cadence. Les effets de la variabilité du procédé de

fabrication (P), de la tension d'alimentation (V) et de la température (T) sur les caractéristiques électriques de la porte seront également étudiés. Le dessin des masques (layout) des portes sera enfin réalisé puis vérifié à l'aide d'outils de design rule checking (DRC) et de layout versus schematic (LVS).

4.1 Réalisation des schémas et simulations statiques

Le schéma électrique, niveau transistor, de la porte ET est saisi sous Cadence, ce schéma est visible sur la figure 6.

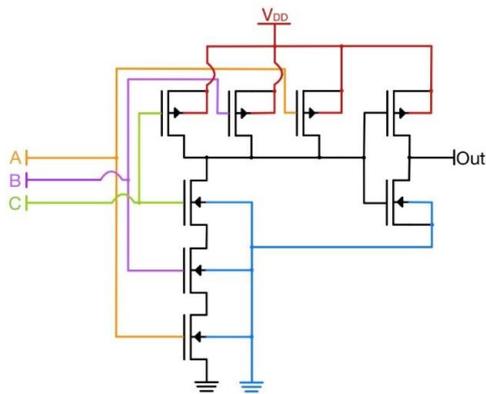


Figure 6 : Schéma niveau transistor d'une porte ET à 3 entrées

Les transistors PMOS sont dimensionnés afin d'être deux fois plus larges que les NMOS pour compenser la mobilité des porteurs de charges. Pour réaliser les simulations sous Cadence, un symbole de la porte est créé afin d'être instancié dans des schémas dédiés à la simulation (ou testbenchs).

Pour les simulations DC, un schéma de test est réalisé en reliant chaque entrée de la porte à une source de tension, comme indiqué sur la figure 7.

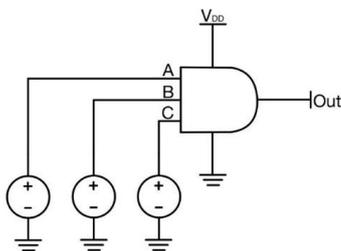


Figure 7 : Schéma de la simulation statique de la porte ET. Il convient premièrement de vérifier la table de vérité de la porte ET en appliquant toutes les combinaisons de '0' et de '1' logiques sur les entrées. Une fois cette étape validée, des simulations reprenant le principe des mesures effectuées dans la partie « caractérisation automatisée » sont effectuées. La tension en

sortie de la porte ainsi que le courant d'alimentation sont donc simulés en fonction de la tension sur l'une des entrées de la porte (les autres entrées étant fixées à la valeur non prioritaire de la porte ('1')). Et cette simulation est lancée pour plusieurs valeurs de tension d'alimentation VDD. De ces courbes de simulations, les mêmes paramètres que ceux contenus dans la section concernant caractérisation sur PCB sont extraits. Ces paramètres comprennent la valeur de la tension d'entrée pour laquelle un basculement de la sortie de produit, la consommation de fuite ILEAK ou la consommation lors du basculement IMAX. Le fait d'étudier ces grandeurs pour plusieurs valeurs de tension d'alimentation demande aux étudiants d'utiliser des simulations paramétriques. Et le fait d'extraire ces grandeurs sur plusieurs courbes nécessite l'utilisation des formules disponibles dans l'outil « calculator » de Cadence.

Les étudiants peuvent ensuite modifier les tailles des transistors de leur porte afin que les résultats de simulation se rapprochent de ceux obtenue en mesure. Il est notamment possible d'augmenter la valeur de la tension de basculement de la porte en augmentant la largeur des transistors PMOS, les rendant ainsi plus à-même de tirer la tension de sortie vers VDD. Cette étape permet de faire le lien entre les parties simulation de mesure en comparant les résultats obtenus par chaque binôme du groupe.

4.2 Simulations transitoires

Pour les simulations transitoires, la tension appliquée sur l'entrée A de la porte est remplacée par une alimentation V_{PWL} (PieceWise Linear Voltage) pour effectuer des rampes de tension et ainsi pouvoir caractériser les paramètres transitoires du circuit. Un schéma de test correspondant à ces tests est présenté sur la figure 8.

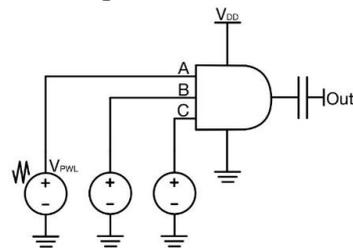


Figure 8 : Schéma de la simulation transitoire de la porte. La tension appliquée sur l'entrée 1 de la porte passe de 0V à VDD avec un temps de montée

de 10 μ s et un temps de descente de 10 μ s. Les différents paramètres extraits des simulations transitoires sont :

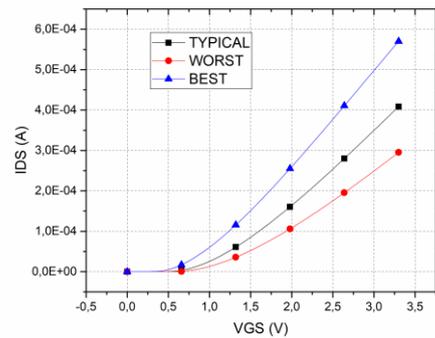
- Les temps de montée et de descente du signal de sortie (respectivement t_R et t_F) : temps nécessaire à la porte pour passer de 10% ou 90% de V_{DD} à 90% ou 10% (respectivement) de V_{DD} en sortie lorsque l'entrée change rapidement d'état.
 - Les temps de propagation (t_{PLH} et t_{PHL}) : temps nécessaire à la porte pour propager un changement d'état. t_{PLH} est mesuré lorsque la sortie passe d'un état bas à un état haut, et correspond à la durée entre l'instant où la tension d'entrée vaut 50% de V_{DD} et celui où la tension de sortie vaut 50% de V_{DD} . De même pour t_{PHL} lorsque la sortie passe d'un état haut à un état bas.
 - Les consommations statiques (I_{LEAK}) et dynamiques (I_{MAX}) de la porte.
- Une fois les simulations et extractions de paramètres DC et transitoires validés sur un corner PVT typique, il est possible d'automatiser tout le procédé de caractérisation de la porte.

4.3 Automatisation des simulations et études des corners PVT

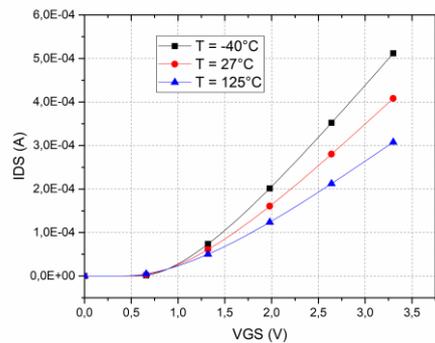
Le logiciel Ocean [5] de Cadence est utilisé dans l'optique de caractériser de manière exhaustive les performances d'un circuit dans tous les corners de process (P), de température (T) et de tension d'alimentation (V). En effet les variations PVT ont un impact sur les conditions de polarisation ou la mobilité des porteurs dans le silicium, ce qui, à l'échelle d'un circuit, va notamment entraîner des variations de tensions de seuil des transistors, comme indiqué sur la figure 9.

La figure 9(a) représente l'évolution du courant drain-source I_{DS} dans un transistor NMOS en fonction de sa tension V_{GS} pour 3 procédés de fabrication à savoir typique, worst et best. Il est notamment remarquable que la tension de seuil des transistors NMOS baisse dans le cas « best » et augmente pour le corner « worst ». La figure 9(b) représente l'évolution du courant drain-source I_{DS} dans un transistor NMOS en fonction de sa tension V_{GS} pour 3 températures (-40°C, 27°C et 125°C). L'augmentation de la température entraîne une diminution de la tension de seuil des transistors

NMOS et PMOS, et ainsi une augmentation du courant I_{DS} pour une même valeur de V_{GS} .



(a)



(b)

Figure 9 : (a) Courbes de I_{DS} en fonction de V_{GS} pour 3 procédés de fabrication. (b) Courbes de I_{DS} en fonction de V_{GS} pour 3 températures.

Le logiciel Ocean permet de lancer des milliers de simulations en boucle en modifiant les variables d'une simulation à l'autre. Il permet également d'enregistrer les résultats de simulation extraits auparavant des simulations unitaires sous ADE dans un fichier .csv. Ce fichier contiendra les résultats importants de chaque simulation pour chaque corner PVT et permettra de déterminer des valeurs typiques, maximales et minimales pour chacun des paramètres caractéristiques du circuit testé [6]. Les conditions de simulation qui varient d'une itération d'Ocean à l'autre sont la température (de -40°C à +125°C par pas de 10°C), la tension d'alimentation (de 2,7V à 3,3V par pas de 100 mV) et le procédé de fabrication (typique, worst et best). Au total, 378 simulations sont lancées afin de couvrir tous ces cas PVT croisés et les résultats de simulation (DC comme transitoire) sont stockés dans un fichier csv contenant le même nombre de lignes. L'analyse de ces résultats permet d'établir une documentation technique de la porte testée comportant un résumé de ses paramètres électriques. Sont notamment listés

les valeurs minimales, typiques et maximales des grandeurs électriques. Le tableau I présente un exemple de documentation technique obtenue à partir des simulations Ocean de la porte ET.

Tableau 1 : Caractéristiques électriques de la porte ET extraites des simulations Ocean

	Min	Typique	Max
TPLH (ns)	0,43	0,79	1,48
TPHL (ns)	0,54	1,03	2,03
TR (ns)	0,53	1,16	8,71
TF (ns)	0,69	1,15	2,11
IMAX (mA)	29,7	37,5	42,3
I LEAK (pA)	8,91	10,0	1680

4.4 Dessin des masques

Une fois les paramètres électriques des portes extraits et validés dans tous les corners PVT, le dessin des masques de la porte est réalisé en technologie AMS-0.35 μ m à l'aide de l'outil layout-XL de Cadence. L'une des contraintes concernant cette partie est le fait que la hauteur des portes est imposée afin de respecter le flot de création de cellules standard pouvant être utilisées dans des étapes de synthèse et de placement/routage (PnR). Il est pour cela primordial que les cellules standard conçues aient toutes la même hauteur pour être insérées et connectées dans des rails d'alimentation. La figure 10 présente la vue layout de la porte ET réalisée.

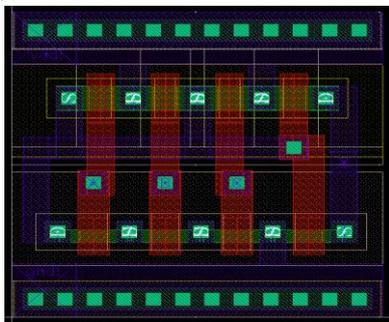


Figure 10 : Dessin des masques de la porte ET en technologie AMS 0.35 μ m

Les transistors PMOS sont placés sur la partie haute de la figure 10 tandis que les NMOS occupent la partie basse. Les règles de design imposées par AMS sont vérifiées à l'aide d'un outil de design rule checking (DRC) tandis que les connexions sont vérifiées grâce à un outil de layout versus schematic (LVS), ces deux outils étant fournis par Assura. La surface totale de la porte atteint 24 μ m².

5. Conclusions

Ce projet permet à des groupes de 4 étudiants de travailler en groupe et en autonomie autour d'un cahier des charges. Ils réalisent dans un premier temps la rétro-ingénierie d'une porte ET 3 entrées CD4073BE de Texas Instruments pour concevoir leur propre porte ET 3 entrées. Le projet est scindé en deux parties distinctes se déroulant en même temps. La première partie consiste en la caractérisation de la porte à l'aide d'un microcontrôleur qui permet de mesurer les premières caractéristiques de la porte. Afin de réaliser cette caractérisation automatisée, les étudiants ont besoin de concevoir un code embarqué sur une carte ST-Nucléo-L476RG afin de contrôler les entrées/sorties et les différents convertisseurs de la carte. Une carte PCB est également conçue à l'aide du logiciel EAGLE afin de disposer d'un banc de test. Dans un deuxième volet, les étudiants travaillent sur la partie simulation sur Cadence, où ils automatisent l'extraction des données depuis les simulations et modifient les dimensions des transistors afin d'obtenir des caractéristiques similaires entre les portes mesurées et simulées. Enfin, le dessin des masques des portes est réalisé et vérifié à l'aide d'outils de DRC et LVS. Et une documentation technique contenant un résumé des performances du circuit est réalisée.

**IDLab : Plateforme pédagogique pour l'enseignement des systèmes d'identification RFID, NFC a été cofinancée par le projet IDEFI FINMINA, le FIP AMU et Polytech Marseille.*

Références

- [1] STMicroelectronics (2015) User Manual STM32 Nucleo-64 boards. Website: https://www.keil.com/boards2/stmicroelectronics/nucleo_l476rg/
- [2] S. Z. Solehah Mohamad Zamri et al., "Design and Analysis of Integrated Circuit DC Parametric and Functional Testing Module with GUI using Matlab and Microcontroller Interfacing," 2021 IEEE Symposium on Industrial Electronics & Applications (ISIEA), Langkawi Island, Malaysia, 2021, pp. 1-10, doi: 10.1109/ISIEA51897.2021.9509997.
- [3] Texas Instruments. (2003). CD4073BE Dat. Website: https://www.ti.com/lit/ds/symlink/cd4073b.pdf?HQS=dis-mous-null-mousermode-dsf-pf-null-ww&ts=1673581086427&ref_url=https%253A%252F%252Fwww.mouser.cn%252F
- [4] Autodesk-EAGLE (2023): Website: https://www.autodesk.fr/products/eagle/features?us_oa=dotcom-us&us_si=b4f53dee-e045-4da0-888f-ebf4798df9ba&us_st=eagle
- [5] Cadence-Ocean manual (2019): Website: https://community.Cadence.com/Cadence_technology_forums//mixed-signal-design/40120/Ocean-tutorial
- [6] A. Boliolo, L. Benini, G. de Micheli and B. Ricco, "Gate-level power and current simulation of CMOS integrated circuits," in IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 5, no. 4, pp. 473-488, Dec. 1997, doi: 10.1109/92.645074.

Conception et développement d'un processeur à jeu d'instruction réduit RV32I

Slavisa Jovanovic, Yves Berviller et Serge Weber

Pôle CNFM MIGREST - Nancy

Institut Jean Lamour (UMR7198), Université de Lorraine

contact email: slavisa.jovanovic@univ-lorraine.fr

Nous présentons un ensemble de travaux pratiques qui seront dispensés au sein du Master EEA - Électronique Embarquée à l'université de Lorraine et Télécom Nancy - parcours Logiciel Embarqué, dans le cadre des modules *Conception VLSI* (Master EEA) et *Conception et Développement d'un Système sur Puce* (Télécom Nancy). Ces travaux pratiques portent sur la modélisation de systèmes et circuits en VHDL, et se focalisent en particulier sur le développement incrémental d'une architecture de processeur à jeu d'instructions réduit de type RISC-V (le jeu d'instruction RV32I) en utilisant des suites logicielles de **Mentor Graphics** (*Modelsim* pour la modélisation et simulation VHDL), et de **Intel-Altera** (*Quartus Prime*) pour la validation expérimentale.

I. Introduction

Pour initier les étudiants des formations Master EEA - Électronique Embarquée à l'université de Lorraine et Télécom Nancy - parcours Logiciel Embarqué à la modélisation de systèmes et circuits en VHDL, nous mettons en place une série de travaux pratiques autour des suites logicielles de **Mentor Graphics** (*Modelsim* pour la modélisation et simulation VHDL), et de **Intel-Altera** (*Quartus Prime*) permettant de simuler, tester, synthétiser et vérifier de manière expérimentale le fonctionnement d'un processeur à jeu d'instructions réduit (le processeur RISC-V à jeu d'instruction ouvert, plus précisément l'ensemble RV32I).

La modélisation de l'architecture RV32I au niveau RTL s'inscrit dans le cadre de deux modules: le module *Conception VLSI* (Master EEA), où l'accent est mis sur la conception de circuits numériques de calcul au niveau RTL (opérateurs arithmétiques; synthèse logique, placement et routage) de 30 heures; et dans le module *Conception et Développement d'un Système sur Puce* (Télécom Nancy) de 44h, où l'objectif principal est de familiariser les étudiants avec les mécanismes de fonctionnement employés au sein d'un processeur et de les mettre en pratique dans le langage de description de matériel VHDL.

Ces travaux pratiques s'adressent aux étudiants de niveau Master 2 et aux élèves de troisième année d'école ayant déjà un bagage de connaissances solide en conception numérique (VHDL, FPGA - au moins 30h) et en conception de circuits microélectroniques de base (60h) avec la suite logicielle Cadence (30h) (pour les étudiants de Master EEA). De plus, les étudiants ont des connaissances en programmation orientée objet (Java, Python, C/C++), en programmation structurelle sur microcontrôleur (langage C) et en programmation C sous Linux (compilation croisée) leur permettant d'assimiler les concepts liés à la modélisation de haut niveau de manière plus aisée. Par conséquent, on peut considérer que les étudiants ont une expérience suffisante et non négligeable pour mener à bien le projet proposé.

II. Démarche pédagogique

Les étapes de modélisation, simulation, vérification et test d'un processeur RV32I passent par les étapes suivantes:

- Rappel des éléments combinatoires et séquentiels et l'introduction au jeu d'instructions réduits RISC-V (l'ensemble d'instructions RV32I est uniquement considéré)
- Modélisation, simulation et vérification du jeu d'instruction RV32I de manière progressive: en partant des instructions de type R; en passant par les instructions de type I (y compris les instructions de type load); en rajoutant les instructions de stockage dans la mémoire de données (de type S); de changement de flot de contrôle (de type B) et en terminant par les instructions de type J et U.
- Vérification de l'architecture globale incorporant l'ensemble d'instructions du jeu RV32I sur un ensemble de tests évolués
- Test sur FPGA et amélioration des performances de l'architecture initiale en jouant notamment sur le nombre de cycles d'horloge utilisés pour l'exécution de chaque instruction (réduction des chemins critiques identifiés)

Rappel des blocs logiques de base et l'introduction au jeu d'instructions RV32I

Dans la première étape, l'étudiant est amené à se familiariser avec les mécanismes principaux de fonctionnement d'un processeur et en particulier avec l'architecture RISC-V et son jeu d'instruction réduit.

Dans cette étape, une introduction brève des éléments de base qui seront utilisés pour la conception d'un processeur est effectuée. Il s'agit en particulier de rappeler les éléments de base (combinatoires et séquentielles) nécessaires pour la conception d'un processeur: multiplexeur/démultiplexeur, opérateurs arithmétiques et logiques de base, compteurs/décompteurs, registres (normaux et à décalage), blocs mémoire (ROM et RAM) et machine à états finis.

Dans cette étape, le jeu d'instructions ouvert RISC-V et notamment son sous-ensemble RV32I est introduit. Dans cette étape, l'étudiant se familiarise avec les différents types d'instructions: les instructions de type R ne travaillant que avec des valeurs stockées dans la banque de registres; les instructions de type I où le résultat fourni par l'unité arithmétique et logique (ALU) est calculé en utilisant une donnée issue de la banque de registres et une constante (nommée *immediate* et codée sur 12 bits) incorporée directement dans l'instruction programme; les instructions de chargement ou de type load permettant de stocker le résultat de l'ALU dans une case de la mémoire de donnée (le bloc RAM) - il s'agit du même format que les instructions de type I (considérées comme telles) avec une finalité complètement différente où l'ALU calcule l'adresse de la case mémoire qui sera utilisée (au lieu d'un des registres de la banque de registres) pour stocker le contenu d'un registre de la banque des registres; les instructions de type S ou de stockage qui permettent de charger une valeur de la mémoire de données dans un des registres de la banque de registres et cela au niveau d'un octet, d'un demi mot ou de la valeur entière sur 32 bits (en mode signé ou non-signé); les instructions de type B qui permettent de gérer le flot d'exécution d'un programme en introduisant les instructions de

branchement basées sur la comparaison de deux valeurs stockées dans les registres de la banque des registres; les instructions de saut ou de type J permettant de sauter sur une adresse calculée; et finalement les instructions de type U permettant de construire des adresses de saut en se basant sur une constante de 20 bits.

Modélisation, simulation et vérification du jeu d'instruction RV32I de manière progressive

Dans cette deuxième étape, l'étudiant commence à modéliser une première architecture comportant les blocs combinatoires et séquentielles de base nécessaires pour faire exécuter les instructions de type R [1]. Dans le jeu d'instructions R, il existe 10 différentes instructions effectuant essentiellement les opérations arithmétiques et logiques (voir la figure 2). Parmi les blocs combinatoires et séquentielles, l'étudiant est amené à proposer un compteur programme incrémentant de 4 unités (présenté par le bloc PC), un bloc mémoire de type ROM permettant de stocker les instructions du programme (nommé IMEM en figure 1); une banque de registres comportant 32 registres avec deux entrées en lecture (les entrées R_A et R_B) et une en écriture (l'entrée R_W); ainsi qu'un bloc ALU permettant d'exécuter les opérations arithmétiques et logiques correspondant aux instructions de type R (voir la figure 2).

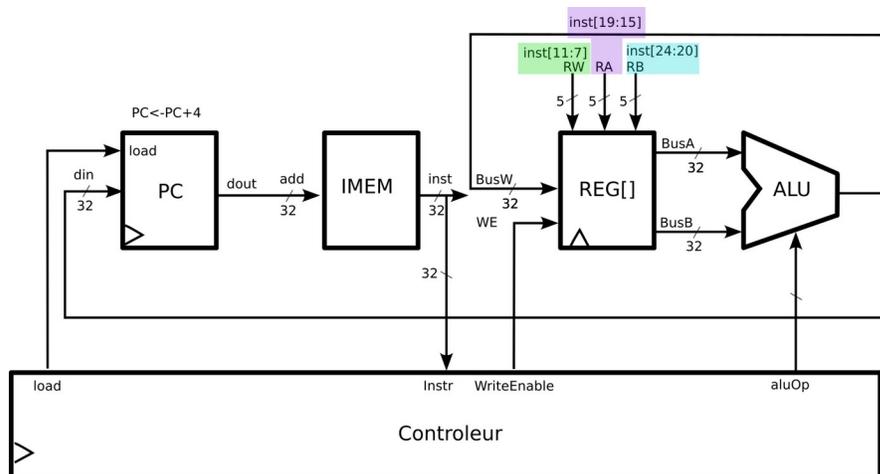


Figure 1: Architecture de base permettant de réaliser le jeu d'instruction de type R

L'étudiant décrit également un bloc nommé Contrôleur représentant le décodeur d'instruction qui dans un premier temps indiquera à l'ALU le type d'opération à exécuter (via la sortie aluOp). Ce bloc se chargera également de positionner les valeurs des signaux de contrôle du compteur programme et de l'écriture dans la banque de registre. Ces deux signaux sont positionnés à '0' et à '1' de manière respective puisque dans les instructions de type R l'écriture dans un registre est systématique et le contenu du compteur programme PC reste inchangé par l'extérieur. Il faut également préciser que dans l'architecture proposée figure 1, le bloc mémoire programme IMEM est en lecture seule asynchrone (sans horloge) pour éviter le retard d'un cycle d'horloge au moment de la lecture. La lecture en prenant en compte l'horloge sera introduite dans la dernière étape de conception du processeur.

31	25	24	20	19	15	14	12	11	7	6	0	bit
funct7		rs2		rs1		funct3		rd		OpCode		R
0000000		rs2		rs1		000		rd		0110011		add
0100000		rs2		rs1		000		rd		0110011		sub
0000000		rs2		rs1		001		rd		0110011		sll
0000000		rs2		rs1		010		rd		0110011		slt
0000000		rs2		rs1		011		rd		0110011		sltu
0000000		rs2		rs1		100		rd		0110011		xor
0000000		rs2		rs1		101		rd		0110011		srl
0100000		rs2		rs1		101		rd		0110011		sra
0000000		rs2		rs1		110		rd		0110011		or
0000000		rs2		rs1		111		rd		0110011		and

Figure 2: Liste complète des instructions de type R comportant les opérations arithmétiques (addition (add), soustraction (sub), comparaison (slt et sltu)), logiques (and, or, xor) et de décalage (sll, slr, sla)

L'architecture proposée figure 1 est essentielle puisque elle constitue la base pour tous les autres types d'instructions. Sur cette architecture, l'étudiant effectue les premiers tests en générant le code à charger dans la mémoire programme en utilisant des générateurs automatiques disponibles en ligne (voir [2] et [3]) ou en chargeant dans la mémoire le contenu issu de la compilation croisée d'un code écrit en assembleur RV32I et converti en code machine à charger dans la mémoire ROM. Un exemple de code assembleur utilisé pour tester l'instruction add est donné en figure 3 avec le code machine correspondant.

1	add	x1, x1, x1	1	001080b3
2	add	x1, x1, x31	2	01f080b3
3	add	x2, x2, x1	3	00110133
4	add	x2, x2, x31	4	01f10133
5	add	x3, x3, x1	5	001181b3
6	add	x3, x3, x31	6	01f181b3
7	add	x4, x4, x1	7	00120233
8	add	x4, x4, x31	8	01f20233
9	add	x5, x5, x1	9	001282b3
10	add	x5, x5, x31	10	01f282b3
11	add	x6, x6, x1	11	00130333
12	add	x6, x6, x31	12	01f30333
13	add	x7, x7, x1	13	001383b3
14	add	x7, x7, x31	14	01f383b3
15	add	x8, x8, x1	15	00140433

Figure 3: Exemple de code assembleur et code machine correspondant pour tester l'instruction add

En se basant sur l'architecture présentée figure 1, l'étudiant introduit progressivement les modifications nécessaires à l'architecture initiale pour pouvoir exécuter d'autres types d'instructions. La figure 4 montre l'évolution progressive de l'architecture avant d'arriver à l'architecture finale permettant d'exécuter toutes les instructions de l'ensemble RV32I.

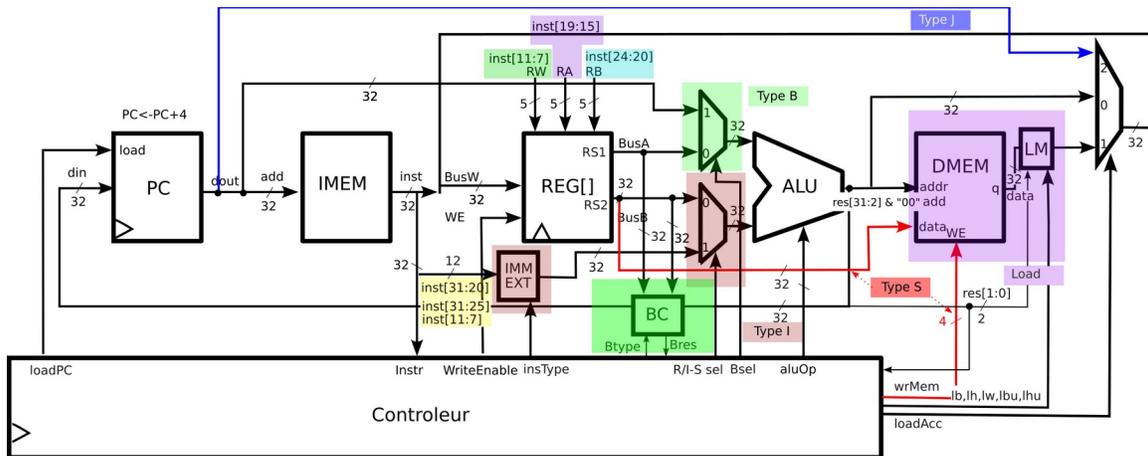


Figure 4: Architecture de base (en noir) augmentée (en couleurs) pour implémenter le jeu d'instruction RV32I

Vérification d'architecture globale

La vérification de l'architecture se fait également de manière progressive, en fonction de l'évolution de l'architecture initiale présentée figure 1. Ainsi, l'étudiant vérifie dans un premier temps l'architecture au niveau du type d'instruction observé (R, I ou autre) et en combinant les types d'instructions déjà rajoutés dans les phases précédentes avec le tout dernier. L'objectif est non seulement de valider les nouvelles instructions mais également de montrer la validité des instructions déjà rajoutées dans les étapes précédentes. Avec un jeu d'instruction de plus en plus complet, il est également possible de créer des vecteurs de tests de plus en plus évolués. A titre d'exemple, avec les instructions de type I, il est possible de modifier très facilement le contenu d'un registre (utilisation de l'instruction `addi - addi x10,x0,13` pour écrire par exemple la valeur 13 dans le registre x10) sans être obligé d'initialiser la banque de registres dans le code VHDL.

Dans cette étape de vérification, les étudiants se familiarisent non seulement avec l'écriture des premiers tests de base, mais également avec des tests beaucoup plus élaborés en assembleur RV32I. Une fois un code en assembleur écrit, il est très facile de le convertir en code machine en utilisant la chaîne de compilation croisée RV32I:

```
riscv32-unknown-elf-as -march=rv32i add.s
riscv32-unknown-elf-objdump -l -M numeric,no-aliases -d -EL a.out > add.hex
```

où la première commande compile le fichier assembleur `add.s` et génère un fichier de sortie (`a.out`), et la seconde le transforme en un fichier texte (nommé `add.hex`) contenant le code machine à charger dans la mémoire ROM.

Dans la dernière partie de vérification, la même chaîne de compilation croisée est utilisée avec des vecteurs de test écrits en C et en précisant uniquement l'utilisation de l'ensemble RV32I. Ainsi, des tests beaucoup plus élaborés peuvent être créés pour la validation de l'architecture proposée. Un exemple de compilation d'un programme en langage C décrivant la suite de Fibonacci pour l'architecture RV32I est présenté ci-dessous.

```
riscv32-unknown-elf-gcc -I. -O2 -fno-pic -march=rv32i -mabi=ilp32 -fno-stack-protector -w -Wl,--no-relax -c fib.c
```

On voit clairement l'argument `-march=rv32i` précisant l'architecture RV32I. Comme pour les tests écrits en assembleur, cette commande génère un exécutable `a.out` qui doit être converti en code mémoire pour être chargé dans la mémoire ROM.

Test sur FPGA et amélioration des performances

Dans la dernière étape, l'architecture RV32I validée sur la totalité des instructions de l'ensemble RV32I au niveau comportemental, doit être adaptée pour un fonctionnement en plusieurs cycles d'horloge. Rappelons que le développement de l'architecture a été effectuée en utilisant les blocs mémoire programme (la ROM) et de données (la RAM) totalement asynchrones. La lecture asynchrone permet de ne pas gérer dans un premier temps le délai d'un cycle d'horloge pour accéder à la donnée issue de la mémoire. Par contre, pour une validation expérimentale sur les plateformes de type FPGA comme Intel Altera DE10 ou autre, la lecture asynchrone n'est plus possible. C'est pourquoi la première optimisation à faire consiste à utiliser des blocs mémoire où la lecture ou l'écriture doivent être synchrones.

Dans cette première phase, les étudiants sont amenés à modifier la gestion des étapes de décodage d'instructions en prenant en compte les retards engendrés par une lecture synchrone des blocs mémoires. Les modifications seront à apporter au niveau du bloc Contrôleur où une machine à états finis doit être décrite pour cette gestion.

Les modifications au niveau du contrôleur ne doivent pas perturber le fonctionnement de l'architecture initiale. La validation doit donc utiliser la même batterie de tests que dans les étapes précédentes. Une fois l'architecture validée, une caractérisation des performances de l'architecture globale en termes de fréquence de fonctionnement maximale et en nombre d'instructions par seconde (en MIPS par exemple) pourra avoir lieu.

III. Conclusion

Nous avons présenté un ensemble de travaux pratiques qui seront dispensés au sein du Master EEA - Électronique Embarquée à l'université de Lorraine et Télécom Nancy - parcours Logiciel Embarqué, dans le cadre des modules *Conception VLSI* (Master EEA) et *Conception et Développement d'un Système sur Puce* (Télécom Nancy). Ces travaux pratiques portent sur la modélisation de systèmes et circuits en VHDL, et se focalisent en particulier sur le développement d'une architecture de processeur à jeu d'instructions réduit de type RISC-V (le jeu d'instruction RV32I) en utilisant des suites logicielles de **Mentor Graphics** (*Modelsim* pour la modélisation et simulation VHDL), et de **Intel Altera** (*Quartus Prime*) pour la validation expérimentale. La mise en place de ces TP est déjà en cours dans la formation Logiciel Embarqué à Télécom Nancy et est prévue pour la rentrée 2023/24 au sein du Master EEA.

IV. Remerciements

Nous remercions, le GIP CNFM ainsi que le pôle MIGREST pour la participation financière à l'acquisition du matériel nécessaire à la réalisation de cette série de travaux pratiques.

V. Références

- [1] Harris, Sarah, and David Harris. 2021. *Digital Design and Computer Architecture, RISC-v Edition*. Morgan Kaufmann.
- [2] “RISC-v Instruction Encoder/Decoder.” n.d. <https://luplab.gitlab.io/rvcodecs/>.
- [3] “RISC-v Online Assembler.” n.d. <https://riscvasm.lucasteske.dev/#>.

Développer la compétence recherche en école d'ingénieurs

L. Fesquet ^{a,b}, Xavier Lesage ^{a,c}, Cristiano Merio ^{a,d}, Ali Naimi ^a, Sylvain Engels ^{a,d}

^a Univ. Grenoble Alpes, CNRS, Grenoble INP*, TIMA, F-38000 Grenoble, France

^b Univ. Grenoble Alpes, CNRS, Grenoble INP*, Phelma, F-38000 Grenoble, France

^c Orioma, F-38430 Moirans, France

^d STMicroelectronics, F-38920 Crolles, France

Contact email : laurent.fesquet@univ-grenoble-alpes.fr

Les formations d'ingénieur utilisent de plus en plus un référentiel de compétences afin d'évaluer leurs étudiants. Parmi les compétences requises, la compétence recherche est probablement l'une des plus difficiles à transmettre. En effet, les étudiants de niveau Master ou les élèves-ingénieurs sont naturellement peu exposés à une activité de recherche car ils sont toujours en cours de formation et ne possèdent pas tout le bagage scientifique nécessaire pour s'y adonner. Pourtant, il est possible au travers de projets de leur faire découvrir les facettes nécessaires à l'innovation et à la découverte. La méthode est illustrée par un projet de conception d'un circuit microélectronique.

I. Introduction et contexte de la formation par la recherche

La formation par la recherche est usuellement comprise comme les travaux de thèse menés par nos doctorants. Cette formation est souvent riche d'enseignements car elle permet de développer une technicité pointue mais, aussi, amène progressivement le doctorant à définir sa propre trajectoire dans son activité de recherche. Il gagne ainsi en autonomie et s'offre même le luxe d'être imaginatif et créatif. C'est grâce à ce dernier ressort que nous pouvons devenir innovants, inventifs, voire révolutionnaires.

Si l'activité en laboratoire sous la houlette d'un directeur de thèse se prête bien à cet exercice, la situation est tout autre lorsque l'on souhaite développer cette compétence auprès de nos élèves-ingénieurs et, plus généralement, auprès des étudiants d'un niveau Master. Les obstacles sont en effet nombreux. Il est difficile de glisser cette compétence dans le syllabus d'une formation car elle ne répond finalement à aucune matière, ni programme scientifique. Nous allons essayer de voir dans ce qui suit, comment il est malgré tout possible d'utiliser des enseignements et notamment des projets étudiants pour introduire un soupçon de formation par la recherche sans pour autant déroger au programme officiel de la formation.

II. La formation par la recherche en école d'ingénieurs

A proprement parler, cette formation est quasiment inexistante à l'exception des stages effectués en laboratoire par nos étudiants. En effet, l'enseignant qui aurait l'idée saugrenue d'initier à la recherche (hors stages) nos étudiants de Master et nos élèves-ingénieurs va immédiatement se heurter à plusieurs difficultés et pas des moindres.

La première difficulté, qui apparaît, sont les connaissances limitées de nos étudiants. En effet, ils sont encore en formation et ils doivent acquérir et s'approprier des connaissances nouvelles. Au regard du processus de cognition nécessaire à cette acquisition de connaissances et de savoir-faire, il est souvent compliqué, voire impossible de demander à nos étudiants d'avoir un regard critique sur les contenus fraîchement emmagasinés mais rarement assimilés.

La seconde difficulté est la nécessité de respecter les programmes de formation car nous préparons nos étudiants à entrer dans la vie active avec les formations professionnelles que nous dispensons. Il serait donc mal venu de s'abstraire de l'environnement socio-économique et de développer un enseignement spécifique en vue de former les étudiants à résoudre une problématique de recherche tout aussi spécifique. Ce ne serait en aucune façon rendre service à nos étudiants et à nos partenaires industriels qui espèrent trouver des ingénieurs et des étudiants diplômés utilisables et adaptables à leurs besoins.

Enfin, cette demande irraisonnée d'évaluer les compétences plutôt que les connaissances et savoir-faire va dans le sens d'un appauvrissement de nos formations et d'une réduction du métier d'ingénieurs à un simple jeu de compétences comme la capacité à travailler en équipe ou d'ordonnancer des tâches. Heureusement, il reste la compétence dite « métier » qui demeure vague pour le profane et qui n'a de sens que pour le technicien qui connaît parfaitement sa profession. Ainsi, ajouter une dimension « recherche ou innovation » semble une gageure supplémentaire.

III. Le projet étudiant vecteur de développement d'une compétence recherche

Le projet est un moment particulier dans la vie étudiante car il met l'apprenant en pause par rapport à l'acquisition de savoirs nouveaux et lui donne l'opportunité de développer des savoir-faire comme c'est le cas en TP, mais avec un temps d'analyse et de réflexion plus conséquent. Ce laps de temps constitue une opportunité pour l'enseignant de distiller subrepticement la compétence recherche. En effet, le projet se doit de rester dans les clous de la formation et constituer une base solide pour l'acquisition des savoir-faire usuels. Il n'est donc pas souhaitable de tout bouleverser à ce stade mais il est judicieux d'ajouter le zest de connaissances supplémentaires qui permettra de remettre en cause les acquis. En procédant de la sorte, on invite l'étudiant à entamer une réflexion sur les connaissances qu'il a apprises, à analyser les limites du savoir dispensé et à s'interroger sur de possibles remédiations. Tout ceci peut paraître bien théorique mais il est temps d'illustrer par un exemple concret comment nous pouvons insidieusement faire réfléchir nos étudiants à une problématique recherche. Ainsi, ils feront un premier pas dans le monde de la recherche et de l'innovation et, pour peu qu'ils travaillent en équipe, cocheront les cases de nombreuses compétences demandées dans les écoles d'ingénieurs.

IV. Un réseau de neurones convolutif piloté par les données

Les réseaux de neurones sont des sujets à la mode qui intéressent nos étudiants. Il est donc normal que les étudiants de la filière « Systèmes Electroniques Intégrés » de l'école Phelma de l'institut polytechnique de Grenoble aient envie dans le cadre d'un projet de conception de circuits intégrés de développer leur propre réseau de neurones. Le choix du réseau de neurones s'est porté sur un réseau de neurones convolutif. Ces derniers sont simples à concevoir, faciles à étudier et bien documentés. Ainsi, nous aurions pu nous

contenter de mener à son terme le projet en choisissant un réseau pré-entraîné que nous aurions pu implémenter au travers du flot numérique (du RTL au *Layout*) qui est enseigné à l'école. Ce travail est suffisamment conséquent et formateur pour que nos étudiants en tirent profit dans le cadre de leur formation professionnelle. En effet, les étudiants peuvent se contenter d'appliquer les recettes proposées par les enseignants puisqu'il s'agit de mettre en pratique les connaissances acquises.

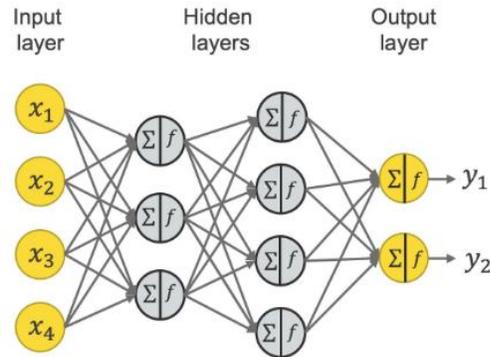


Fig.1. Un réseau de neurones usuel

En revanche, dans ce sujet, rien n'invite à creuser le sujet plus en profondeur. Il est donc temps d'ajouter quelques éléments à notre sujet « bateau » sur la conception d'un réseau de neurones. Premièrement, il est intéressant de réfléchir au comportement d'un tel réseau de neurones et de faire une première observation avec les étudiants. L'analyse du fonctionnement du réseau montre rapidement que les données, qui se propagent dans le réseau, mènent à un taux d'activation faible. Enfin, l'activation systématique des calculs par un signal d'horloge ne permet pas de profiter de ce faible niveau d'activation et conduit à une sur-activation du réseau. Ainsi, il apparaît que les réseaux neuronaux sont très exigeants en puissance de calcul et qu'ils consomment beaucoup. De plus, la taille de ces réseaux ne cesse d'augmenter sans que la problématique de leur consommation ne soit efficacement traitée. Dans ce contexte, toutes les techniques d'économie d'énergie sont les bienvenues dans le domaine de l'IA et de son utilisation dans les dispositifs connectés (Edge AI) en particulier.

Ainsi la prévalence de nombreux zéros dans les cartes d'activation ou les matrices de poids des réseaux de neurones a été examinée dans divers systèmes, dont les réseaux neuronaux convolutifs (CNN) [1]. Il en résulte des calculs inutiles, qui peuvent être évités en exploitant cette parcimonie. Ainsi, il est possible d'améliorer l'efficacité énergétique et la vitesse. En outre, plus les réseaux sont grands, plus ils sont parcimonieux [2] (cf. Fig.2). Enfin, le caractère épars des activations peut être cultivé en introduisant délibérément des valeurs nulles dans les cartes d'activation [3] ou dans les matrices de poids [4]. Les implémentations de réseaux neuronaux convolutifs exploitant ces techniques sont désormais bien connues, comme Eyeriss [5], qui utilise le *clock gating* pour améliorer la consommation d'énergie, ou ZeNA [6] dans laquelle l'architecture parallèle a été conçue pour réduire l'énergie en tirant profit de calculs épars.

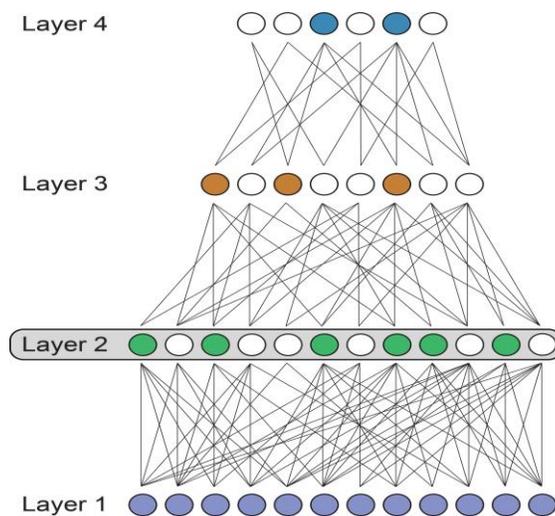


Fig.2. Les neurones activés (colorés) sont de moins en moins nombreux au fil des couches

Un autre ingrédient a été ajouté à la sauce afin de réaliser une implémentation originale et potentiellement très efficace énergétiquement. Nous avons eu recours à une conception asynchrone dite *Bundled-Data* qui est extrêmement proche d'un circuit synchrone (cf. Fig.3). En effet, cette classe de circuit présente un chemin de données similaire aux circuits synchrones mais l'arbre d'horloge a été partiellement remplacé par un contrôleur asynchrone qui fait avancer les données pas à pas dans le circuit, mais irrégulièrement d'un point de vue temporel. Ainsi, nous respectons la nécessité de former nos étudiants aux circuits synchrones en pointant du doigt leurs hypothèses temporelles sous-jacentes et leurs limites de performance (vitesse et énergie).

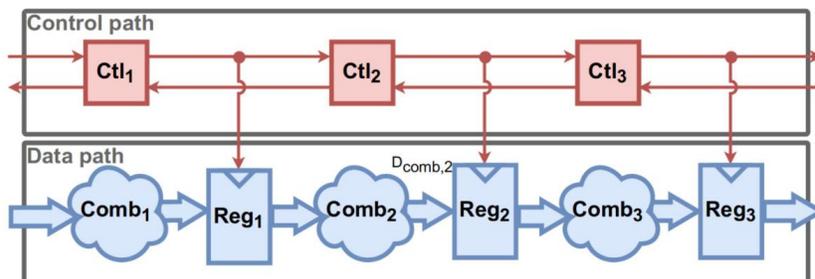


Fig.3. Principe d'un circuit *Bundled-Data*

Pour bénéficier pleinement de cette stratégie asynchrone, Merio et al. [7] proposent une méthode asynchrone qui permet de sauter dynamiquement les calculs inutiles, d'économiser l'énergie de ces derniers et de rendre les circuits plus rapides puisque l'on ne fait pas les calculs inutiles ! Nous avons appliqué cette méthode aux neurones de notre réseau convolutif en mettant en œuvre cette stratégie d'élagage des calculs inutiles. Ainsi, les calculs avec des valeurs ou des poids proches de zéro se sont vus élagués dynamiquement ainsi que les entrées ayant les mêmes caractéristiques. Cette approche a permis de réduire la consommation d'énergie de façon drastique tout en augmentant le débit moyen. La Fig.4 montre que la réduction d'énergie est proportionnelle aux calculs inutiles, représentés ici par le vocable *Ghost Token Ratio*, qui correspond à un modèle des circuits asynchrones basé sur un réseau de Petri exploitant des jetons (*Token*) et des jetons fantômes (*Ghost Token*). La modélisation formelle d'un circuit asynchrone est hors contexte dans cet article mais elle permet aux étudiants de toucher du doigt de nouvelles

notions relatives aux modèles de circuits. Enfin, il est également mis en évidence que le débit moyen augmente dès lors que la quantité de calculs inutiles croît.

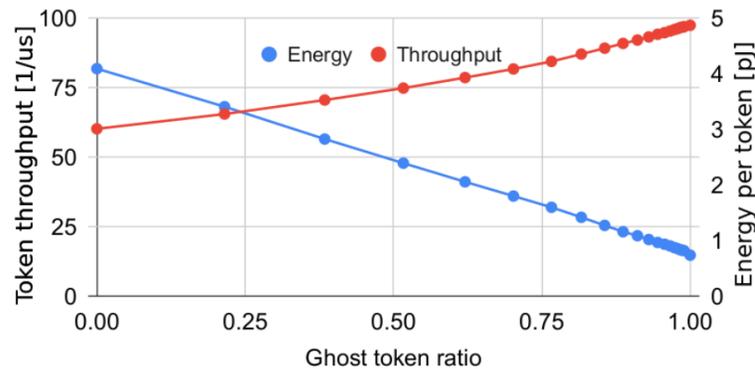


Fig.4. Résultats (énergie et débit) de l'étude menée sur un réseau de neurones convolutif

V. Bilan et conclusion

Les étudiants de la filière « Systèmes Electronique Intégrés » de Phelma sont amenés à concevoir des puces analogiques ou numériques au cours de leur scolarité. Cet enseignement pratique effectué en seconde année d'école est stratégique pour l'acquisition des savoir-faire élémentaires de cette filière de formation professionnelle. Le projet en lui-même représente déjà un défi pour les étudiants, mais aussi pour les enseignants. Ainsi, exposer nos étudiants à une activité de recherche et d'innovation semble être une mission très délicate. Pourtant, avec un peu d'astuces et de savoir-faire enseignant, il est possible de distiller une petite dose de compétence recherche !

La méthode consiste à rester dans les clous du syllabus de la formation mais d'ajouter une petite connaissance supplémentaire qui vient déstabiliser ce qui semble être acquis ou immuable. Dans l'exemple proposé, la découverte d'une conception sans horloge constitue cet élément de déstabilisation. Il oblige les étudiants à repenser leurs savoirs, à remettre en question leurs acquis. Cette approche est pratiquée à Phelma depuis de nombreuses années. Elle peut être assez facilement mise en œuvre avec tous les élèves pour peu qu'ils soient un peu curieux. Elle peut être appliquée à tous les champs disciplinaires et il est facile d'imaginer des sujets relatifs à la sécurité matérielle, à la sûreté de fonctionnement, aux méthodes de test ou aux réseaux de neurones.

Le travail relaté dans cet article a été mené par des étudiants ayant un bon niveau mais la méthode est déployée plus largement au travers de nombreux projets de conception de puces. Enfin, il est intéressant de noter que le travail d'optimisation effectué par nos étudiants a fait l'objet d'un article qui a été soumis pour publication dans une conférence internationale renommée.

Remerciements

Les auteurs remercient les collègues du CIME Nanotech qui soutiennent quotidiennement les activités de conception en microélectronique. Merci à Robin Rolland-Girod, Mohamed Ben Jrad et Abdelhamid Aitoumeri.

Références

1. Z. Li, C. You, S. Bhojanapalli, D. Li, A. S. Rawat, S. J. Reddi, K. Ye, F. Chern, F. Yu, R. Guo, and S. Kumar, "The Lazy Neuron Phenomenon: On Emergence of Activation Sparsity in Transformers," June 2023., arXiv:2210.06313 [cs, stat].
2. T. Hoefler, D. Alistarh, T. Ben-Nun, N. Dryden, and A. Peste, "Sparsity in Deep Learning: Pruning and growth for efficient inference and training in neural networks", Jan. 2021, arXiv:2102.00554 [cs].
3. M. Kurtz, J. Kopinsky, R. Gelashvili, A. Matveev, J. Carr, M. Goin, W. Leiserson, S. Moore, B. Nell, N. Shavit, and D. Alistarh, "Inducing and exploiting activation sparsity for fast neural network inference," in Proceedings of the 37th International Conference on Machine Learning, vol. 119 of ICML'20, pp. 5533–5543, JMLR.org, July 2020.
4. Z. Liu, J. Li, Z. Shen, G. Huang, S. Yan, and C. Zhang, "Learning efficient convolutional networks through network slimming", IEEE International Conference on Computer Vision (ICCV) , Oct. 22 2017 to Oct. 29 2017, Venice, Italy
5. Y.-H. Chen, T. Krishna, J. S. Emer, and V. Sze, "Eyeriss: An Energy-Efficient Reconfigurable Accelerator for Deep Convolutional Neural Networks," IEEE Journal of Solid-State Circuits, vol. 52, pp. 127–138, Jan. 2017.
6. D. Kim, J. Ahn, and S. Yoo, "ZeNA: Zero-Aware Neural Network Accelerator," IEEE Design & Test, vol. 35, pp. 39–46, Feb. 2018. Conference Name: IEEE Design & Test
7. C. Merio, X. Lesage, A. Naimi, S. Engels, K. Morin-Allory, L. Fesquet, "Method for Data-Driven Pruning in Micropipeline Circuits", 31st IFIP/IEEE Conference on Very Large Scale Integration (VLSI-SoC 2023), October 16 - 18, 2023, UAE

Sensibilisation des enseignants du collège et du lycée à l'interdisciplinarité autour des nanotechnologies et des neurosciences : développement d'implants cérébraux de nouvelle génération

N. Schoonjans^{a,b}, C. Vanbesien-Mailliot^{a,b}, R. Kassi^b, G. Deromelaere^c, F. Pelletier^d, B. Raveillon^c, A. Courdent^c, A. Vlandas^b, A. Cappy^{a,b}, V. Hoel^{a,b}

^a PLFM – CNFM (Pôle Lillois pour la Formation en Microélectronique et en nanotechnologies Cité Scientifique, 59655 Villeneuve d'Ascq)

^b Univ. Lille, CNRS, UMR 8520–IEMN, F-59000 Lille, France

^c Maison pour la science en Nord-Pas-de-Calais MPLS, Initiative ULille, Académie de Lille, Inspé Lille

^d Inspé Lille, Institut national supérieur du professorat et de l'éducation, Académie de Lille, HdF, 59650 Villeneuve d'Ascq

Contact email : virginie.hoel@univ-lille.fr

Mots clés : Neurone et synapse artificiels, circuit électronique, logiciel de simulation, traitement d'images, apprentissage.

Introduction

Cette formation qui se déroule sur 3 jours a pour thème la « Sensibilisation des enseignants du collège et du lycée à l'interdisciplinarité autour des nanotechnologies et des neurosciences : développement d'implants cérébraux de nouvelle génération ». A la suite de notre action à l'XPERIUM [1,2], nous proposons de décliner une formation à l'Université de Lille dont l'objectif est de former des enseignants qui travaillent au sein de lycées généraux, technologiques ou professionnels. Ils enseignent la SVT, la Physique-chimie, ou des contenus numériques/ informatiques, technologiques. Cette action vise à contribuer à développer l'attractivité des formations en microélectronique et en nanotechnologies.

Cette formation peut avoir lieu grâce à la synergie entre plusieurs entités qui sont le pôle CNFM de Lille (PLFM : Pôle Lillois de Formation en Microélectronique et Nanotechnologies), la Maison Pour la Science en Nord - Pas-de-Calais (MPLS), l'INSPE (Institut National Supérieur du Professorat et de l'Education, Académie de Lille) et le laboratoire de recherche IEMN (Institut d'Electronique, de Microelectronique et de Nanotechnologies). En effet, cette formation est bâtie à partir d'une activité de recherche interdisciplinaire qui est développée au laboratoire IEMN avec les chercheurs et enseignants-chercheurs qui en sont membres. L'activité se déclinera à plusieurs endroits, et une immersion lors de la première journée sera réalisée sur la plateforme salle blanche du CNFM Lille.

La MPLS joue le rôle de promoteur et propose au rectorat des formations clefs en main avec des interventions d'enseignants-chercheurs, des visites de laboratoire et d'entreprises. Le rectorat s'occupe de faire la promotion de cette formation et de convoquer les enseignants qui se montrent intéressés ou dont les chefs d'établissement trouvent une pertinence à la formation en lien avec leur projet.

Les acteurs de cette formation

Les acteurs sont au nombre de 4. Le premier acteur est le pôle PLFM - CNFM de Lille. Celui-ci est spécialisé dans la conception, la fabrication et la caractérisation de composants et de systèmes dans le domaine des radiofréquences et hyperfréquences. Il propose des formations de pointe et des travaux pratiques de difficultés variables, destinés aux étudiants des grandes écoles d'ingénieur, aux universitaires et aux professionnels de la microélectronique et des nanotechnologies. Situé sur le Campus Cité Scientifique de l'Université Lille, le pôle s'étend sur plus de 300m² et dispose de moyens de formation en microélectronique exceptionnels, uniques dans la région Hauts-de-France.



Fig. 1 : PLFM CNFM Lille (Pôle Lillois de formation en Microélectronique et Nanotechnologies)

Le deuxième acteur est le réseau des Maisons pour la science. Il s'agit d'un dispositif innovant où collaborent scientifiques et pédagogues pour la mise en place d'actions de développement professionnel pour les enseignants du premier et du second degré en sciences et technologie. Implantées dans les Universités, les Maisons pour la science proposent à l'échelle d'une académie, en étroite partenariat avec le rectorat, une offre de formation et d'accompagnement originale visant à aider les professeurs à pratiquer de manière active, attrayante et contemporaine les sciences et la technologie dans leurs classes.



Fig. 2 : Maison pour la science en Nord-Pas-de-Calais (<https://www.inspe-lille-hdf.fr/formation-continue/maison-pour-la-science>)

Le troisième acteur est l'INSPÉ Lille HdF implanté au cœur du territoire des Hauts-de-France et de ses universités. Il prépare aux métiers de l'enseignement, de l'éducation et de la formation (de la maternelle au lycée). À la fois universitaire et professionnelle, son offre de formation initiale (Master MEÉF), continue et tout au long de la vie, permet de nombreux débouchés dans le secteur de l'éducation et de la formation, public, privé ou associatif. Ouvert sur l'international, fédératif de la recherche régionale en éducation, attentif aux besoins de ses partenaires académiques et institutionnels, l'INSPÉ Lille HdF innove et développe son expertise dans tous les champs éducatifs.

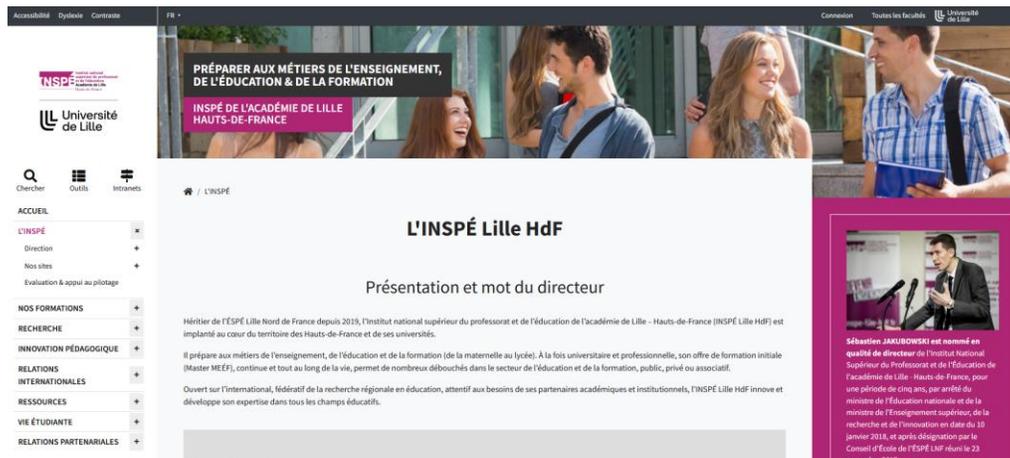


Fig. 3 : L'Institut national supérieur du professorat et de l'éducation de l'académie de Lille (INSPE Lille HdF, <https://www.inspe-lille-hdf.fr/>).

Les profils variés des formateurs et formatrices attachés à la MPLS et à l'INSPE permettent de travailler en synergie avec les collègues enseignants du secondaire. Il s'agit d'une Professeure de technologie en collège et formatrice à la Maison pour la Science en Nord-Pas-de-Calais, d'une Formatrice en SVT à l'INSPE et à la Maison pour la Science en Nord-Pas-de-Calais, et enfin d'un Formateur en sciences de l'Ingénieur à l'INSPE Lille Hauts-de-France.

Le quatrième acteur est le laboratoire IEMN, acteur majeur dans le domaine des micro/nanotechnologies et leurs applications. Fort de 450 collaborateurs de 40 nationalités différentes, l'IEMN regroupe l'essentiel de la recherche en Hauts-de-France allant des nanosciences à l'instrumentation dans le domaine des microtechnologies. Il s'appuie sur 5 tutelles et un budget de 28 M€ pour développer des technologies miniaturisées à forte valeur ajoutée dans l'électronique, la photonique, les télécommunications, les technologies pour la santé, l'énergie électrique, l'internet des objets ou encore le transport. Dans ce contexte, les enseignants-chercheurs, les chercheurs et les doctorants de l'université de Lille et du CNRS membres de l'IEMN proposent des innovations pédagogiques relevant de la médiation scientifique autour d'un thème interdisciplinaire regroupant la microélectronique, la nanotechnologie, les systèmes microélectromécaniques dédiés à la biologie (ou BioMEMS) et les neurosciences. Le cœur de cette activité pédagogique réside dans son fort degré d'innovation à la pointe des activités de recherches internationales sur le sujet.



Fig. 4 : IEMN Institut d'Electronique, de Microélectronique et de Nanotechnologies - UMR 8520 (<https://www.iemn.fr/>)

Les publics visés et les participants

Les publics visés sont constitués à la fois d'enseignants et d'élèves de niveaux collège et lycée. Nous avons actuellement 12 inscrits pour la première journée, réservée aux professeurs des collèges et lycées participants, qui aura lieu le 1^{er} Décembre 2023. Pour cette formation, les enseignants inscrits en lien avec l'électronique travaillent dans les domaines suivants : Sciences physiques et chimiques, Mathématiques Sciences Physiques et Sciences Industrielles de l'Ingénieur - option ingénierie mécanique. Les enseignants en lien avec d'autres sciences émergent aux domaines des Sciences de la vie et de la terre, des enseignements artistiques et arts appliqués, ainsi que des Industries graphiques. Ils travaillent dans des lycées généraux et technologiques, des lycées professionnels et des lycées polyvalents. Ils viennent de villes de la métropole lilloise, telles que Lille, Lambersart, et La Madeleine.

Le thème de la formation : l'activité de recherche interdisciplinaire autour des nanotechnologies, de la microélectronique et des neurosciences

Cette activité s'appuie sur les travaux très interdisciplinaires menés depuis quelques années au sein des équipes CSAM et BioMEMS de l'IEMN qui visent à établir une boucle de communication bidirectionnelle entre des neurones artificiels originaux et des neurones vivants, dans le but de développer des prothèses neuronales de nouvelle génération [3,4]. Ces neurones artificiels ont été développés au travers du projet SPINE (collaboration entre l'IEMN et l'IRCICA) et sont protégés par des brevets [5,6]. Leurs performances sont inédites d'une part en termes de consommation énergétique puisqu'ils ne consomment que 4fJ/spike ce qui est particulièrement performant par rapport aux autres solutions existantes [7]. D'autre part, ces neurones émettent des signatures électriques tout à fait comparables à celles des neurones vivants, que ce soit en termes d'amplitude, de fréquence ou d'étalement temporel : on les qualifie à ce titre de « potentiels d'action biomimétiques ». Cela nous a donc incité à mettre ces neurones artificiels originaux au contact de cellules neuronales maintenues en culture *in vitro*. Pour cela, des dispositifs neurobiohybrides ont été développés à façon au laboratoire IEMN. Ils sont constitués de chambres de culture en PDMS posées sur des réseaux de microélectrodes permettant : a) d'assurer des conditions de culture (stérilité, hygrométrie, température, pH...) indispensables au maintien de cellules vivantes sur des durées compatibles avec l'enregistrement de leur activité électrique, et b) d'enregistrer l'activité électrique des neurones vivants ainsi cultivés. Les

premiers travaux menés dans ce contexte ont établi la capacité des neurones vivants à être stimulés par de tels signaux biomimétiques. Les travaux en cours montrent la capacité de ce type d'interfaces neurobiohybrides d'enregistrer des signaux électriques en lien avec une activité électrique biologique avérée. Ces premières étapes *in vitro* visent au développement d'implants neuronaux de nouvelle génération qui seront capables de fonctionner en boucle fermée (c'est-à-dire capables d'enregistrer l'activité électrique des zones implantées et de les stimuler en adaptant en temps réel les paramètres de stimulation aux besoins cliniques).

Objectifs et programmes de la formation

Dans ce contexte, les objectifs sont de former les enseignants lors de la première journée et de les aider à définir des actions à mener ensuite avec les lycéens et les collégiens issus de leurs établissements respectifs dans le cadre des autres journées. Une action en lien avec la nanoélectronique et la microélectronique consistera à travailler dans la salle blanche du PLFM sur une ou deux étapes qui entrent dans la fabrication d'un dispositif de type neurobiohybride. Il y aura également une visite du laboratoire d'électronique IEMN pour une sensibilisation à la métrologie et au développement de solutions matérielles nécessaires pour l'enregistrement des signaux électriques extracellulaires par exemple. Il est à noter que, en parallèle, et dans le but de développer l'attractivité des formations en microélectronique et en nanotechnologies, un rapide exposé sur l'accès aux formations de l'université de Lille et ses parcours de formations est proposé, avec un focus sur les liens avec l'industrie (en particulier l'implication dans la filière industrie électronique).

Le programme planifié actuellement sur trois jours se décline de la façon suivante :

- 1^{ère} journée (réservée aux enseignants) : après une présentation du contexte scientifique et des objectifs du travail réalisé à l'IEMN, et au regard du caractère de confidentialité des données et techniques qui seront présentées, les enseignants du secondaire participants sont sensibilisés aux notions de propriété intellectuelle et à la question des brevets. Ils pénètrent ensuite dans la salle blanche du pôle PLFM de Lille (explication des procédures d'entrée, des besoins relatifs à ce type d'environnement sans poussières, familiarisation avec les techniques et les équipements de pointes associés...) et manipulent différents supports de nanotechnologies (appréhension de la dimension « nano » et équipements spécifiques reliés). Ils découvrent ensuite la salle de caractérisation (CHOP) de l'IEMN qui leur permet d'observer des mesures de stimulation électriques en dispositifs neurobiohybrides avec des neurones vivants. Une visite commentée des autres plateformes du laboratoire (notamment la salle blanche à dimension recherche d'~1900m², et le laboratoire L2 pour la culture des neurones vivants) leur permet de contextualiser l'ensemble des procédés mis en œuvre dans le cadre de développement d'implants neuronaux de nouvelle génération. La journée s'achève par une table ronde destinée à permettre aux enseignants de se projeter dans des visites pour leurs élèves, de prévoir des activités de classe et de faire des liens avec les programmes d'enseignement du secondaire.

- 2^{ème} journée (réservée aux enseignants) : après les aspects électroniques et nanosciences des travaux présentés en première journée, cette deuxième journée est davantage axée sur les questions biologiques liées au contexte scientifique général. Les enseignants apprennent à manipuler des cellules vivantes en environnement de laboratoire L1 (laboratoire de travaux pratiques utilisé pour la formation des étudiants des filières de biologie) puis participent aux expériences de stimulations neuronales en dispositifs neurobiohybrides. Les questions travaillées dans ce cadre sont celles des approches croisées indispensables à établir la réalité biologique des phénomènes électriques

enregistrés. La démarche expérimentale, les nécessaires contrôles expérimentaux et de procédures sont discutés et permettent de mieux appréhender les éventuelles difficultés des élèves lorsqu'ils seront en situation expérimentale eux-mêmes.

- *3^{ème} journée (avec les élèves des enseignants préalablement formés qui le souhaitent)* : suite aux éléments qui auront été définis et préparés lors de la première journée, les élèves seront amenés à réaliser une (ou plusieurs) étapes de fabrication d'une interface neurobiohybride dans la salle blanche du pôle PLFM de Lille, sous la supervision de leurs enseignants respectifs.

Conclusion

Ce travail de sensibilisation des enseignants du collège et du lycée à l'interdisciplinarité autour des nanotechnologies, de la microélectronique et des neurosciences appliqué au développement d'implants cérébraux de nouvelle génération est porté par 4 partenaires qui sont le PLFM, la MPLS, l'INSPE, et l'IEMN. Le travail vise à proposer une formation sur ce thème aux enseignants du secondaire ainsi qu'à leurs élèves afin de les sensibiliser à différents domaines scientifiques (électronique et biologie), aux dernières innovations développées dans les centres de recherche et directement transférées dans nos licences et nos masters. Au-delà de l'aspect disciplinaire, cela permet de travailler également les sujets d'attractivité des formations scientifiques et de présenter les nouveaux parcours de formation, notamment ceux en lien avec la microélectronique et les nanotechnologies. A cette occasion, il est possible de faire connaître les enjeux de la filière, les débouchés en terme de métiers, ainsi que les évolutions pédagogiques au sein de l'université.

Remerciements

Nous remercions le GIP CNFM et la DGESIP, l'équipe du CNFM Lille, le laboratoire IEMN CNRS UMR8520, la Faculté des Sciences et Technologies de l'Université de Lille, et le rectorat de Lille, ainsi que les ingénieurs, chercheurs et techniciens impliqués dans ces différentes structures.

Bibliographie

1. Henniquau, D., Vanbesien, C., Falez, P., Devienne, P., Vlandas, A., Cappy, A., Hoel, V., Les systèmes neuroinspirés appliqués à la vision artificielle: pédagogie et interdisciplinarité, *Journal sur l'enseignement des sciences et technologies de l'information et des systèmes*, 2022, 21, (10.1051/j3ea/20221023) hal-03464492
2. Henniquau, D., Falez, P., Philippe Devienne, Christel Vanbesien, Alexis Vlandas, A. Cappy, Virginie Hoel, Système de vision neuro-inspirée : Application à la vision artificielle, *Journal sur l'enseignement des sciences et technologies de l'information et des systèmes*, 2022, 21, 2035, 6 p. (10.1051/j3ea/20222035)
3. Vassanelli, S., & Mahmud, M. (2016). Trends and Challenges in Neuroengineering: Toward "Intelligent" Neuroprostheses through Brain-"Brain Inspired Systems" Communication. *Frontiers in Neuroscience*, 10. <https://doi.org/10.3389/fnins.2016.00438HAS>
4. Panuccio, G., Semprini, M., & Chiappalone, M. (2016). Intelligent Biohybrid Systems for Functional Brain Repair. *New Horizons in Translational Medicine*, 3. <https://doi.org/10.1016/j.nhtm.2016.10.001>
5. Brevet Neurone Artificiel, N° de priorité : FR20160053175 20160411 N° de publication : FR3050050 (A1) 2017-10-13
6. Brevet Capteur Optique N° de priorité : FR20170060062 N° de publication : FR3072564 (A1) 2019-04-26
7. Sourikopoulos, I., Hedayat, S., Loyez, C., Danneville, F., Hoel, V., Mercier, E., & Cappy, A. (2017a). A 4-fJ/Spike Artificial Neuron in 65 nm CMOS Technology. *Frontiers in Neuroscience*, 11. <https://doi.org/10.3389/fnins.2017.00123>

Une première approche des micro et nanotechnologies pour les jeunes collégiens et lycéens

M. Respaud^{a,b,c}, R.P. Tan^a, J-B. Lincelles^a, J. Harmel^a, C. Rouabhi^a,
C. Capello^a, J. Schaubert^a, F. Gessinn^a

^a AIME et pôle CNFM de Toulouse, Université de Toulouse, INSA, 135 avenue de Ranguel, 31077 Toulouse, France

^b Département de Génie Physique, Université de Toulouse, INSA, 135 avenue de Ranguel, 31077 Toulouse, France

^c CEMES-CNRS, Université de Toulouse, Toulouse, France

Contact email : respaud@aime-toulouse.fr, micro.el@insa-toulouse.fr

Dans le monde où la technologie est de plus en plus invasive, offrant un complexe mélange d'apports positifs et négatifs dans nos vies personnelles et professionnelles, l'acquisition d'une culture scientifique et technologique est devenue une obligation pour tout citoyen désireux d'être en capacité d'avoir une réflexion éclairée et étayée face aux grandes questions et aux choix techniques à opérer. Dans ce contexte, nous proposons une première approche des micro et nanotechnologies adaptée au grand public, plus particulièrement aux jeunes collégiens et lycéens, dans un programme mobilisant leurs connaissances dans l'ensemble des champs disciplinaires. Pour donner une approche plus concrète, une visite de salle blanche et deux expériences sont proposées, illustrant les technologies de microfabrication sur substrat Si et les principes de la métrologie et des capteurs.

I. Introduction

Permettre aux jeunes collégiens et lycéens d'avoir une première expérience concrète des nanotechnologies est un enjeu majeur compte tenu de notre monde technologique et des questions éthiques critiques qui y sont associées. Motiver les jeunes à embrasser des carrières scientifiques est une autre question importante. Comment aborder ce sujet ?

II. En pratique

Pour ce-faire, nous proposons un programme tout au long de l'année qui sera suivi par les élèves dans leur classe, dont une journée de travaux pratiques en salle blanche à l'AIME. Ce travail débute généralement au collège par une conférence et une discussion introductive sur l'histoire des micro-nanotechnologies, réalisée par un enseignant chercheur. Les principales étapes de la science fondamentale et des technologies intégrées sur Si sont présentées. Leurs applications et leur influence sur notre vie quotidienne sont discutées.

Ce travail se poursuit tout au long de l'année, par l'introduction de certains concepts de base en mathématiques et en physique, mais aussi en histoire (impact de l'innovation) ou en littérature. Par exemple, sur ce dernier point quelles étaient les vies et les inventions anticipées par rapport à la nôtre ?

Ensuite, une journée entière est consacrée à la visite de l'AIME et à des travaux pratiques dans la salle blanche. La visite est illustrée à la figure 1 A. La classe est divisée en deux groupes et deux activités sont menées en parallèle. La première est une visite de notre salle blanche et de nos installations. Les processus standards sont expliqués et des démonstrations d'équipement sont effectuées. Pour illustrer l'utilisation et la conception d'une nanostructure sur Si, les étudiants réalisent un processus de photolithographie sur une plaquette oxydée de Si recouverte d'une couche d'Al. Pour cela, ils préparent un dessin, par exemple un logo (haut de la figure 1 B/) qui sera imprimé sur film plastique transparent et servira de masque. Ensuite, le personnel de l'AIME procède avec eux à l'étape de photolithographie et à la gravure humide de l'Al (en bas de la Fig.1 B/). Parallèlement, l'autre groupe participe à un travail pratique sur le nano-carbone. Les étudiants fabriquent des jauges de contrainte au crayon sur papier, en suivant le protocole décrit dans la référence [1].

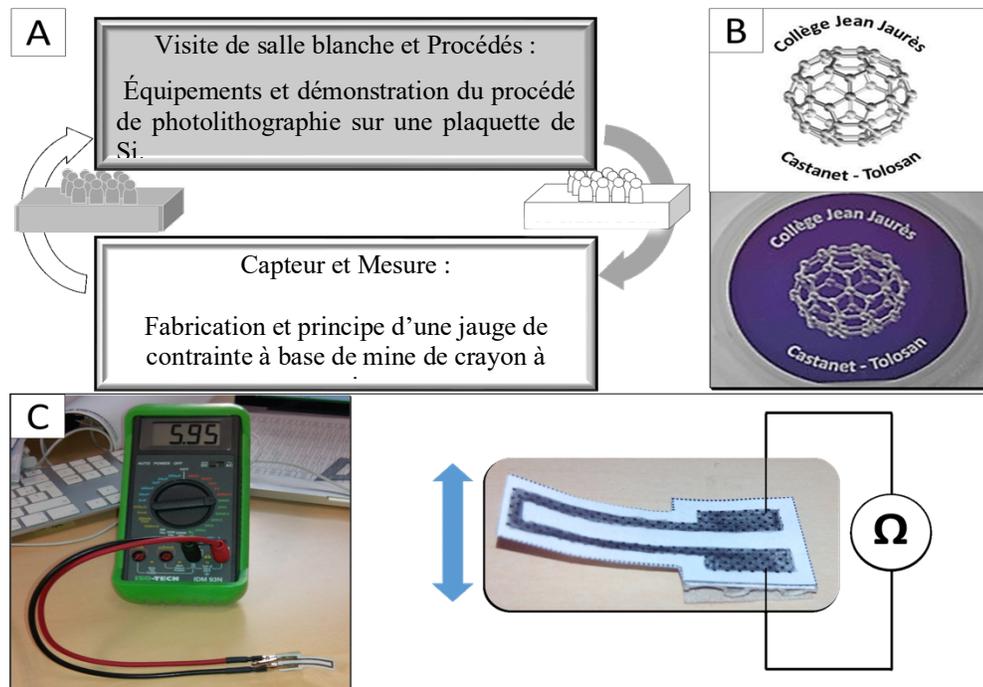


Figure 1 : A/ déroulement général d'un travail pratique (1 jour) avec des élèves de collège B/ Conception proposée par une classe (en haut) et son transfert sur une plaquette de Si (en bas). C/ photos des jauges de contrainte à base de graphite et de la mesure électrique réalisées par les élèves.

Tout d'abord, les élèves colorent la zone prédéfinie avec des crayons de différentes duretés (HB et 3B par exemple, avec différents teneurs en carbone), puis mesurent la résistance de leurs jauges à l'aide d'un multimètre (Fig.1 C/). En les déformant vers le haut ou vers le bas, ils observent une variation de résistance, respectivement une diminution et

une augmentation. Une discussion générale s'engage alors pour interpréter ces résultats expérimentaux. Que mesurent-ils ? Quel est le principe d'une mesure de résistance ? Qu'est-ce qui a été déposé ? Quels sont les différents types de structures de carbone (diamant, graphite, graphène, nanotube et fullerène), leurs propriétés respectives et leur utilité au quotidien ? Pourquoi la résistance change-t-elle ? Quel type d'application peut-on envisager avec ce « capteur » ? Quels sont les avantages et les inconvénients d'une telle technologie ?

III. Conclusion

Cette simple série d'expériences présente un grand intérêt pour de nombreuses raisons. D'un point de vue théorique, nous pouvons discuter de la mesure de la résistance basée sur la loi d'Ohm, une application directe de leurs cours. Ces jauges de contrainte sont faciles et rapides à réaliser, de sorte que les expériences peuvent être effectuées avec un minimum de matériel scolaire, bien qu'un multimètre soit nécessaire. Les questions fondamentales concernant l'innovation, la réduction des coûts et le renouvellement des technologies peuvent ainsi être abordées avec les élèves de collège. Deuxièmement, en lisant la publication [1], ils peuvent avoir un premier aperçu d'une approche scientifique typique (propriétés structurelles, caractérisation microscopique, propriétés électriques, discussion, langue anglaise...). Enfin, cette expérience simple peut servir de base pour aborder de nombreux domaines prospectifs et émergents liés aux nanotechnologies, tels que l'utilisation de substrats flexibles, biosourcés, à faible impact écologique, avec l'utilisation de matière organique ou à base de carbone...

Remerciements

Ce travail a été réalisé avec le soutien du GIP CNFM.

Références

1. C. Lin, Z. Zhao, J. Kim, and J. Huang, "Pencil Drawn Strain Gauges and Chemiresistors on Paper", *Sci. Rep.*, vol.4, 3812, 2014.
DOI:10.1038/srep03812

Nouvelles pratiques pédagogiques : Développement d'un *serious game* en réalité virtuelle pour la formation au risque chimique en salle blanche

Justine Harmel ^a, Reasmey Tan ^a, Jean-Baptiste Lincelles ^a, Philippe Seitier ^b, Isabelle Belhaj ^c, Katja Auffret ^c, et Marc Respaud ^{a,d,e}

^a AIME pôle CNFM de Toulouse, INSA de Toulouse, France

^b Institut Clément Ader Université Fédérale Toulouse Midi-Pyrénées / UMR CNRS 5312

^c Centre d'Innovation et d'Ingénierie Pédagogiques, INSA de Toulouse, France

^d Département de Génie Physique, Université de Toulouse, INSA, 135 avenue de Ranguueil, 31077 Toulouse, France

^e CEMES-CNRS, Université de Toulouse, Toulouse, France

Contact email : jharmel@insa-toulouse.fr, micro.el@aime-toulouse.fr

Cet article présente le projet de développement d'une application en réalité virtuelle pour la formation au risque chimique lors de la manipulation de produits chimiques en salle blanche. L'utilisation de la réalité virtuelle (VR) en enseignement et notamment préalablement aux sessions de travaux pratiques peut permettre d'améliorer l'apprentissage de la gestuelle et de la gestion du risque chimique en amont de leur entrée en salle blanche, en plaçant les étudiants dans un espace virtuel, jumeau numérique de l'espace de travail, simulant les dangers.

I. Objectifs

La technologie de réalité virtuelle est une technique avancée de plus en plus utilisée actuellement dans de nombreux domaines. Dans l'éducation, l'utilisation de la technologie de réalité virtuelle peut améliorer les méthodes d'enseignement et d'apprentissage, en particulier pour aborder et se familiariser avec les pratiques et les espaces à haut potentiel de risque.^{1,2} C'est dans ce contexte que l'AIME en partenariat avec le Centre d'Innovation et d'Ingénierie Pédagogique (C2IP) de l'INSA Toulouse s'intéresse à la mise en application de cette nouvelle approche pédagogique. Ce projet vise à intégrer la réalité virtuelle dans l'enseignement et la formation en micro-électronique. Le premier champ d'application concerne les aspects hygiène et sécurité au regard du risque chimique en salle blanche.

L'objectif principal est une mise en situation virtuelle afin d'effectuer une pré-formation et une sensibilisation en amont des manipulations pratiques sur les postes dédiés. Cela aura pour but d'illustrer d'une manière ludique toutes les règles de sécurité à appliquer, et les risques encourus, cela quel que soit le scénario, la mauvaise pratique mise en œuvre par les futurs utilisateurs ou étudiants en salle blanche.

L'application déploiera un environnement éducatif virtuel reproduisant la salle blanche dans le cube de réalité virtuelle de *Virtual Concept* vu à travers des lunettes 3D interactives et contrôlé par des contrôleurs de mouvement. Il permettra à l'utilisateur d'effectuer des manipulations chimiques dans les conditions aussi proches que possible de la réalité sans

aucun danger. Cette préformation se déroulera dans une modélisation virtuelle de la salle blanche de l'AIME afin que les utilisateurs aient la possibilité de réaliser toutes les manipulations possibles y compris celles potentiellement dangereuses et d'en visualiser les conséquences directes sans risque.

Les interventions de formation sur le thème Hygiène et Sécurité (HSE) sont d'importance majeure pour tout lieu de travail où des produits chimiques dangereux sont impliqués. Cela est particulièrement vrai pour les salles blanches de micro-électronique en raison de la présence de produits chimiques dangereux et pour certains mortels à faible dose (acide fluorhydrique, acides et bases concentrées, solvants...) Les interventions actuelles de formation à la sécurité sont généralement dispensées à l'aide de méthodes d'enseignement traditionnelles, telles que des cours magistraux, des vidéos et des manuels de sécurité imprimés. Cependant, elles sont considérées comme des méthodes d'enseignement peu engageantes car l'utilisateur doit écouter passivement l'instructeur. En tant que tel, un faible engagement peut conduire à une diminution de l'attention portée au contenu d'apprentissage, rendant ainsi la formation peu efficace. Les résultats d'études montrent que les laboratoires virtuels peuvent être plus efficaces que les méthodes d'enseignement passives.³ Cette formation avec mise en condition devrait permettre d'améliorer les compétences de prise de décision sur les problèmes de sécurité. De plus, l'activité d'apprentissage par la pratique ludique permet d'apprendre de ses erreurs, et les émotions ressenties peuvent rendre l'expérience d'apprentissage plus engageante et plus mémorable.

Notre application de réalité virtuelle aura de nombreux avantages, à savoir de permettre la formation à la sécurité en salle blanche dans une représentation réaliste de l'environnement de travail, en effectuant des tâches avec un haut degré d'interaction, en autorisant tous les scénarii extrêmes de mauvaises pratiques avec des produits chimiques. Cela permettra aussi de pallier au manque d'accessibilité à une salle blanche et de s'affranchir des limites de mobilité des étudiants ayant des mobilités réduites.

II. Méthodologie

La figure 1 détaille la méthodologie choisie pour le développement de l'application de réalité virtuelle. L'application de réalité virtuelle sera développée avec le logiciel Unity et le SDK (Software Development Kit) du Cube de réalité virtuelle de Virtuel Concept.⁴

Dans un premier temps, l'environnement de la salle blanche sera modélisé, ainsi que le matériel de laboratoire spécifique et les équipements de protection individuelle (EPI). Un scanner 3D à lumière structurée pourra être utilisé pour scanner les équipements en salle blanche et ainsi recréer une modélisation réaliste de la salle blanche. Les logiciels Blender et Solidworks seront utilisés pour retraiter les scans 3D. Un scénario ludique dans lequel l'étudiant pourra réaliser le protocole de formation avec une grande liberté sera développé. L'application sera vue à travers des lunettes 3D interactives et les interactions seront contrôlées par des contrôleurs de mouvement.

La conception expérimentale utilisée dans cette recherche sont basés sur les manipulations classiques de la micro-électronique. L'environnement et les réactifs chimiques associés seront simulés de manière réaliste aussi proche que possible de l'aménagement à l'AIME. Les étudiants pourront simuler les réactions chimiques qu'ils souhaitent en mélangeant

virtuellement les produits chimiques, et observer les réactions chimiques qui se produisent, y compris pour des mélanges interdits en salle blanche afin d'en visualiser les conséquences. La modélisation dans le scénario du port des équipements de protection individuelle sera implémentée. L'objectif final est de sensibiliser le futur utilisateur aux bonnes pratiques et aux règles de sécurité et de le préparer à évoluer dans un espace donné.

Enfin, nous allons mesurer l'impact de l'utilisation d'expériences virtuelles de manipulation de produits chimiques sur des étudiants venant manipuler par la suite en salle blanche afin de voir si la simulation des conditions de laboratoire via un système de réalité virtuelle peut améliorer les résultats d'apprentissage des étudiants en manipulation expérimentale et leur respect des règles d'hygiène et sécurité. L'application de réalité virtuelle sera évaluée par des étudiants du département de génie physique de l'INSA et son efficacité et sa complémentarité avec la formation Hygiène et Sécurité et la pratique en salle blanche sera évaluée au cours de discussions et de questionnaires.

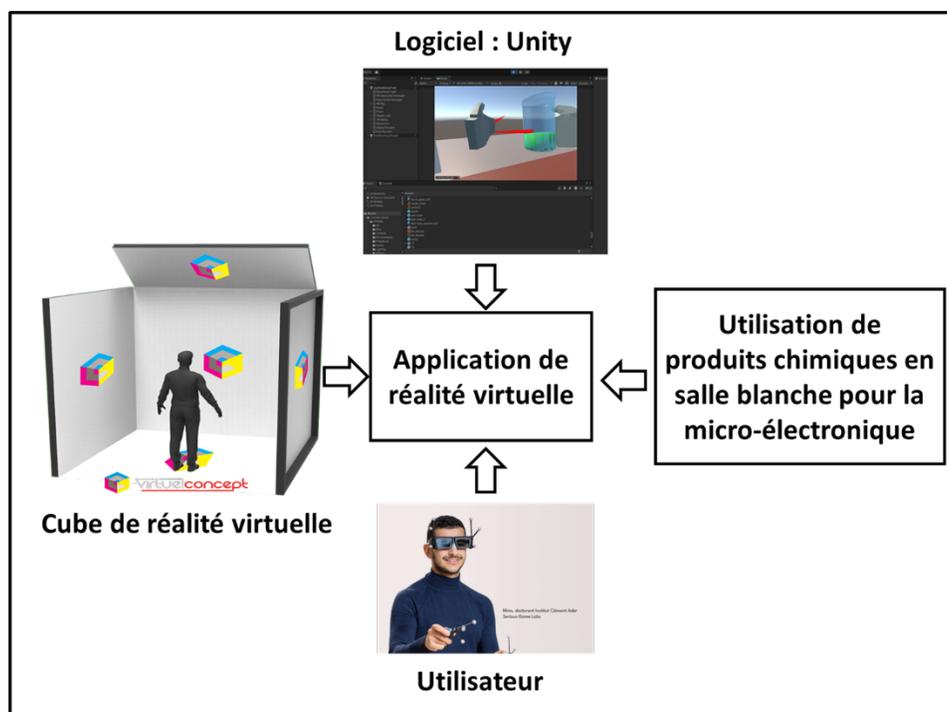


Fig.1. Principe de l'application de réalité virtuelle développé pour le Cube de réalité virtuelle (Crédits photo utilisateur Insa Toulouse)⁵

Remerciements

Les auteurs remercient l'EURNanoX n°ANR-17-EURE-0009 pour son soutien financier. Ce travail a été réalisé avec le soutien du GIP CNFM.

Références

1. Kounlaxay, K., Yao, D., Ha, M. W.; Kim, S. K. (2022). Design of virtual reality system for organic chemistry. *Intelligent Automation and Soft Computing*
2. Chan, P., van Gerven, T., Dubois, J.-L., & Bernaerts, K. (2021). Virtual chemical laboratories: A systematic literature review of research, technologies and instructional design. *Computers and Education Open*, 2, 100053.

3. Chan, P., van Gerven, T., Dubois, J.-L., & Bernaerts, K. (2021). Virtual chemical laboratories: A systematic literature review of research, technologies and instructional design. *Computers and Education Open*, 2, 100053. <https://doi.org/10.1016/j.caeo.2021.100053>
4. Mukherjee, S., Naregal, S., Aminbhavi, S., & Bisaralli, P. (2014). *BUILDING VIRTUAL SCIENCE LABS USING UNITY 3D*.
5. Site web INSA Toulouse (<https://www.insa-toulouse.fr/recherche/>) visité le 14/11/2023

Les principes de la chimie verte pour une électronique plus durable : une nouvelle approche de la synthèse chimique de nanoparticules de WO₃ intégrées dans un capteur de gaz.

Justine Harmel^a, Reasmey Tan^a, Chérif Rouabhi^a, Christophe Capello^a, Frédéric Gessinn^a, Julien Schauber^a, Jean-Baptiste Lincelles^a et Marc Respaud^{a,b,c}

^a AIME pôle CNFM de Toulouse, INSA de Toulouse, France

^b Département de Génie Physique, Université de Toulouse, INSA, 135 avenue de Rangueil, 31077 Toulouse, France

^c CEMES-CNRS, Université de Toulouse, Toulouse, France

Contact email : jharmel@insa-toulouse.fr , micro.el@aime-toulouse.fr

Cet abstract présente une nouvelle approche pour la synthèse de nanofils d'oxyde métallique pour la réalisation de *Capteur de gaz à base de nanoparticules*. Le nouveau procédé de synthèse chimique est plus fiable et plus facilement réalisable par les étudiants. De plus, le procédé est en accord avec un des grands principes de la chimie verte en réduisant au minimum le recours et la production des produits dangereux et potentiellement toxiques pour l'homme et l'environnement.

Le but de cette formation à l'AIME est de proposer à des étudiants (de niveau Master/Ingénieur, ou plus : doctorants, formation continue,...) une étude expérimentale complète sur les capteurs de gaz à base de nanoparticules (NPs) d'oxydes de métaux obtenus par voie chimique. Ces dispositifs permettent en outre d'illustrer les intérêts de l'utilisation de NPs dans le domaine technologique. La synthèse des NPs de WO₃ est effectuée en milieu aqueux, par une méthode de condensation classique. Cette méthode d'élaboration a été choisie parce qu'elle présente peu de risques pour les étudiants par rapport à d'autres type de synthèse (croissance en conditions hydrothermales à 180°C).

La formation *Capteurs de gaz* concerne environ 6 stages par an à l'AIME soit environ 48 binômes. Le procédé utilisé jusqu'alors pour la synthèse des nano-batônnets d'oxyde de tungstène, était très sensible en termes de conditions expérimentales, ce qui conduisait à un fort taux d'échec dans l'obtention de nano-fils. De plus, la synthèse utilisée dans le protocole initial, issue de la littérature¹ comprenait de nombreuses étapes notamment de centrifugation ce qui nécessitait une longue durée de manipulation de la part des étudiants.²

Un nouveau protocole de synthèse adapté de la littérature a été mis au point.^{3,4,5} Ce protocole de synthèse de nano-batônnets de WO₃ utilise du chlorure de sodium NaCl comme stabilisant.

L'utilisation du chlorure de sodium, NaCl, « sel de cuisine » non irritant et non toxique présente moins de risques pour les étudiants et permet d'illustrer la possibilité de réaliser des synthèses chimiques avec des produits du quotidien. Cet ajustement de la synthèse est

en accord avec un des grands principes de la chimie verte : la conception de synthèses moins dangereuses grâce à l'utilisation de conditions douces et l'utilisation de produits peu ou pas toxiques pour l'homme et l'environnement. En effet, cette synthèse permet de réduire au maximum l'utilisation et la production de produits toxiques.⁶

Un autre avantage de ce nouveau protocole de synthèse est sa reproductibilité et sa robustesse, permettant les erreurs de pesée et de manipulation (manipulation des pipettes, transfert des réactifs...) des étudiants lors de la formation. La limitation du nombre d'étapes de synthèse diminue aussi le risque d'erreur de la part des étudiants.

Le protocole de synthèse permet d'obtenir des nano-bâtonnets de WO_3 en une seule étape, synthèse « *One-pot* », ce qui permet de limiter les déchets chimiques en accord avec le premier principe de la chimie verte : La prévention de la pollution à la source en évitant la production de résidus.⁶

La figure 1 présente les nano-bâtonnets de WO_3 obtenus avec le protocole de synthèse utilisant le NaCl comme stabilisant et leur piégeage par di-électrophorèse entre les peignes interdigités pour leur application pour des capteurs de gaz. Les nano bâtonnets obtenus présentent une longueur d'environ 5 μm pour un diamètre de l'ordre d'une centaine de nanomètre.

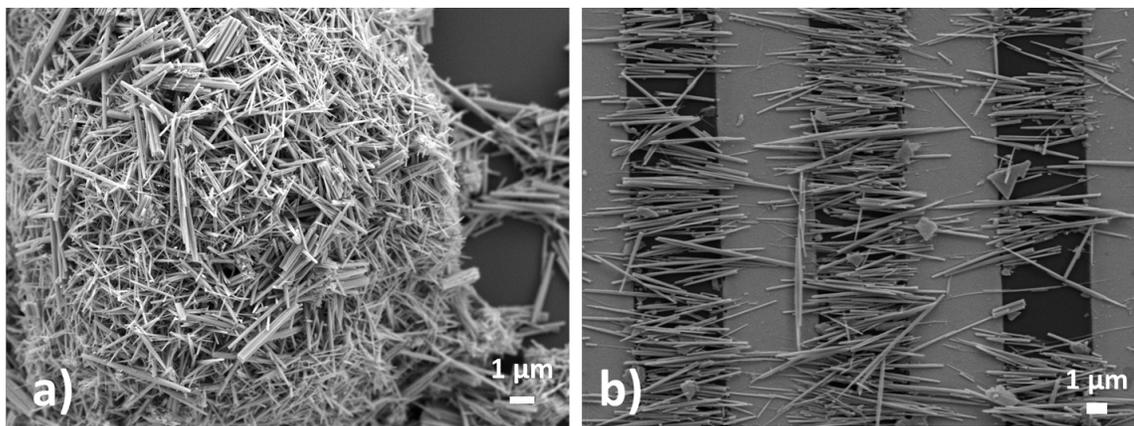


Fig.1. Images de microscopie à balayage électronique a) des nanoobjets de WO_3 obtenus et b) de leur piégeage entre les peignes interdigités pour leur application en capteur de gaz.

Les mesures en fonctionnement en enceinte sous gaz montrent la sensibilité attendue pour ce type de nano-objets.

En conclusion, outre les aspects logistiques et le gain en termes de simplicité, « robustesse » et de reproductibilité, cette nouvelle approche de la synthèse permet d'aborder des concepts pédagogiques importants :

- La question de l'interdisciplinarité entre chimie, physique, électronique,
- Les capteurs et la métrologie,
- Les concepts de la chimie de la verte pour l'électronique durable en cherchant à minimiser l'impact environnemental des procédés de fabrication.

Remerciements

Les auteurs remercient l'EURNanoX n°ANR-17-EURE-0009 pour son soutien financier. Ce travail a été réalisé avec le soutien du GIP CNFM.

Références

1. Lou, X. W., & Zeng, H. C. An inorganic route for controlled synthesis of $W_{18}O_{49}$ nanorods and nanofibers in solution. *Inorganic Chemistry*, 42(20), 6169–6171 (2003).
2. Rouahbi, C., Guerin, F., Tan, R., Cappello, C., Lachaize, S., Grisolia, J., Noullet, J.-L., Carrey, J., Bourdeu-Daguerre, P., Gessinn, F., & Respaud, M. (2017). Capteur de gaz à base de nanoparticules : synthèse de nano-objets par voie chimique, intégration et caractérisation de capteurs élaborés en salle blanche. *J3eA*, 16, 1022.
3. Wang, J., Khoo, E., Lee, P. S., & Ma, J. Synthesis, assembly, and electrochromic properties of uniform crystalline WO_3 nanorods. *Journal of Physical Chemistry C*, 112(37), 14306–14312. (2008).
4. Wang, J., Khoo, E., Lee, P. S., & Ma, J. Controlled synthesis of WO_3 nanorods and their electrochromic properties in H_2SO_4 electrolyte. *Journal of Physical Chemistry C*, 113(22), 9655–9658. (2009).
5. Li, X. L., Liu, J. F., & Li, Y. D Large-scale synthesis of tungsten oxide nanowires with high aspect ratio. *Inorganic Chemistry*, 42(3), 921–924. (2003).
6. Anastas, P., & Eghbali, N. (2010). Green Chemistry: Principles and Practice. *Chemical Society Reviews*, 39(1), 301–312.

Au-delà des économies d'énergie : le micro espion soviétique qui ne consommait pas

S. Hemour, J.-L. Lachaud, S. Destor, J. Tomas

Université de Bordeaux, et pôle CNFM de Bordeaux (PCB), Talence, France

Contact email : simon.hemour@u-bordeaux.fr

Après l'immédiate après-guerre, l'ambassadeur américain à Moscou reçoit en cadeau une magnifique réplique du grand Sceau des États-Unis sculpté dans du bois d'érable et l'accroche dans la bibliothèque de sa résidence.

En 1951, puis 1952, des voix anglaises et américaines sont entendues sur des bandes radio soviétiques par des employés de l'ambassade chargés de leur surveillance. Après une recherche fine effectuée par le Département d'État Américain, un mouchard est finalement découvert à l'intérieur de la sculpture. Le micro espion, d'une « très haute technologie » selon les rapports d'époque, ne disposait pas de sa propre source d'énergie et n'était pas relié par des fils. Au lieu de cela, le dispositif réfléchissait mécaniquement et de manière passive le puissant signal radio provenant de l'extérieur par lequel il était éclairé par un poste du KGB. En effet, la cavité micro-onde connectée à une antenne se comporte comme un filtre passe-bande à fréquence de coupure variable, allant de l'état où toute l'énergie est absorbée, jusqu'à l'état où toute l'énergie est réfléchie. Si la membrane du micro fait varier ces deux états en fonction de l'excitation acoustique, le signal d'éclairage est plus ou moins modulé et donc son amplitude varie en fonction du temps.

Reconstruit par le laboratoire IMS de Bordeaux, suite à la déclassification d'un rapport technique du FBI en 2019, le micro espion rassemble tous les ingrédients d'une success story pédagogique : l'élégance du principe de fonctionnement (cavité micro-onde à fréquence de résonance variant selon la position de la membrane du micro), le type de signaux retransmis (variation de coefficient de réflexion (S11) de la cavité produisant une rétro-modulation d'amplitude similaire à la RFID), et son application pour l'espionnage suscitent toujours beaucoup d'intérêt et d'engagement de la part des étudiants.

L'objectif est de proposer un défi pédagogique aux étudiants pour qu'ils mesurent (à distance) le signal audio capté par le micro. Au niveau BUT, il s'agit de la mesure d'un signal modulé en amplitude et de l'extraction de la profondeur de modulation ; au niveau Master, on approfondit la mesure par l'utilisation de l'analyseur de réseaux (S11 mode ZeroSpan).

Il a également été proposé à des étudiants de reproduire une version "low cost" du dispositif soviétique. Cette réalisation nécessite une "rétro-ingénierie", et notamment de comprendre quels sont les aspects critiques au fonctionnement du dispositif - le paramètre clef étant le facteur de qualité du résonateur micro-onde, et donc les pertes des matériaux utilisés.

Cette année au sein de deux IUT Bordelais, une équipe d'étudiants du département "métier du livre" a été jumelée avec une équipe d'étudiants du département GEII "génie électrique et informatique industrielle", avec pour ambition de construire une exposition sur les technologies sans fil du début de la guerre froide. Dans ce projet, les étudiants littéraires construisent la scénographie et la mise en valeur des fonds historiques et littéraires. Ils tiennent aussi le rôle de client pour les étudiants électroniciens qui doivent "fournir" des démonstrations fonctionnelles.



Figure 1 : Sceau des USA, avec micro espion

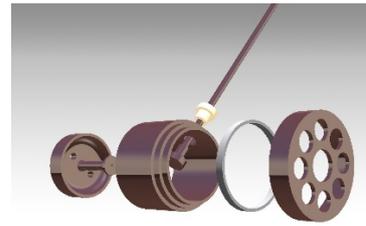


Figure 2 : vue éclatée du micro-espion

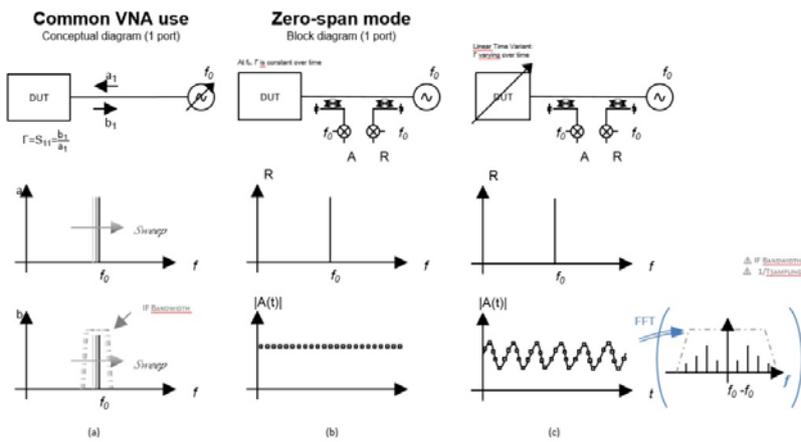


Figure 3 : Principe de mesure à l'analyseur de réseaux

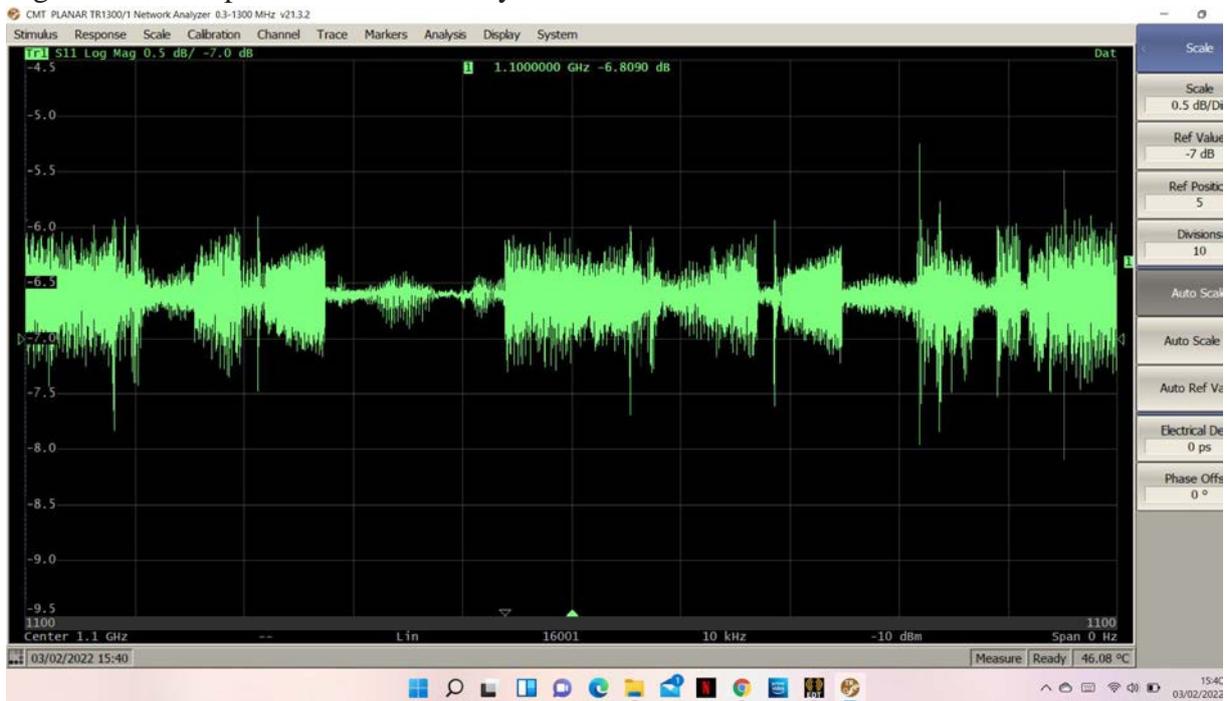


Figure 4 : Signal réfléchi à la fréquence de résonance

Caractérisation de la configuration RadioFréquence d'un Site Relais de Téléphonie mobile

P .Mariage, M.Halbwx et L.Picheta

IEMN et Pôle Lillois pour la Formation en Microélectronique
et en nanotechnologies de Lille (PLFM), Université de Lille, Villeneuve d'Ascq, France
Contact email : philippe.mariage@univ-lille.fr

Cet article présente un enseignement optionnel de niveau Bac+3 dont l'objectif est de faire découvrir les spécificités de l'électronique à haute fréquence nécessitant la compréhension des phénomènes de propagation. Le thème retenu est choisi dans le domaine bien visible de la téléphonie mobile puisque les étudiants disposent tous d'un smartphone connecté avec l'infrastructure de leur opérateur. Les étudiants concernés ont vocation à intégrer ensuite un Master Réseaux et Télécommunication qui comporte deux parcours. Un premier parcours forme les ingénieurs chargés de l'assemblage des constituants du réseau d'accès et le second parcours forme les ingénieurs capables de concevoir et caractériser ces constituants ou les objets mobiles communicants qui utiliseront les réseaux mobiles ou les technologies de communication sans fil ou sans contact.

I. Objectif pédagogique

Cet enseignement est proposé aux étudiants de troisième année de licence EEA et de licence Ingénierie Electrique. Il est optionnel et constitue une initiation aux phénomènes radiofréquences. Il se présente sous la forme de cours, TP et projets. Les étudiants découvrent les spécificités des équipements radiofréquences à travers l'exemple concret d'un site relais de réseau de téléphonie mobile. Un tel site est généralement constitué de 3 antennes directives permettant chacune de couvrir un secteur géographique (une cellule).



Fig.1. Illustration d'un vrai site relais de téléphonie mobile. L'illustration montre l'exemple d'un site réel situé sur un stade de la ville de Templemars située à quelques kilomètres du campus scientifique de la ville de Villeneuve d'Ascq dans le département du Nord.

Les antennes sont reliées aux émetteurs-récepteurs appelés BTS en 2G, Node B en 3G ou e-NodeB en 4G à travers divers éléments constituant une configuration RadioFréquence. En effet, plusieurs gammes de fréquence sont utilisées et la liaison duplex est assurée grâce à une technique de multiplexage fréquentiel FDD (Frequency Duplex Division). Pour des raisons de capacité, plusieurs porteuses d'une même gamme de fréquence peuvent simultanément être diffusées par les opérateurs sur certaines cellules, notamment dans les centres urbains. Ce sont ainsi plusieurs dizaines de watt qui doivent être émis, ce qui oriente le choix d'éléments de raccordement vers une technologie utilisant des cavités tels que coupleurs, diviseurs, diplexeurs et duplexeurs.

Maquettage en salle de Travaux Pratiques

Afin de rendre le projet accessible à des étudiants de troisième année de licence découvrant les phénomènes hautes fréquences et compte tenu de l'interdiction d'émettre des signaux dans les bandes réglementées, le site radio est simulé par un assemblage de générateurs émettant un signal non modulé (CW) et d'analyseurs de spectre pour la réception. Le site simule l'émission de deux porteuses pures situées dans la gamme 900MHz et deux porteuses pures situées dans la bande des 1800 MHz qu'il convient de combiner avant l'émission. Le site complet est représenté sur la Figure 2 mais chaque binôme d'étudiants ne travaille que sur l'émission puis sur la réception en permutant de banc de mesure en milieu de séance.



Fig.2. Montage simulant un site radio à l'aide d'une antenne directive indoor, de générateurs CW, d'analyseurs de spectre et de composants de filtrage et de couplage à cavités.

Les éléments RF (diplexeurs, coupleurs, diviseurs, duplexeurs) sont de vrais éléments récupérés auprès de la société Orange ou achetés auprès de revendeurs d'équipements d'infrastructure de télécommunication. Les étudiants sont sensibilisés au fait que les fonctions électroniques étudiées sont aussi présentes à l'intérieur de leur smartphone même si, les puissances étant moindres, elles sont réalisées grâce à des composants miniaturisés.

Avant de procéder à l'ensemble des mesures qui permettrait de vérifier les pertes de la chaîne de transmission comme cela est réalisé « sur le terrain », les étudiants suivent des cours d'introduction aux phénomènes de propagation sur les lignes de transmission et au formalisme de la matrice scattering.

Travaux Pratiques d'initiation à la caractérisation des composants hautes fréquences

Côté expérimental, les étudiants font, dans un premier temps, deux TP d'initiations aux appareils de mesure. Le premier TP concerne la mesure des paramètres S_{ij} de composants hyperfréquences et de télécommunication à l'aide d'un Analyseur de Réseau Vectoriel (VNA). Le second consiste en la caractérisation d'un amplificateur à l'aide d'un analyseur de spectre et d'un générateur RF.

Dans le premier TP, les étudiants caractérisent principalement un câble RF, un amplificateur et un diplexeur. Ces composants seront utilisés dans le second TP et/ou dans le projet permettant une continuité entre les différentes séances d'enseignement.

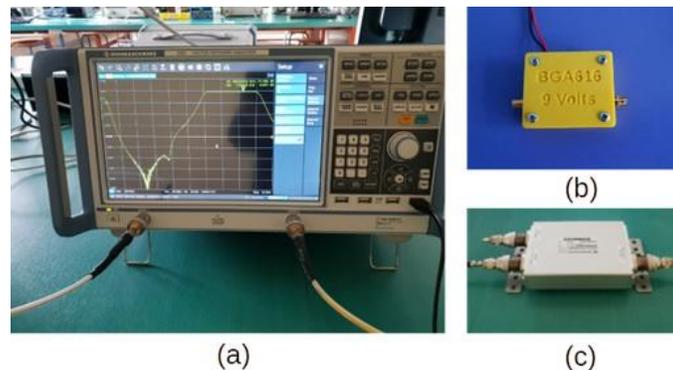


Fig.3. (a) Analyseur de spectre (VNA) Rohde et Schwarz ZND 4 GHz, (b) amplificateur RF à 900 MHz et (c) diplexeur Kathrein 470 – 960 MHz et 1710 – 2170 MHz

Les paramètres S_{ij} des composants seront visualisés entre 200 MHz et 2,5 GHz, mais avec des points de mesure précis à 900 MHz et 2 GHz. A partir des paramètres S_{ij} , les étudiants doivent calculer le pourcentage de puissance initiale qui est transmis (avec S_{21} et S_{12}) et réfléchi (avec S_{11} et S_{22}). Ces calculs permettront aux étudiants d'avoir une compréhension de la signification de la valeur des paramètres S_{ij} .

Pour les amplificateurs, le point le plus important est la mesure du gain à 900 GHz via la mesure du paramètre S_{21} qui varie entre 9 et 15 dB selon l'amplificateur. La mesure de S_{21} permettra également de visualiser les pertes de l'ordre 0,3 dB dans les câbles. Les étudiants doivent bien faire la différence entre l'amplification avec $S_{21} > 0$ et l'atténuation avec $S_{21} < 0$. Ils constatent aussi que les éléments passifs (câble, atténuateur et duplexeur) sont symétriques ($S_{ij} = S_{ji}$ et $S_{ii} = S_{jj}$). Ceci n'est pas le cas pour l'élément actif (amplificateur) avec une amplification du port 1 vers le port 2 ($S_{21} > 0$) et une atténuation dans l'autre sens ($S_{12} < 0$).

Pour le diplexeur, le TP montre la division en 2 bandes d'un signal reçu par l'antenne (ou l'addition de 2 bandes pour un signal émis par l'antenne), mais aussi le filtrage des fréquences hors bandes. La figure 4 montre la transmission (paramètre S_{21}) entre le port de l'antenne et le port 1710 – 2170 MHz d'un diplexeur (Kathrein 470 – 960 MHz et 1710 – 2170 MHz). La bande 1710 – 2170 MHz est la seule transmise avec $S_{21} = -0,43$ dB à 2 GHz.

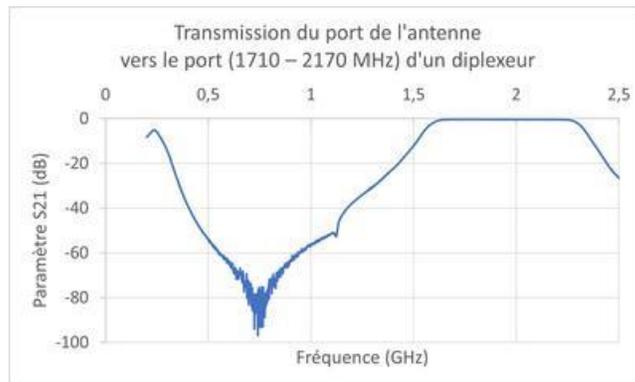


Fig.4. Evolution du paramètre S_{21} d'un diplexeur Kathrein 470 – 960 MHz et 1710 – 2170 MHz avec le port 1 pour la connexion de l'antenne et le port 2 comme sortie 1710 – 2170 MHz.

Dans le second TP, les étudiants doivent monter un banc de mesure (figure 5) afin de caractériser l'évolution du gain d'un amplificateur en fonction de la puissance incidente.

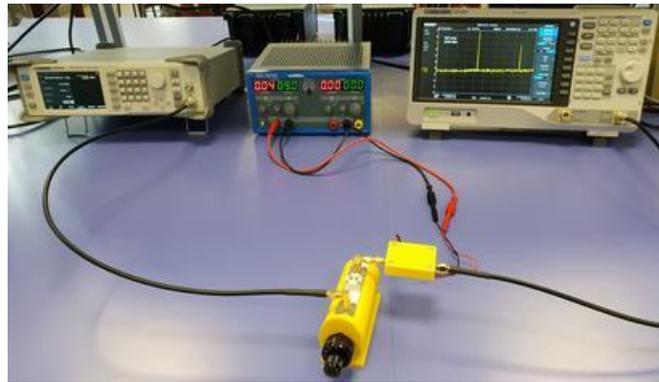


Fig.5. Banc de mesure d'amplification composé d'un générateur RF, d'une alimentation, d'un analyseur de spectre, d'un atténuateur variable et d'un analyseur de spectre.

En utilisant, un signal CW à 900 MHz, les étudiants doivent faire apparaître la première harmonique à 1800 MHz. A partir de la figure 6, ils devront retrouver le gain de l'amplificateur mesuré dans le TP1 mais aussi la diminution du gain pour les puissances d'entrées les plus fortes. Ils devront enfin mesurer le point de compression à 1 dB.

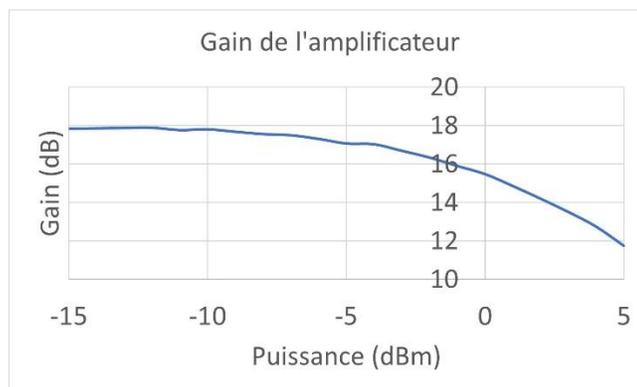


Fig.6. Evolution du gain de l'amplificateur en fonction de puissance d'entrée.

Modélisation d'éléments de la chaîne de réception sur ADS

Les étudiants suivent une séance de TP d'initiation à l'utilisation du logiciel ADS de la société Keysight comme illustré par les Figure 7, 8 et 9.

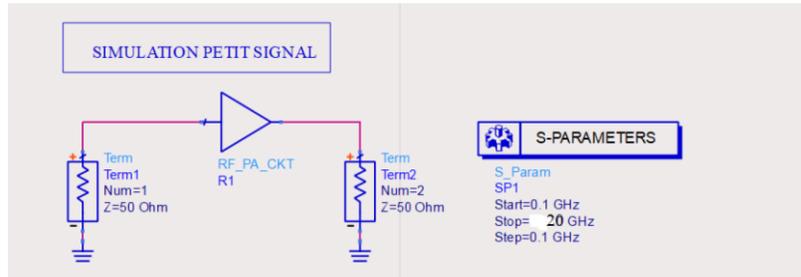


Fig.7. Modélisation d'un amplificateur hyperfréquence à l'aide du logiciel ADS disponible dans la salle de CAO financée par le PLFM.

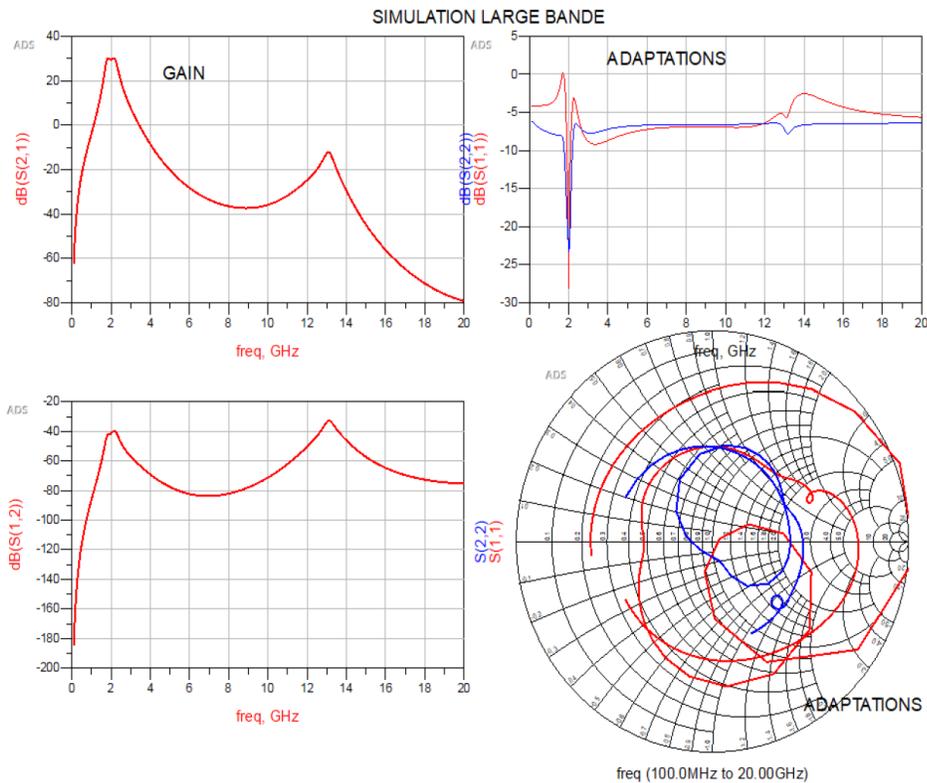


Fig.8. Simulation des paramètres S_{ij} de l'amplificateur entre 100MHz et 20GHz.

Les étudiants doivent remarquer que c'est uniquement autour de 2 GHz, qu'il y a du gain et une bonne adaptation en puissance de l'entrée et de la sortie ($|S_{11}|$ et $|S_{22}| < -20$ dB). L'amplitude du paramètre S_{12} est très faible sur toute la bande d'étude, ce qui est normal pour un amplificateur.

L'abaque de Smith montre que les coefficients de réflexion sont des nombres complexes, dotés d'un module et d'un argument, qui « tournent » avec la fréquence. C'est autour de la fréquence 2 GHz que les 2 coefficients s'approchent du centre de l'abaque correspondant à 50 Ω , l'impédance de référence.

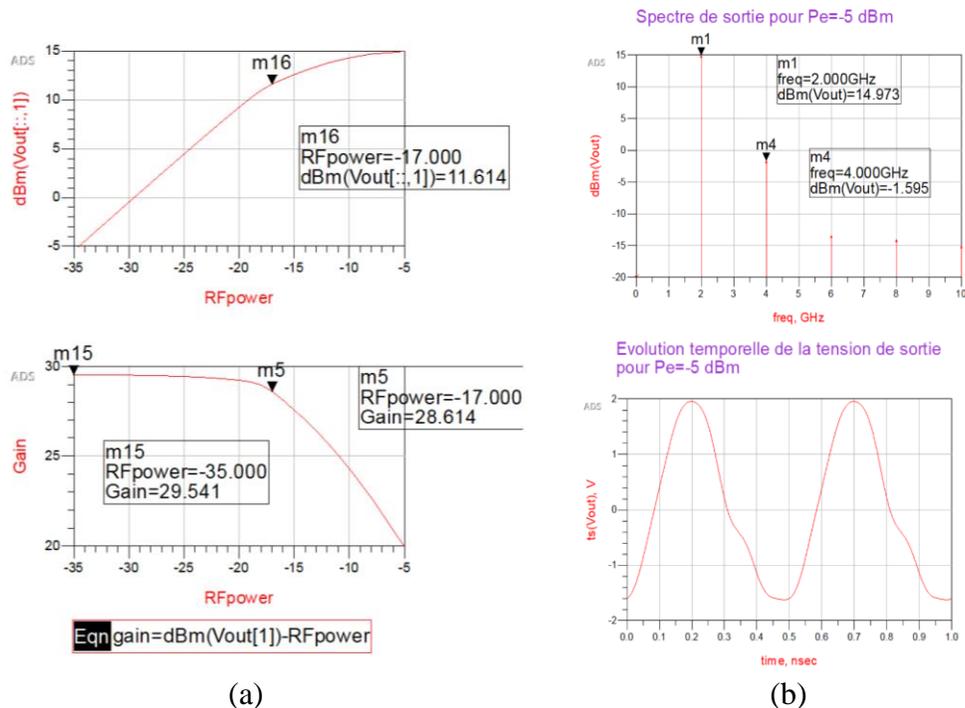


Fig.9. Simulation des performances d'un amplificateur avec le logiciel de CAO de Keysight ADS.

La Figure 9(a) montre la courbe de linéarité de l'amplificateur indiquant qu'il est possible d'injecter jusqu'à -17dBm de puissance et la courbe de gain fait apparaître une valeur maximale de gain de 29.541 dB. Les étudiants doivent observer la déformation du signal grâce au calcul du spectre du signal de sortie pour une puissance d'entrée de -5dBm supérieure à -17dbm la valeur de P_{ce} . Le niveau des raies parasites est non négligeable par rapport à celui du fondamental. Cela compresse le gain à 20dB au lieu de 29,44dB ainsi qu'illustré par la Figure 9(b).

Conclusion

Les étudiants poursuivant en Master intégreront par la suite soit un opérateur ou aménageur de réseau de télécommunications soit un fabricant tel que Thalès ou Cobham.

Remerciements

Les auteurs remercient le GIP-CNFM pour le co-financement concernant l'achat d'analyseurs de spectres portables et de générateur RF ainsi que l'opérateur ORANGE pour la mise à disposition des composants passifs tels qu'utilisés sur les sites réels. Les auteurs remercient également Pierre LALY (ingénieur CNRS) et Dominique SZYMIK (ingénieur Université de Lille/département EEA) pour la réalisation de l'amplificateur.

Références

Les citations complètes doivent apparaître à la fin de l'article. Utiliser le style qui apparaît dans les exemples ci-dessous.

1. F. de Dieuleveut, O. Romain, Electronique appliquée aux hautes fréquences, 2ème éd., Dunod, 2017.
2. S. Mass, The RF and microwave circuit design cookbook, Artech House Publishers (1998).
3. COMMSCOPE, Understanding the RF path, website: <http://www.commscope.com> (Accès 2023).
4. ANFR Allocation des bandes de fréquence, website: <http://www.anfr.fr> (Accès 2023).

TD d'architecture matérielle: introduction aux architectures des microcontrôleurs

L. Werling^{1,2,*}, E. Dervieux^{1,2,3}, M. Madec^{1,2}, W. Uhring^{1,2}

¹Télécom Physique Strasbourg, Université de Strasbourg, France; ²Laboratoire ICube equipe SMH, Université de Strasbourg/CNRS, France; ³BioSENCY, Cesson-Sévigné, France

*Courriel : lucas.werling@unistra.fr

Cet article décrit un TD d'introduction aux architectures des microcontrôleurs réalisé avec les étudiants de Télécom Physique Strasbourg en première année du cycle de formation ingénieur (BAC +3) en spécialisation « Informatique et Réseaux ». Il vise à introduire les concepts fondamentaux de l'architecture des microcontrôleurs sur un exemple concret, en l'occurrence la réalisation d'un microcontrôleur élémentaire à l'aide du logiciel LOGISIM. Les travaux dirigés se déroulent sur 4 séances au cours desquelles les étudiants mettent en œuvre un microcontrôleur 6 bits qu'ils devront ensuite programmer en assembleur.

1. CONTEXTE

Télécom Physique Strasbourg propose parmi son offre de formation quatre diplômes dont un de spécialité « Informatique et Réseaux ». Dans ce diplôme, les étudiants disposent d'un large spectre d'enseignements allant de l'électronique numérique à l'intelligence artificielle et la cybersécurité en passant par l'informatique, le développement logiciel et réseau, les mathématiques et le traitement du signal. Les étudiants de cette formation suivent un tronc commun de deux semestres, avant de se diriger vers l'une des deux spécialités qui leur sont proposées par le département Informatique et Réseaux de l'école [1]: Réseaux et Internet des Objets, ou Sciences des Données et Intelligence Artificielle. Le premier semestre du tronc commun de première année de cette formation vise à donner aux étudiants un socle de connaissances élémentaires dans les trois domaines d'expertise technique que sont le matériel, le logiciel et le réseau.

L'aspect matériel est abordé de manière progressive avec, en introduction, un module d'*Electronique Numérique*, commun à l'ensemble des filières de l'école. Ce module permet aux étudiants de découvrir dans un premier temps de manière théorique les différents aspects de la logique booléenne, ainsi que son utilisation dans la conception de circuit combinatoires et séquentiels synchrones. Ils ont ensuite la possibilité dans un second temps, de mettre en œuvre ces connaissances lors de travaux pratiques, à l'aide de circuits intégrés numériques élémentaires. Ce premier module matériel est mené en parallèle d'un module d'*Algorithmique et programmation C* où une emphase est mise sur le lien entre logiciel et matériel, avec notamment le stockage des variables en mémoire. Un deuxième module intitulé *Architecture matérielle* propose au travers de cours magistraux comme de travaux pratiques de créer le lien entre le module d'*Electronique Numérique* et l'architecture d'un microcontrôleur. Ce dernier présente les éléments principaux d'un processeur, à savoir : l'Unité Arithmétique et Logique, la mémoire vive et le séquenceur, avant de détailler leur fonctionnement conjoint. Quatre séances de travaux dirigés (TD) servent alors à illustrer directement cette partie théorique sur un système pédagogique minimaliste, avant de passer lors d'une séance de travaux pratiques sur un système plus largement employé avec la programmation d'une carte Arduino directement en langage assembleur. Ces aspects matériels sont ensuite

brièvement revus en deuxième année dans le cours de *Microcontrôleurs* et sont notamment étoffés avec le mécanisme d'interruption passé sous silence en première année. Ce cours s'accompagne d'une série de travaux pratiques utilisant à nouveau la plateforme Arduino, mais programmée cette fois-ci en langage C. Le volet matériel, reste cependant un sujet d'attention important lors des enseignements portant sur les systèmes embarqués et l'internet des objets présent dans la spécialité Réseaux et Internet des Objets que les étudiants peuvent choisir à partir de la deuxième année.

La présente publication se concentre sur les quatre séances (7 heures) de TD du module d'*Architecture Matérielle* de première année qui propose aux étudiants la réalisation partielle d'un microcontrôleur 6 bits minimaliste à l'aide de l'outil Logisim. Le choix de ce logiciel a été motivé principalement parce qu'il s'agit d'un logiciel multiplateforme libre (licence GPL) et léger, dédié à une utilisation pédagogique.

Nous présentons d'abord le contenu des cours magistraux aboutissant audit TD, avant de nous pencher plus avant sur le contenu de ce dernier. Enfin, nous détaillons l'utilisation de Logisim pour mettre en avant ses différents atouts dans un contexte pédagogique.

2. CONTENU DES COURS MAGISTRAUX

La partie théorique de ce module d'Architecture matérielle est composée de 10h30 de cours magistral scindant le cours en quatre parties :

1. La première partie fait le lien avec le cours d'*Electronique Numérique*, en rappelant un certain nombre de fonctions logiques élémentaires (multiplexeurs, bascules et mémoires, séquenceurs) ainsi que de circuits arithmétiques simples (demi-additionneur, additionneur complet, additionneur 2-bits).
2. La deuxième partie plonge au cœur de l'électronique intégré jusqu'à l'élément de base qu'est le transistor pour présenter son fonctionnement et comment il peut être utilisé pour former des portes logiques en technologies CMOS. Les technologies des mémoires sont également abordées dans ce cours.
3. La troisième partie présente l'historique du développement des architectures informatiques et des processeurs, en expliquant à chaque bond technologique les problématiques et besoins qui y ont mené. Cela permet d'amener en douceur une première version simplifiée du chemin de données, puis de le complexifier au fur et à mesure en évoquant les notions de pipeline, de cache, de système multicœurs et de jeu d'instruction SIMD. Le but est de faire comprendre aux étudiants que les systèmes informatiques les plus complexes peuvent émerger de la sophistication progressive d'un postulat de base relativement simple, qu'ils vont étudier en détail en dernière partie du cours.
4. Enfin, la quatrième partie décrit le fonctionnement d'un processeur 16 bits d'architecture d'instruction RAM-Accumulateur avec un séquenceur microcodé.

Cette partie théorique fait ensuite place à l'expérimentation, avec quatre séances de travaux dirigés (programmation en assembleur d'un microcontrôleur simplifié 6 bits, décrit ci-après) qui feront le lien avec la séance de travaux pratiques (programmation en assembleur d'un Arduino 8 bits).

3. CAHIER DES CHARGES DU MICROCONTROLEUR REALISE

Au cours des quatre séances du TD, les étudiants sont amenés à compléter le circuit numérique d'un microcontrôleur 6 bits au jeu d'instructions minimaliste, dont le schéma complet est donné en Figure 1.

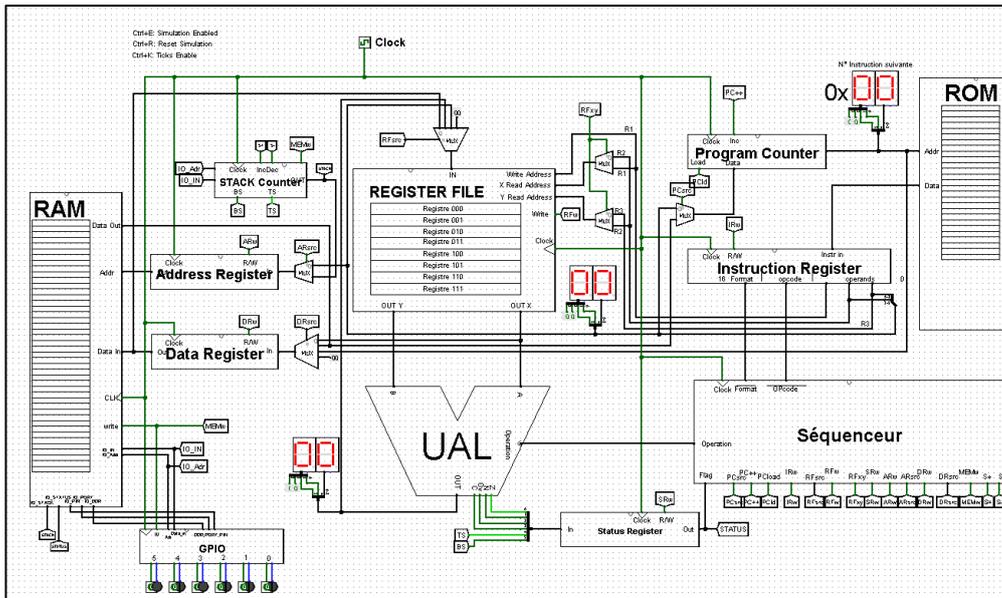


Figure 1: Schéma complet du microcontrôleur 6 bits. Il est constitué des éléments principaux d'un processeur: l'Unité Arithmétique et Logique, le séquenceur, et le banc de registres. Pour compléter ce microcontrôleur on trouve également des mémoires RAM et ROM pour le stockage des données et du programme, ainsi qu'un module d'entrée/sortie Global Purpose Input Output (GPIO).

L'ensemble de ce circuit sert à implémenter une architecture d'instruction registre-à-registre grâce à son chemin de données et son banc de registres de travail. Ce dernier fournit trois entrées d'adressage de registre sur 3 bits chacune : une pour le registre à écrire et deux autres, indépendantes, pour les registres à lire. Le séquenceur microcodé orchestre le bon déroulement de l'exécution des instructions de la Figure 2, en générant les 17 signaux de contrôles nécessaires à la manipulation des divers registres, multiplexeurs, mémoires et compteurs.

Description du jeu d'instructions (Instruction Set Architecture)									
Format	Description	Action	Instruction	Flag	Format bits	OpCode	R1	R2	R3
3R	Addition	$R1 \leftarrow R2 + R3$	ADD R1, R2, R3	Z,C	000	0 0000	rrr	rrr	rrr
	Soustraction	$R1 \leftarrow R2 - R3$	SUB R1, R2, R3	Z,N,O	000	0 0001	rrr	rrr	rrr
	ET logique	$R1 \leftarrow R2 \&\& R3$	AND R1, R2, R3	Z,N	000	0 0010	rrr	rrr	rrr
	OU logique	$R1 \leftarrow R2 \ \ R3$	OR R1, R2, R3	Z,N	000	0 0011	rrr	rrr	rrr
2R	Comparaison	$SR[Z] \leftarrow R1 == R2$	CMP R1, R2	Z,N,O	001	0 0100	rrr	rrr	000
	NON logique	$R1 \leftarrow \sim R2$	NOT R1, R2	Z,N	001	0 0101	rrr	rrr	000
	Décalage à gauche	$R1 \leftarrow R2 \ll 1$	SHL R1, R2	Z,N	001	0 0110	rrr	rrr	000
	2Décalage à droite	$R1 \leftarrow R2 \gg 1$	SHR R1, R2	Z,N	001	0 0111	rrr	rrr	000
RI	Transfert RAM vers registre	$R1 \leftarrow RAM[k]$	LDR R1, k	-	010	0 1000	rrr	kkk	kkk
	Transfert registre vers RAM	$RAM[k] \leftarrow R1$	STR R1, k	-	010	0 1001	rrr	kkk	kkk
	Ecriture dans un registre	$R1 \leftarrow k$	LDI R1,k	-	010	0 1010	rrr	kkk	kkk
1R	Saut inconditionnel	$PC \leftarrow k$	JMP k	-	011	0 1100	000	kkk	kkk
	Saut conditionnel si résultat nul	$PC \leftarrow PC+k \text{ ? } SR[Z]$	JMPZ k	-	011	0 1101	000	kkk	kkk
	Appel de fonction	$RAM[SP] \leftarrow PC+1, PC \leftarrow k, SP-1$	CALL k	-	011	0 1110	000	kkk	kkk
OR	Retour de fonction	$SP+1, PC \leftarrow RAM[SP]$	RET	-	100	1 0000	000	000	000
	No OPeration	-	NOP	-	100	1 0001	000	000	000

Figure 2: Jeu d'instructions du microcontrôleur 6 bits. Cinq formats d'instructions sont supportés pour : réaliser des instructions arithmétiques et logiques, interagir avec la mémoire, se déplacer en mémoire programme (sauts). Les flags ont la signification suivante : Z=zero, N=null, C=carry, O=overflow. rrr = bits d'adresse d'un registre de travail, kkkkkk = bits d'une valeur littérale.

Les instructions assembleurs se rapportant à des opérations arithmétiques ou logiques sont gérées par l'Unité Arithmétique et Logique (UAL), capable de réaliser deux opérations arithmétiques (addition et soustraction), trois opérations logiques (NON, ET,

OU), une opération de comparaison et deux opérations de décalage. Deux instructions assembleurs permettent les lectures/écritures en mémoire RAM des registres de travail afin d'assurer le stockage des variables, tandis qu'une instruction permet l'écriture d'une valeur directement dans un registre de travail. Enfin, des instructions de saut – conditionnel ou non – complètent le jeu d'instructions afin de garantir un panel d'actions suffisamment large pour réaliser de petits programmes et présenter le mécanisme de pile.

Un unique module périphérique d'entrée/sortie est également présent dans ce microcontrôleur pour permettre une interactivité du programme embarqué avec l'utilisateur (boutons poussoirs et LEDs), via l'accès à des registres de lecture et écriture accessible depuis la RAM.

4. DEROULEMENT DU TD

Étant donné l'inexpérience des étudiants à ce stade de la formation, le TD se déroule de manière guidée et progressive pour pouvoir mener à bien plusieurs objectifs :

- Prendre en main le logiciel,
- Concevoir une Unité Arithmétique et Logique,
- Concevoir un banc de registres,
- Réaliser le chemin de données correspondant,
- Programmer en assembleur le microcontrôleur,
- Faciliter la compréhension du lien matériel/logiciel au travers d'un outil clair et visuel.

Le sujet de TD est écrit de façon à remplir ces différents objectifs tout en permettant l'indépendance de chaque séance vis-à-vis de la précédente, et ceci dans un but double : maintenir l'intérêt de l'étudiant tout au long du projet d'une part, et éviter les frustrations et découragements pouvant survenir en cas d'une trop forte dépendance entre les séances d'autre part. Le contenu des TD est susceptible de s'alléger ou de s'étoffer suivant les difficultés ou facilités que rencontreront les étudiants.

Le sujet de TD joint en annexe [A] de cet article propose l'organisation suivante pour le déroulement des séances :

1) Prise en main du logiciel avec la conception de l'Unité Arithmétique et Logique

Le premier travail demandé aux étudiants pour prendre en main le logiciel est la réalisation d'une simple porte OU-exclusive à 3 entrées. Cela leur permet de se familiariser à l'utilisation des différentes bibliothèques du logiciel, à la bonne gestion des circuits dans l'arborescence du projet, ainsi qu'à la hiérarchisation des circuits en sous-circuits. On instanciera ces derniers pour tester le circuit lors d'une simulation ultérieure, par exemple. L'exercice a aussi pour mission dans un second temps de présenter l'outil d'analyse combinatoire, qui est capable de générer un circuit logique fonctionnel à partir de sa description. Cette dernière pourra être réalisée au choix à l'aide d'une table de vérité, d'une équation logique ou d'un tableau de Karnaugh.

Le reste de la première séance de TD est dédié à la conception et au test de l'Unité Arithmétique et Logique et de ses sous-parties. Ainsi, les étudiants sont entre autres amenés à concevoir un additionneur 6 bits à propagation de retenue, des circuits de décalage binaire à gauche et à droite, ou encore la génération des flags Z=zero, N=null, C=carry, O=overflow.

2) Conception des registres et du banc de registres

La deuxième séance de TD est dédiée à la conception des différents éléments mémoire du microcontrôleur en commençant par les registres les plus simples, c'est-à-dire les

registres de donnée, d'adresse, d'instruction, et le registre d'état. S'ensuit la conception des registres compteurs, du pointeur de pile et du compteur ordinal, puis vient la conception du banc de registres. La conception de ce dernier pose plusieurs défis aux étudiants, puisqu'elle a pour singularité de présenter 3 entrées d'adresses : deux dédiées à la sélection des registres servant d'opérandes à l'unité arithmétique et logique, et une pour la sélection du registre dans lequel sauvegarder le résultat de l'instruction. Enfin, la séance se conclut en exposant l'architecture retenue pour la RAM, afin de mettre l'accent sur le mécanisme de *mapping* des registres dans cette dernière.

3) Conception du chemin de données

La troisième séance est l'occasion de faire le lien entre les différents blocs logiques conçus lors des deux séances précédentes et le jeu d'instructions du microcontrôleur. Ce lien se concrétise sous la forme du chemin de données et des signaux de contrôle nécessaire à son implémentation. Les étudiants seront alors amenés à construire ledit chemin de données instruction après instruction. La conception du séquenceur ne sera pas abordée, en raison du temps disponible lors des séances et de sa complexité. Toutefois, son fonctionnement sera expliqué aux étudiants qui devront charger le microprogramme dans le séquenceur et vérifier son bon fonctionnement pas à pas, à l'aide d'un programme de test.

4) Programmation du microcontrôleur

La dernière séance de TD est quant à elle centrée sur l'écriture de petits programmes en assembleur afin d'aborder plusieurs éléments du processus de compilation : la gestion des directives préprocesseur, la compilation d'un code C en langage assembleur, et l'assemblage du code. Cela permettra de s'intéresser à l'utilisation des variables en mémoire, et d'évoquer la notion de portée au sein du code. Enfin, nous aborderons le risque de débordement de pile (Stack Overflow) au travers d'un code d'exemple.

Tout au long de ces quatre séances, les étudiants auront l'occasion de découvrir progressivement l'utilisation du logiciel Logisim, dont les spécificités sont détaillées ci-après.

5. DESCRIPTION DU LOGICIEL LOGISIM

Le logiciel Logisim utilisé lors des séances de travaux dirigés dispose d'une interface minimaliste (Figure 3) avec une barre d'outils composée principalement de trois outils : un outil d'interaction utile lors de la simulation – pour interagir avec les boutons-poussoirs, par exemple – un outil de sélection pour sélectionner déplacer et tracer des fils, et un outil d'annotation textuelle.

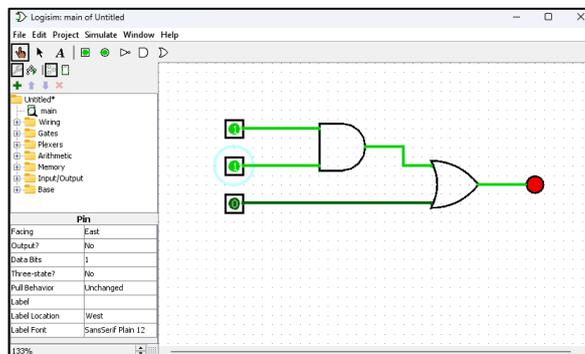


Figure 3: Interface du logiciel Logisim pour la réalisation d'un circuit combinatoire simple.

La partie de gauche de l'écran représente l'arborescence du projet en cours et les bibliothèques intégrées du logiciel. Ces dernières incluent des composants

d'interconnexion, des composants numériques combinatoires ou séquentielles et des composants d'entrées/sorties interactifs. Les détails et paramètres du composant sélectionné apparaissent en bas de la section gauche de l'écran. La fenêtre principale, quant à elle, permet l'affichage au choix de l'éditeur de schéma ou de l'éditeur de symbole. Les symboles ainsi créés permettent l'encapsulation de fonctions de plus en plus complexes, et la hiérarchisation du circuit sur plusieurs niveaux de complexité.

Le logiciel est adapté à la simulation de circuits de logique combinatoire ou séquentielle, qu'ils soient synchrones ou asynchrones. En effet, son algorithme de simulation évalue la sortie des portes logiques constituant le circuit. Pour ce faire, il prend en compte les équations logiques décrivant le fonctionnement desdites portes ainsi que les temps de propagation qui y sont associés. L'algorithme utilise d'ailleurs le délai de propagation d'une porte logique élémentaire comme pas de simulation. Le résultat de la simulation est visualisable au fur et à mesure de son exécution directement sur le schéma, à l'aide du code couleur retenu pour les fils d'interconnexion. Un fil au niveau logique 0 aura ainsi une couleur vert foncé, alors qu'elle sera vert clair pour un niveau logique 1. Enfin, pour s'aider dans le débogage des circuits complexes, il est possible d'enregistrer les valeurs des entrées et sorties du circuit à chaque pas de simulation dans un tableau, afin de vérifier chaque combinaison de sa table de vérité.

Le logiciel dispose de capacités d'évolutions grâce à l'ajout de bibliothèques utilisateurs, ce qui en fait un outil potentiellement polyvalent et évolutif capable de s'adapter aux besoins pédagogiques.

6. CONCLUSION

Ces travaux dirigés, qui sont une nouveauté pour la période universitaire 2023-2024, ont été conçus pour illustrer progressivement le lien entre matériel et logiciel au sein d'un microcontrôleur. Ils permettent de mettre en lumière certaines notions parfois difficile à appréhender pour les étudiants, comme par exemple les notions de pile – et son dépassement éventuel – et de registre de travail. Pour ce faire, les deux premières séances traitent d'éléments matériels assez commun avant de les regrouper dès la troisième séance dans une architecture adaptée au jeu d'instructions à implémenter. La dernière séance assure quant à elle le lien avec la programmation tout en restant très proche du matériel.

L'utilisation du logiciel Logisim est particulièrement intéressante d'un point de vue pédagogique pour accompagner les étudiants dans leur compréhension du fonctionnement des circuits numériques. Sa simplicité garantit une prise en main facile et rapide tout en forçant à adopter une démarche rigoureuse et structurée. Son caractère libre et évolutif est par ailleurs un atout pour les étudiants curieux d'aller plus loin ou pour de futurs développements pédagogiques.

Au terme de ce module, une enquête sollicitera les étudiants pour recueillir leur avis sur divers aspects des cours, des TD, et du TP afin d'ajuster au mieux leur contenu à l'avenir.

Références bibliographiques

- [1] Télécom Physique Strasbourg – École d'ingénieur de l'Université de Strasbourg.
Site web: <https://www.telecom-physique.fr/>
- [2] Site web du logiciel LOGISIM : <http://www.cburch.com/logisim/>

Annexe

- [A] Sujet de TD : <https://seafire.unistra.fr/f/9701a1262b2d472283f4/?dl=>

Simulation TCAD, fabrication, caractérisation électrique et extraction des paramètres physiques du procédé MOS

J. Postel-Pellerin, V. Della Marca, J-D. Aguirre-Morales, R. Bouchakour, R. Laffont

Pôle CNFM PACA - Aix-Marseille Université - Polytech Marseille
Filière Microélectronique et Télécommunications
Technopôle de Château-Gombert - 5 rue Enrico Fermi - 13453 Marseille cedex, France
Courriel : jeremy.postel-pellerin@univ-amu.fr

Dans le cadre du Cycle Ingénieurs de la Filière « Microélectronique et Télécommunications » de Polytech Marseille, différents enseignements sont directement articulés autour du procédé MOS proposé dans la salle blanche de l'Atelier Interuniversitaire de Micro-Nano Electronique (AIME, Pôle CNFM de Toulouse). En effet, les TP de physique des composants (3A) et les cours de technologie des composants (4A) portent sur la fabrication et la caractérisation électrique des dispositifs pour la microélectronique. Dans ce contexte nous avons fait une connexion directe avec les expériences dans la salle blanche de l'AIME pour préparer les élèves ingénieurs aux manipulations.

I. Fabrication des dispositifs pour la microélectronique

Dans la formation ingénieur en Microélectronique et Télécommunications (MT) de Polytech Marseille la physique des semiconducteurs et des composants représente un socle fondamental du tronc commun pour l'électronique.

Introduction

Depuis 1965 la loi de Moore [1] a empiriquement stipulé que le nombre de transistors dans un microprocesseur doit doubler chaque année. Cela a nécessité des avancées technologiques majeures et des investissements considérables, ce qui a conduit à l'émergence du concept « More than Moore ». Pour réduire les coûts de fabrication, les fondeurs se sont concentrés sur l'augmentation de la densité d'intégration, donc sur la diminution de la taille des dispositifs. Cela a également entraîné des procédés technologiques de plus en plus complexes, augmentant le nombre de masques nécessaires et rallongeant les temps de cycle. Ceci a conduit à des améliorations significatives en termes de consommation d'énergie, d'augmentation du nombre de transistors et au développement de systèmes sur puce (SoC) complets. Pour continuer à augmenter les performances des circuits, de nouveaux matériaux ont été explorés, notamment des isolants haute permittivité (High-K), des grille métalliques (Metal Gate), des substrats SOI (Silicon On Insulator) et de nouvelles architectures telles que les dispositifs verticaux et en tranchée. Les applications embarquées nécessitent des solutions différentes et flexibles pour répondre à des besoins spécifiques, ce qui stimule encore davantage la recherche et l'innovation dans le domaine des semi-conducteurs.

Les étapes de la fabrication

L'objectif des enseignements en technologies des composants est de donner aux élèves d'une part les bases nécessaires à la compréhension et l'utilisation des composants de la microélectronique et d'autre part de les initier à la simulation des procédés de fabrication. L'outil de simulation TCAD permet d'optimiser le temps de développement en prédisant le comportement électrique des structures conçues. Les étapes explorées dans les cours et les TP sont la production de silicium monocristallin ou polycristallin, la photolithographie pour la définition des motifs, l'oxydation pour les grilles de transistor et l'isolation, l'implantation ionique et la diffusion thermique, la gravure sèche ou humide. Ces étapes sont cruciales pour la création des circuits intégrés et essentielles pour garantir la fiabilité des composants électroniques.

La simulation TCAD

La mise en pratique du contenu du cours se fait à l'aide de la simulation TCAD du transistor NMOS, en utilisant la suite Sentaurus™ Workbench de Synopsis®, accessible via le CNFM PACA. Cet outil permet de simuler le procédé de fabrication complet (module Sentaurus Process [2]) et de réaliser la simulation électrique (module Sentaurus Device [3]) du transistor. Le but de la simulation process est de se rapprocher au maximum des étapes de fabrication des transistors réalisés à l'AIME (Pôle CNFM de Toulouse) [4]. La figure 1 montre la réalisation de l'ensemble du procédé à partir d'un substrat de silicium cristallin dopé P. Pour un gain de temps de simulation, seule la moitié droite du composant est réalisée, puis une symétrie axiale est effectuée à la fin de la simulation pour obtenir le composant complet. Ici, seul le transistor NMOS court ($L_C = 6\mu\text{m}$) est présenté mais la simulation du transistor long ($L_L = 18\mu\text{m}$) est directement réalisable en modifiant les dimensions dans le fichier de commandes. L'oxydation de masquage est tout d'abord réalisée avec exactement les mêmes conditions que dans la salle blanche de l'AIME. L'étape de photolithographie 1 (comprenant définition du masque, dépôt de la résine photosensible, insolation UV, développement de la résine, gravure du SiO_2 , retrait de la résine) permet l'ouverture de la zone active du transistor (figure 1a). L'oxydation de grille et le dépôt du Polysilicium sont ensuite effectués (figure 1b). La photolithographie 2 permet alors de définir la grille et d'ouvrir les futures zones de Source et Drain (figure 1c). Contrairement au process en salle blanche où les zones de Source et Drain (dopage Phosphore) sont réalisées par diffusion à 1050°C , dans Sentaurus Process ces zones doivent être obtenues par implantation pour éviter une trop grande complexité d'implémentation pour les élèves, néanmoins suivie des étapes de redistribution à 1100°C et d'oxydation LTO à 420°C (figure 1d). La photolithographie 3 d'ouverture des contacts est alors réalisée avant le dépôt de 300nm d'Aluminium (figure 1e). Enfin la photolithographie 4 de gravure des contacts permet la définition des contacts de Grille et Drain (la Source sera obtenue par symétrie finale du Drain). La simulation étant bidimensionnelle (et non tridimensionnelle) afin de limiter le temps de simulation, le contact de grille est ramené dans le plan de coupe, contrairement à la réalité. Enfin, le recuit de l'Aluminium n'est pas nécessaire en simulation. Le demi-transistor est maintenant terminé (figure 1f). Après la symétrie axiale qui permet d'obtenir l'intégralité du composant virtuel, celui-ci peut être comparé en figure 2 à une image au microscope électronique, montrant une très grande similitude et donc une bonne représentativité du transistor simulé, notamment en termes de profondeur de jonction (x_j) et de longueur de diffusion (L_{diff}). Après ajout des contacts électriques, la simulation électrique des caractéristiques $I_D(V_D)$ et $I_D(V_G)$ est alors possible grâce à Sentaurus Device.

Ces simulations ne seront pas détaillées ici mais permettent d'obtenir des caractéristiques $I_D(V_D)$ et $I_D(V_G)$ totalement cohérentes avec la réalité.

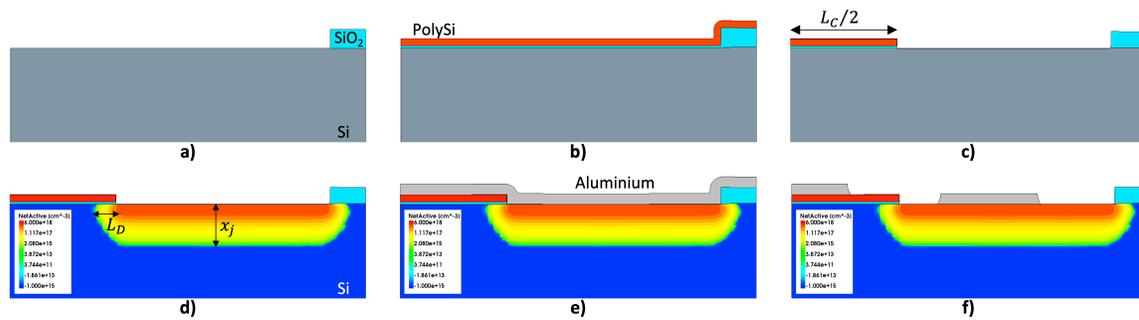


Fig.1. Visualisations sous Sentaurus Visual des fichiers ".tdr" correspondant aux principales étapes de la simulation process du transistor NMOS long.

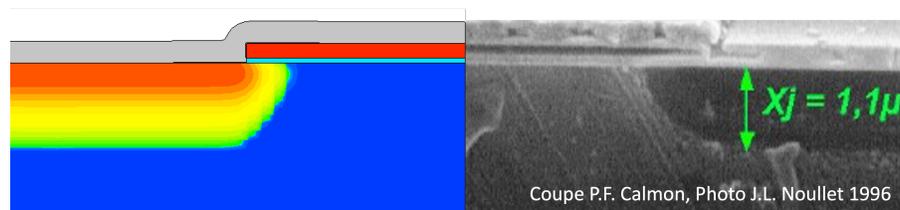


Fig.2. Vue finale du transistor NMOS court simulé (moitié gauche), comparé à une image au microscope électronique du transistor réel (moitié droite) [5].

II. Caractérisation électrique et modélisation du transistor NMOS

Dans la suite de la formation du cycle ingénieur MT, la caractérisation électrique, l'extraction des paramètres et la modélisation des dispositifs MOS permet de donner une vision globale des différents processus entrepris par les ingénieurs en microélectronique.

Caractérisation électrique

La caractérisation électrique des deux transistors MOS (long et court) s'opère au sein d'une station de mesure à l'aide d'appareils pilotés par une liaison LAN-GPIB (figure 3, gauche). Cette procédure débute par le positionnement des pointes de mesure sur les pads métalliques correspondants : grille, drain, source et bulk (figure 3, droite). Les tensions à appliquer sur le drain et la grille sont imposées grâce à une alimentation de laboratoire E3631A de Keysight [6] ; le courant de drain est mesuré grâce à un multimètre numérique 34401A de Keysight [7].

Deux transistors sont caractérisés : l'un (court) avec une longueur L_C de $6\mu\text{m}$ et l'autre (long) avec une longueur L_L de $18\mu\text{m}$. Les deux transistors ont une largeur W de $180\mu\text{m}$ et une épaisseur d'oxyde SiO_2 d'environ 63nm .

L'extraction des caractéristiques électriques se fait via un outil développé sous LabView permettant le pilotage des instruments, l'acquisition des données et l'analyse graphique.

Plus précisément, cette dernière permet de définir la plage des tensions à appliquer et d'afficher en temps réel les valeurs de courant mesurées sous forme graphique, comme illustré à la figure 4. Cette interface LabView offre la possibilité de mesurer la caractéristique $I_D(V_G)$. Autrement dit, elle permet d'imposer une tension de drain constante tout en faisant varier la tension de grille et de mesurer le courant de drain en conséquence. De manière similaire, la caractéristique de sortie $I_D(V_D)$ est également mesurée en maintenant une tension de grille constante.

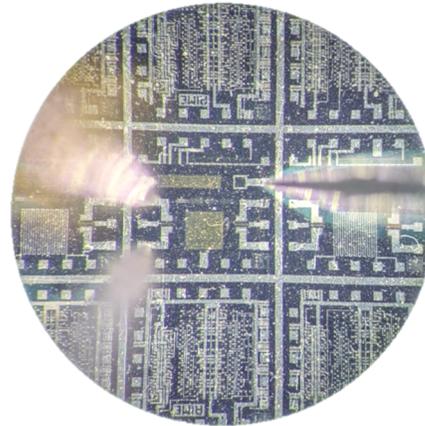
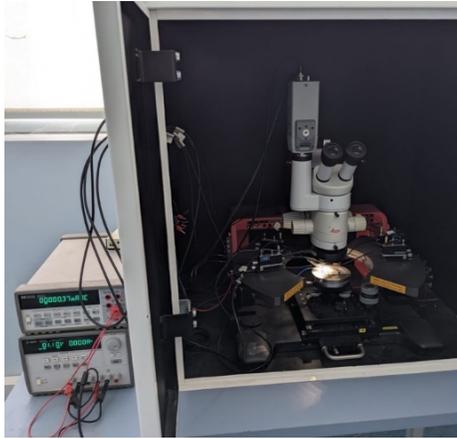


Fig.3. Vue de la station de tests sous pointes et des appareils de mesures associés (à gauche) et vue des pointes au-dessus du transistor MOS à caractériser (à droite).

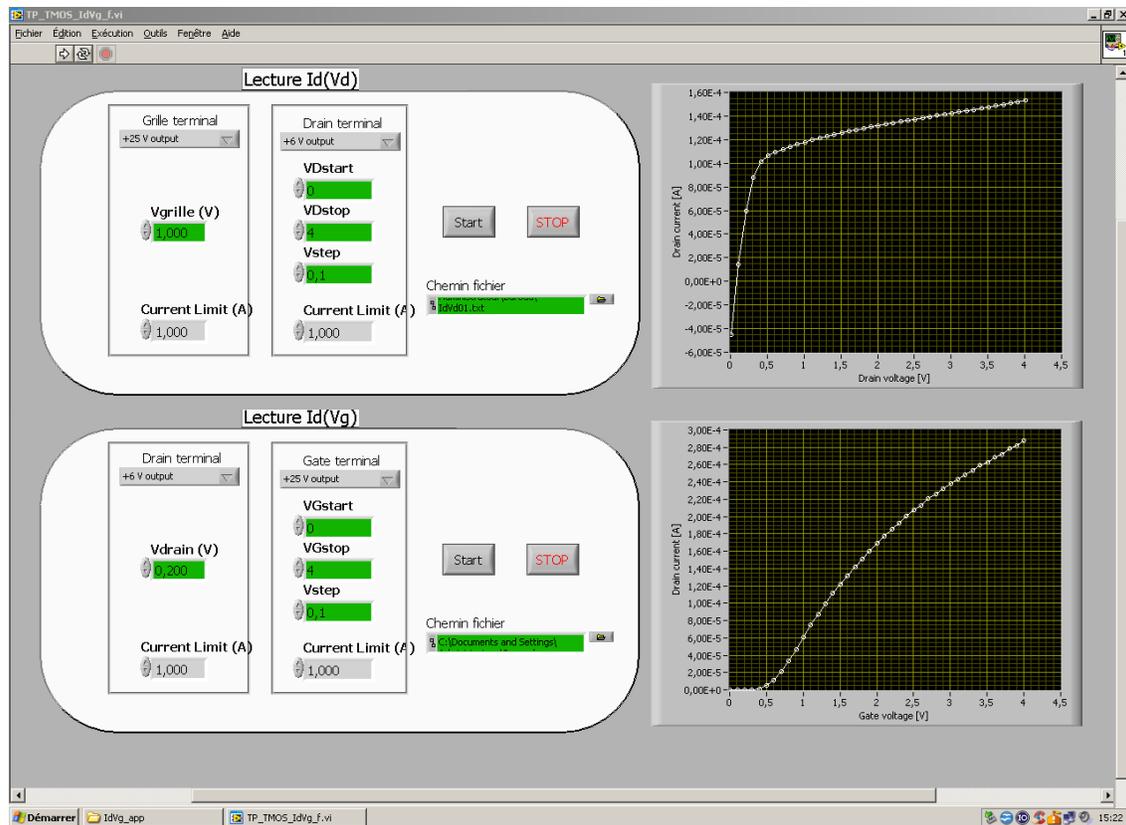


Fig.4. Vue de l'interface graphique développée sous Labview, permettant l'acquisition des mesures $I_D(V_D)$ et $I_D(V_G)$.

Les figures 5a et 5b présentent respectivement les tracés des caractéristiques $I_D(V_D)$ pour une tension de grille de 2V et $I_D(V_G)$ pour une tension de drain de 0,2V. L'extraction des caractéristiques, spécifiques aux transistors ayant suivi un procédé de fabrication similaire, permet une visualisation immédiate de l'impact de la longueur de grille du transistor sur le niveau de courant obtenu. Cela offre la possibilité d'établir des corrélations avec les équations abordées en cours et les résultats des simulations Sentaurus Device. En outre, cette procédure fournit une vision des avantages et des limites des appareils de mesure pour une caractérisation précise.

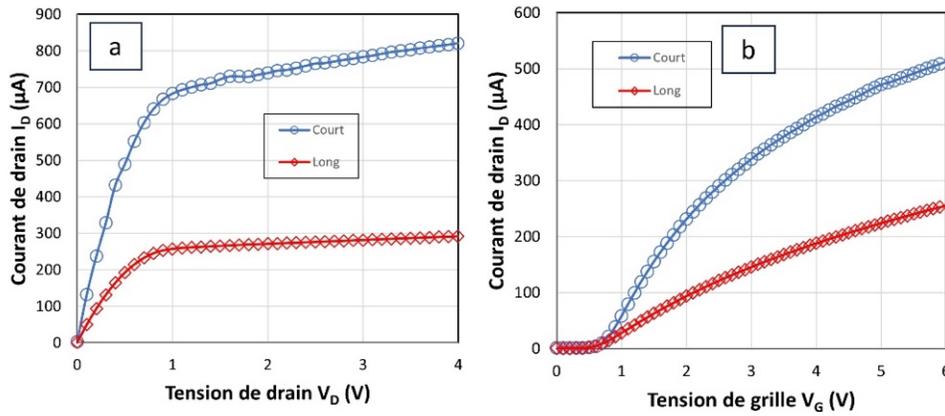


Fig.5. Tracés des caractéristiques a) $I_D(V_D)$ pour $V_G = 2V$ et b) $I_D(V_G)$ pour $V_D = 0,2V$ sur transistor long et court.

Extraction de la longueur de diffusion

Dans l'optique de comparaison avec les simulations TCAD précédemment exposées, l'accent est mis sur l'extraction de la longueur de diffusion sous la grille. Pour ce faire, il est possible de formuler des hypothèses à partir des équations du transistor MOS en régime de saturation afin d'obtenir cette valeur. En prenant le rapport des courants à même polarisation et en considérant que la longueur effective correspond à la longueur dessinée diminuée de deux fois la longueur de diffusion, on est en mesure d'exprimer l'équation pour la longueur de diffusion L_{diff} , comme illustré ci-dessous :

$$L_{diff} = \frac{I_D^L \cdot L_{dessin}^L - I_D^C \cdot L_{dessin}^C}{2 \cdot (I_D^L - I_D^C)} \quad (1)$$

où I_D^L et I_D^C sont les courants de drain des transistors long et court respectivement, et L_{dessin}^L et L_{dessin}^C sont les longueurs de grille dessinées respectives. La longueur de diffusion obtenue est d'environ 1,15 μm .

Extraction des paramètres

L'analyse des caractéristiques électriques permet l'extraction des paramètres essentiels pour évaluer les performances d'une technologie CMOS. Les transconductances des deux transistors, peuvent être extraites à partir des caractéristiques $I_D(V_G)$. Ce paramètre-clé mesure la sensibilité du courant de sortie du transistor face à une variation de la tension de la grille.

Extraction de la mobilité des électrons μ_0 et de la réduction de mobilité θ

En règle générale, lorsque la densité de porteurs en surface du canal devient significative, certaines interactions avec le milieu ne peuvent pas être négligées. Cela a pour conséquence une diminution de la mobilité, comme indiqué dans l'équation ci-dessous.

$$I_D = \frac{W}{L} \mu_0 C_{ox} V_{DS} \frac{(V_{GS} - V_{th} - \frac{V_{DS}}{2})}{1 + \theta \cdot (V_{GS} - V_{th} - \frac{V_{DS}}{2})} \quad (2)$$

Les fonctions Y et W sont utilisées pour déterminer des valeurs clés telles que la tension de seuil V_{th} , la mobilité μ_0 et la réduction de mobilité θ [8]. Leurs expressions sont fournies dans les équations suivantes :

$$Y = \frac{I_{DS}}{\sqrt{g_m}} = \sqrt{\frac{W}{L} C_{ox} \mu_0 V_{DS} \left(V_{GS} - V_{th} - \frac{V_{DS}}{2} \right)} \quad (3)$$

$$W = \frac{1}{\sqrt{g_m}} = \sqrt{\frac{L}{WC_{ox}\mu_0V_{DS}}} \left[1 + \theta \left(V_{GS} - V_{th} - \frac{V_{DS}}{2} \right) \right] \quad (4)$$

À partir des caractéristiques $I_D(V_G)$ et $g_m(V_G)$ pour le transistor long exposées précédemment, il est possible de calculer et tracer les fonctions Y et W (figure 6). L'intersection de la partie linéaire de la courbe Y avec l'axe des abscisses fournit la valeur de la tension de seuil. La mobilité μ_0 est obtenue à partir de la pente de cette partie linéaire. Le facteur linéaire de réduction de la mobilité, θ , peut être extrait à partir de la pente de la courbe W. Les valeurs obtenues sont $V_{th} \approx 0,52$ V, $\mu_0 = 731,5$ cm²V⁻¹s⁻¹ et $\theta = 0,13$ V⁻¹.

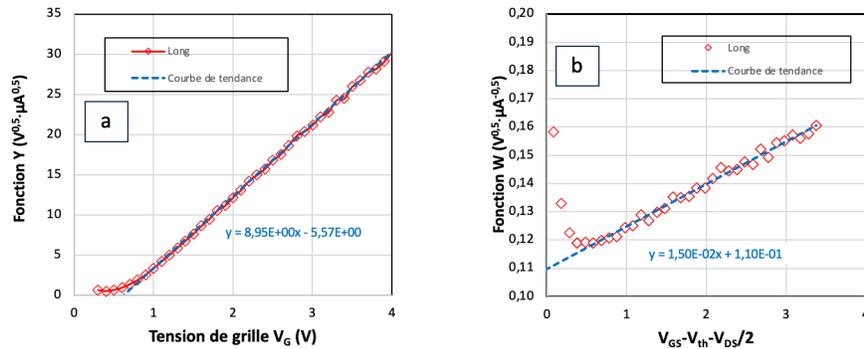


Fig.6. Tracé de a) la fonction Y et b) la fonction W en fonction de V_G .

Conclusion

En conclusion, au département Microélectronique et Télécommunications, nous avons développés des modules d'enseignement concernant la fabrication, la caractérisation électrique ainsi que la modélisation des composants à semiconducteurs. Ceci représente le noyau de compétences des futurs ingénieurs analogiciens et numériques. De plus nous avons fait le choix d'adapter les enseignements aux travaux pratiques de l'AIME et précisément au procédé de fabrication du transistor MOSFET dans l'objectif de préparer au mieux les élèves aux manipulations en salle blanche.

Remerciements

Les auteurs remercient les pôles CNFM de Toulouse et PACA pour la mise à disposition des outils indispensables à la réalisation de ce travail avec les étudiants de Polytech Marseille, filière « Microélectronique et Télécommunications ».

Références

1. G. E. Moore, Cramming more components onto integrated circuits, *Electronics*, **86**, 82-85, 1998.
2. Sentaurus Process, Guide de l'utilisateur, version R-2020.09, Septembre 2020.
3. Sentaurus Device, Guide de l'utilisateur, version R-2020.09, Septembre 2020.
4. AIME-Toulouse, Fabrication de composants NMOS Silicium - Version 2018, Online document: <https://www.aime-toulouse.fr/DOCPDF/TP/ProcessMOS2018.pdf>.
5. AIME-Toulouse, MOS en coupe (M.E.B.), Online document : <https://www.aime-toulouse.fr/TECHNO/COURSTECHNO/techno/m2d60.jpg>.
6. Alimentation stabilisée triple Keysight E3631A data sheet, Online document: <https://www.keysight.com/fr/en/assets/7018-06785/data-sheets/5968-9726.pdf>.
7. Multimètre numérique Keysight 34401A data sheet, Online document: <https://www.keysight.com/fr/en/assets/7018-06774/data-sheets/5968-0162.pdf>.
8. G. Ghibaudo, New Method for the Extraction of MOSFET Parameters, *Electronics Letters*, **24**, 543-545, 1988.

Système Embarqué de Type Nœud IoT Communicant Sans Fil

V. Frick^{ab}, F. Imbert^b

^a ICube et pôle CNFM Migrest, Université de Strasbourg, Strasbourg, France

^b IUT de Haguenau, Université de Strasbourg, Haguenau, France

Contact email : vincent.frick@unistra.fr

Cet article présente la réalisation d'un système embarqué remplissant la fonction de nœud IoT (Internet of Things) mené dans le cadre d'une Situation d'Apprentissage et d'Évaluation (SAÉ). Les étudiants conçoivent un système chargé de mettre en œuvre un capteur environnemental (température, humidité, etc.) numérique ayant un protocole non-conventionnel. Les données du capteur sont gérées par un processeur embarqué et transmises au moyen d'un module de communication radiofréquence. En outre, le système exploite le protocole de communication MQTT pour communiquer avec des clients mobiles. Les étudiants montrent un fort intérêt pour ce projet pluridisciplinaire, qui comporte également une partie dédiée au développement d'une application mobile particulièrement ludique. Les résultats obtenus montrent par ailleurs qu'ils atteignent globalement les objectifs et valident les compétences attendues.

I. Introduction et contexte

Dans le cadre de la formation au BUT de Génie Electrique et Informatique Industrielle les étudiants sont placés dans des Situations d'Apprentissage et d'Évaluation (SAÉ). En particulier, pour les étudiants suivant le parcours Électronique et Systèmes Embarqués (ESE), le sujet d'une des SAÉ de deuxième année porte sur la conception et la réalisation d'un système capable de mettre en œuvre des capteurs et d'en exploiter les données, tout en remplissant la fonction de nœud communicant sans fil de type IoT (Internet of Things).

Les ressources associées à cette SAÉ seront principalement les modules d'enseignement ElSpé 3 (Langages de description matériel), ElSpé 4 (Communication par signaux numériques), Info (notamment la programmation en langage C), ainsi que les documentations techniques des matériels mis en œuvre.

A l'issue de la SAÉ, Les étudiants, qui réalisent leur travail en autonomie, doivent être en mesure de démontrer qu'ils ont acquis les compétences attendues en conception, vérification et implantation.

La section II de cet article présente le cahier des charges du système « nœud IoT ». La section III est consacrée à la présentation des ressources matérielles et logicielles. La section IV décrit la mise en œuvre et le déroulement des séances de cette SAÉ. Enfin, la section V expose les modalités d'évaluation, le retour d'expérience et conclue cet article.

II. Cahier des charges du système

Fonctions du système embarqué

Le système à concevoir doit, d'une part, servir à collecter des données environnementales (température, humidité, attitude, luminosité, ...) issues de divers

capteurs et de les exploiter directement sur une carte FPGA (sélection du mode de fonctionnement et d'affichage : bargraphe par leds, 7 segments, ...) et à les transmettre sans fil vers un support mobile (smartphone, tablette, PC client, etc.). D'autre part, il doit être capable de recevoir des commandes envoyées depuis le même support mobile pour déclencher des actions (contrôle de leds, affichage 7 segments, acquittement d'alerte de seuil de capteur, déverrouillage, ...).

Si la description des fonctionnalités du nœud se situe volontairement à un niveau d'abstraction relativement élevé, c'est pour laisser un degré de liberté suffisant et inciter les étudiants à exprimer leur créativité et être force de proposition. Il demeure néanmoins que certains aspects du cahier des charges, ainsi que le matériel, sont imposés.

Architecture globale du système

La Fig.1 montre l'architecture globale du système de type « nœud IoT ». Le nœud est composé d'un système sur puce. Les étudiants ont un large degré de liberté concernant le partitionnement matériel/logiciel et l'implantation du système. Cependant, il doit obligatoirement comprendre au moins un bloc matériel dédié, écrit en langage de description matériel (VHDL). Ce bloc est imposé par le cahier des charges pour amener les étudiants à démontrer leur compétence en conception de circuits numériques. Il peut par exemple s'agir d'un module chargé de la réception, de la mise en forme et du traitement des données de capteurs.

En outre, le système contient un processeur de type « soft-core » (NIOS II) programmé en langage C, ainsi que divers capteurs (température, humidité, attitude, luminosité, ...) et des modules de communication sans fil de type Wi-Fi (EPS8266) et Bluetooth (HC 05).

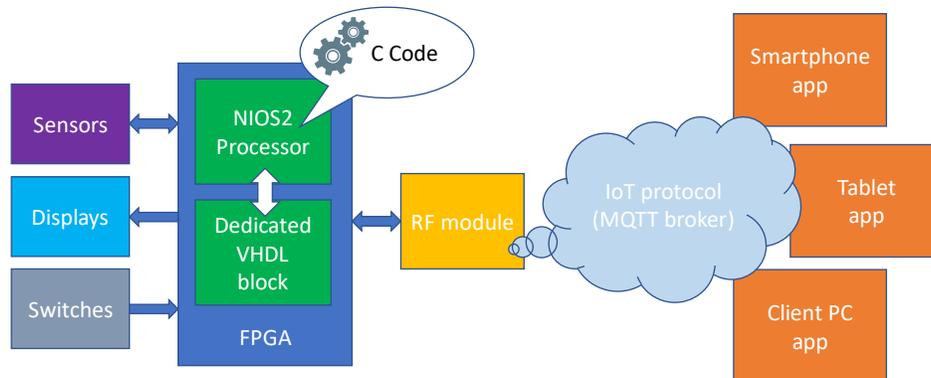


Fig.1. Architecture du Système embarqué de type Nœud IoT communicant sans fil.

III. Ressources matérielles et logicielles

Cartes électroniques

Si le choix de la mise en œuvre, et notamment le partitionnement matériel/logiciel des fonctionnalités du système, est laissé en grande partie à l'appréciation des étudiants, les ressources matérielles mis à disposition pour la réalisation de ce projet sont quant à elles imposées. En l'occurrence, il s'agit :

- d'une carte de développement DE10-Lite terasIC comportant un FPGA de la série MAX10 produit par Intel® FPGA, un port Arduino, un port GPIO, des afficheurs, leds, etc. [1] ;
- d'une carte Shield comportant un capteur de température et d'humidité (DHT11), des boutons poussoirs, un capteur de luminosité, un buzzer ainsi que des leds. Cette

- carte est connectée sur les ports Arduino de la carte DE10-Lite. La particularité de cette carte est son capteur de température et d'humidité, qui fonctionne selon un protocole propriétaire [2]. Aucune information a priori n'est fournie aux étudiants qui doivent donc préalablement étudier sa documentation et développer le pilote ad-hoc afin de le mettre en œuvre ;
- d'une carte fille RFS2 comportant divers capteurs ainsi que les modules de communication RF [1]. Cette carte est connectée sur le port GPIO de la carte DE10-Lite.

Le nœud IoT résultant de l'assemblage de ces trois cartes est montré dans Fig.2.

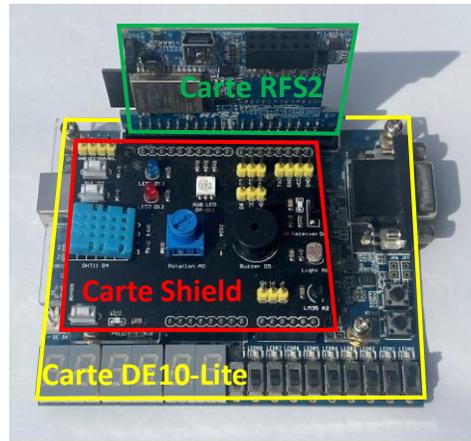


Fig.2. Photo du nœud IoT complet.

Logiciels de développement

Afin de concevoir, simuler, synthétiser et mettre en œuvre le système, les étudiants ont besoin des outils logiciels dédiés, notamment ceux associés aux matériels Intel[®] FPGA et terasIC, mais également pour le développement d'applications mobiles. Il s'agit en l'occurrence :

- du logiciel de simulation de circuits numériques ModelSim[®] ;
- de la suite de développement Quartus[®] pour la synthèse et l'implantation de systèmes numériques sur cible Intel[®] FPGA ;
- du logiciel Eclipse, couplé à l'environnement Quartus[®], pour le développement du programme en langage C qui permet de mettre en œuvre le processeur embarqué NIOS II.
- du logiciel WinDev[®] qui permet de développer des applications pour appareils mobiles de type smartphone ou tablette [5].

Base de projet

Outre les ressources matérielles et logicielles, une base de projet Quartus dédiée à cette SAÉ est également mise à disposition des étudiants. Cette base de projet comporte une cellule décrite en langage VHDL. Elle constitue le niveau hiérarchique principal du système. L'architecture de cette cellule est amenée à évoluer au cours du projet par l'ajout progressif de fonctionnalités (blocs numériques décrits en VHDL, ports microcontrôleurs sur le processeur, etc.). Les ports de la cellule principale sont quant à eux déjà assignés à toutes les différentes entrées/sorties disponibles sur la carte DE10-Lite (concept de

« Golden Top »). Cette approche permet d'éviter les écueils pour ce projet qui est par ailleurs d'un niveau de complexité relativement avancé pour le niveau attendu en deuxième année du BUT GEII (BUT2), en raison de la variété des notions qu'il convoque (co-design matériel/logiciel, protocoles de communication sans fil, développement d'application mobile).

Dans le même esprit, la base du projet comporte également une base de cœur de processeur NIOS II, un contrôleur de SDRAM et un bloc PLL chargé de générer les horloges adaptées pour l'utilisation de la SDRAM par le processeur. Les parties les plus complexes liées aux horloges, au processeur NIOS et au contrôleur de mémoire SDRAM sont préconfigurées. Les notions d'architectures des processeurs n'étant pas au programme de BUT2, l'idée est de garantir que chaque étudiant construit son système sur une base saine. Aussi, une partie de la première séance encadrée, dédiée au démarrage de la SAÉ, est consacrée à la présentation de cette base et à l'initiation à l'outil Platform Designer, intégré à Quartus. Cet outil, qui sert normalement à construire des systèmes embarqués complexes, est ici uniquement utilisé pour rajouter des fonctions et ports simples à configurer (contrôleur I2C, ports d'entrées/sorties microcontrôleur, etc.). Les étudiants sont alors affranchis de la configuration des blocs complexes dépassant leur niveau de compétences (paramétrage du cœur de processeur, dimensionnement de la mémoire cache, paramétrage des vecteurs de reset et d'interruptions, timings de la mémoire SRAM associée, etc.).

IV. Déroulement des séances

La durée totale du projet est de 96 heures qui se répartissent en 14 séances encadrées et 10 séances non-encadrées. Le projet se décompose en trois grandes phases. Chaque étudiant travaille individuellement et dispose de l'équipement nécessaire à la réalisation du projet.

Mise en œuvre du capteur de la carte Shield

Cette première phase porte sur le développement de la couche matérielle destinée à mettre en œuvre le capteur de la carte Shield. D'une part, à l'aide de l'outil Platform Designer, le système embarqué de base est modifié de manière à pouvoir interfacer la carte Shield sur la carte mère DE10-Lite. Cela s'accompagne par une modification du code VHDL de la cellule de niveau hiérarchique principal. D'autre part, les étudiants doivent développer le pilote permettant de communiquer et de collecter les données du capteur DHT11. Ils peuvent choisir entre un développement matériel, en écrivant le pilote en VHDL, ou logiciel, en l'écrivant en langage C. Pour ce faire, ils analysent préalablement le protocole de communication ainsi que les timings du signal du capteur DHT11. La communication de ce dernier avec l'hôte s'effectue via un seul bit, bidirectionnel (Fig.3).

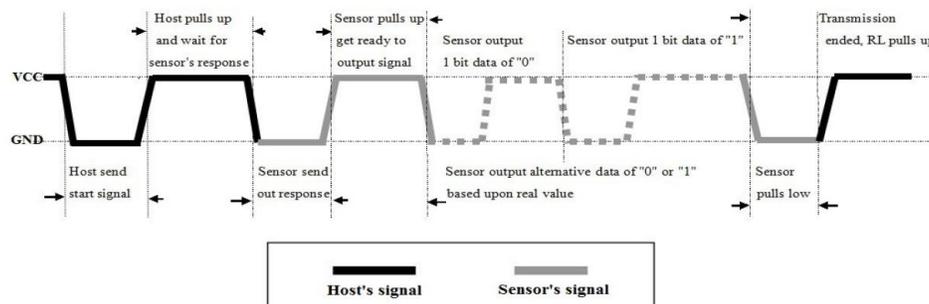


Fig.3. Protocole de communication unifilaire du capteur DHT11 [2].

Une autre étape de cette phase consiste à développer un bloc matériel en VHDL chargé, d'une part de manipuler les données du DHT11, et d'autre part de permettre la sélection du mode d'affichage directement sur les interfaces lumineuses de la carte DE10-Lite (afficheurs 7 segments, bargraphe par leds). Notons ici que tous les développements en langage VHDL sont menés à l'aide de l'outil ModelSim® et doivent obligatoirement faire l'objet d'une simulation.

Mise en œuvre de la carte RFS2

La deuxième phase porte sur la mise en œuvre de la carte RFS2. D'un point de vue matériel, le système est modifié de manière à pouvoir exploiter les modules radio (Wi-Fi ou Bluetooth) à partir de la carte DE10-Lite. Il s'agit essentiellement de rajouter une interface UART sur le système NIOS.

D'un point de vue logiciel, les étudiants écrivent un programme permettant de relier le système à un point d'accès sans fil. Dans le cas du Wi-Fi, option majoritairement choisie par les étudiants car plus simple à mettre en œuvre, un boîtier Raspberry Pi® est utilisé comme serveur d'un réseau local. Ceci permet de simplifier la procédure de connexion, plus complexe dans le cas d'un réseau sécurisé comme Eduroam par exemple. Notons que le boîtier est également utilisé comme broker pour le protocole MQTT décrit ci-dessous.

Protocole MQTT et développement de l'application mobile

La dernière phase est exclusivement logicielle. Elle porte sur le développement du programme permettant l'émission et la réception de données sur le système afin de créer un nœud IoT. Le principe de messagerie employé est basé sur le protocole MQTT [3]. Dans le cas d'une configuration en Bluetooth, cela impose la création d'une passerelle vers le protocole MQTT. Dans le cas d'une configuration Wi-Fi, la procédure est simplifiée notamment en raison de la prise en charge native du protocole MQTT par le processeur ESP32 présent sur la carte RFS2.

Le principe MQTT est basé sur l'utilisation de thèmes, ou « topics », créés au niveau du broker, auxquels les clients (le nœud IoT et les terminaux, comme un PC ou un smartphone par exemple) doivent s'abonner pour recevoir et envoyer des messages [3]. Les messages publiés peuvent contenir soit des données du capteur, soit des commandes. Dans le cadre de ce projet, deux topics ont été utilisés : l'un pour diffuser les données du capteur vers les terminaux abonnés, l'autre pour envoyer des commandes depuis les terminaux vers le nœud IoT. Les commandes permettent en l'occurrence principalement de changer le mode d'affichage sur la carte DE10-Lite et de choisir le type de grandeur mesurée (température, humidité, etc.). Afin de tester la communication, les étudiants utilisent une application dédiée au protocole MQTT permettant d'envoyer et de recevoir les paquets en ligne de commande, telle que MQTT.fx par exemple [4].

La dernière étape consiste à créer une application mobile associée au nœud IoT. Pour ce faire, les étudiants utilisent le logiciel WinDev® Mobile, dont l'interface et le mode de programmation graphique très intuitifs permettent de développer facilement des applications pour équipements fonctionnant sous environnement Android ou IOS (Fig.4).

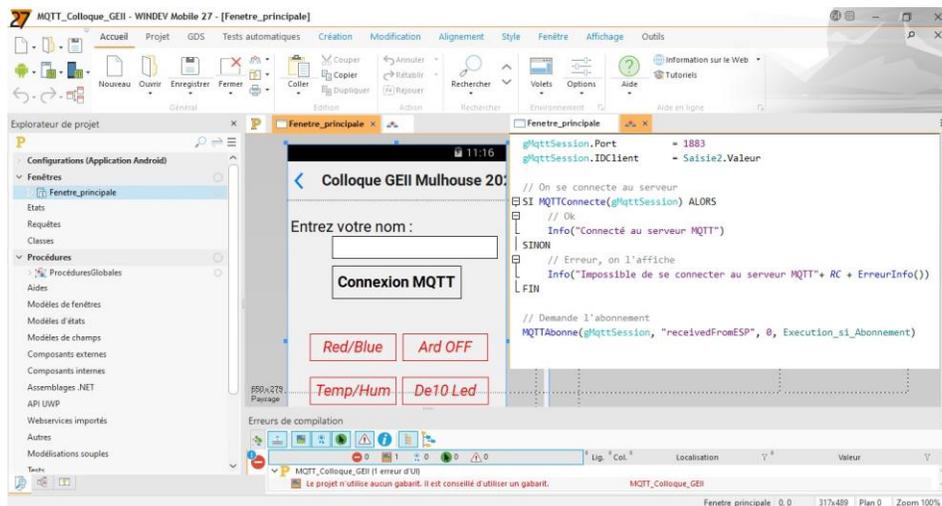


Fig.4. Développement de l'application mobile du projet à l'aide de WinDev® Mobile.

V. Evaluation, retour d'expérience et conclusion

Le projet est évalué sur la base de trois items : 1) la fonctionnalité et la qualité des livrables (matériel et logiciel), 2) une démonstration du fonctionnement du système, au cours de laquelle chaque étudiant doit être en mesure d'expliquer en détail ses choix techniques, 3) un rapport écrit. La durée de la démonstration est d'environ un quart d'heure par étudiant. A travers les thèmes abordés : langage de description matériel, mise en œuvre de FPGA et objets connectés, le projet sert à évaluer trois compétences principales du parcours ESE du BUT GEII : la conception, la vérification et l'implantation.

Dans l'ensemble, le groupe d'étudiants (une quinzaine en parcours ESE) est très enthousiasmé par le projet, notamment pour son côté pluridisciplinaire. Il semble également évident que l'aboutissement à une application mobile donne un aspect ludique qui rajoute à la l'intérêt porté pour cette SAÉ. Les premières expériences montrent néanmoins que le volume horaire est tout juste suffisant pour mener le projet à bien dans sa globalité. Ceci provient essentiellement de deux raisons : d'une part, les étudiants passent du temps à comprendre le protocole du DHT11 et à en développer le pilote. En particulier, les étudiants qui font le choix de développer un pilote logiciel sont souvent confrontés à des problèmes de timing des signaux. En cela, le projet atteint ses objectifs pédagogiques puisqu'ils prennent alors conscience de la notion de temps réel et de temps de cycle machine qui n'est pas évident à appréhender en programmation de microcontrôleurs. Par ailleurs ils gagnent en méthodologie de travail et prennent notamment conscience du gain significatif à simuler le fonctionnement d'un circuit numérique afin de le mettre au point, préalablement à sa synthèse et à son implantation sur la cible matérielle.

Au regard des résultats présentés par les étudiants, l'expérience semble très concluante. Elle a d'ailleurs fait l'objet d'une démonstration d'un nœud IoT réalisé par un étudiant à l'occasion du 49^{ème} Colloque GEII, à Mulhouse, en juin 2023.

Références

1. <https://www.terasic.com.tw/>
2. https://www.electronicoscaldas.com/datasheet/DHT11_Aosong.pdf
3. <https://mqtt.org/>
4. <https://softblade.de/en/welcome/>
5. <https://pcsoft.fr/>

DE SECNUM : former les futurs experts des systèmes embarqués sécurisés

F. Bruguier^{a,c}, B. Pradarelli^{b,c}, L. Torres^{b,c}, P. Benoit^{b,c}

^a IUT de Nîmes et Pôle CNFM de Montpellier (PCM), Université de Montpellier, Montpellier, France

^b Polytech Montpellier et Pôle CNFM de Montpellier (PCM), Université de Montpellier, Montpellier, France

^c LIRMM, Université de Montpellier, CNRS, Montpellier, France

Contact email : polytech-secnum@umontpellier.fr

Dans un monde de plus en plus digitalisé, le nombre d'objets connectés ne cesse de croître. Afin d'assurer la sécurité de ce type d'objets, il est nécessaire d'en maîtriser la sécurité tant au niveau matériel que logiciel. L'objectif de ce papier est de présenter une formation dispensée par le pôle CNFM de Montpellier. Ce diplôme d'établissement de niveau BAC+6 spécialisé en sécurité des systèmes embarqués allie à la fois cours théorique, mise en pratique à l'Université mais aussi en entreprise.

I. Introduction

En novembre 2018 lors d'un discours à l'UNESCO, le chef de l'état lançait l'appel de Paris pour la cybersécurité mondiale qui fut co-signé par 50 pays. Huit axes d'intervention étaient mis en avant parmi lesquels la prévention de la prolifération des programmes et techniques cyber-malicieuses mais aussi la sécurité des produits et services numériques. Afin de travailler sur ces axes de développement l'Agence Nationale de la Sécurité des Systèmes d'Information (ANSSI), dans son manifeste « Pour l'ANSSI des 10 prochaines années ; pour l'écosystème de la cybersécurité », a défini la formation comme une priorité de ces nouvelles orientations stratégiques. « Nous devons renforcer notre engagement dans la formation initiale et continue pour intégrer plus avant ces thématiques dans les formations ... ». Dans la même veine, la région Occitanie, à travers la Stratégie Régionale de l'Innovation (SRI), a fait de la sécurité numérique une de ses priorités et a décidé de créer un portail de la cybersécurité en Occitanie : Cyber'Occ [1]. Parmi les 4 axes de travail de cette plateforme, on retrouve deux axes qui nous tiennent à cœur : la sécurité des systèmes embarqués et la formation.

Le diplôme présenté ici, le Diplôme d'Établissement (DE) SECNUM, diplôme de niveau BAC+6, s'inscrit dans la volonté de développer une formation d'experts en sécurité numérique des systèmes embarqués pour répondre à la carence d'ingénieurs spécialistes sur le marché. La formation est dispensée au sein du pôle CNFM de Montpellier en partenariat avec Polytech Montpellier et l'IUT de Nîmes.

L'objectif de ce DE est de répondre à un besoin sociétal d'accroître le nombre d'acteurs économiques ayant des compétences en cybersécurité pour protéger les données (médicales, agricoles, industrielles, personnelles) circulant dans une société de plus en plus numérique et connectée. Cette ambition est en phase avec les nouvelles orientations stratégiques de l'ANSSI parues le 21 janvier 2020 [6].

Cet article décrit la formation proposée dans le cadre du DE SECNUM. Après avoir décrit le besoin et présenté le contexte, nous décrirons les objectifs pédagogiques ainsi que les principaux enseignements proposés. Enfin nous proposerons des pistes d'évolution pour cette formation.

II. Pertinence et contexte

1. Besoin en ingénieurs spécialisés en sécurité des systèmes embarqués

Afin de vérifier la pertinence de créer une formation sur cette thématique forte d'un déficit en candidats, nous avons réalisé une étude des formations proposées en région.

Cette étude approfondie des formations disponibles sur la région Occitanie a mis en évidence une offre variée des formations dans le domaine au niveau licence (une dizaine sur l'Occitanie) et un déficit de formations pour le niveau supérieur notamment sur le bassin montpelliérain comme le montre la carte proposée sur la Figure 1. La thématique est seulement abordée dans certains modules, comme par exemple, pour les élèves ingénieurs en 4ème année de la spécialité EII (Electronique Informatique Industrielle) et les apprentis ingénieurs en 5ème année de la spécialité SE (Système Embarqué) mais aussi du département IG (« Informatique et Gestion ») sans pour autant faire des étudiants des experts du domaine. Les autres formations proposent des compétences dans des domaines éloignés de celui des systèmes embarqués comme par exemple la sécurité réseau ou encore la sécurité des systèmes d'information.

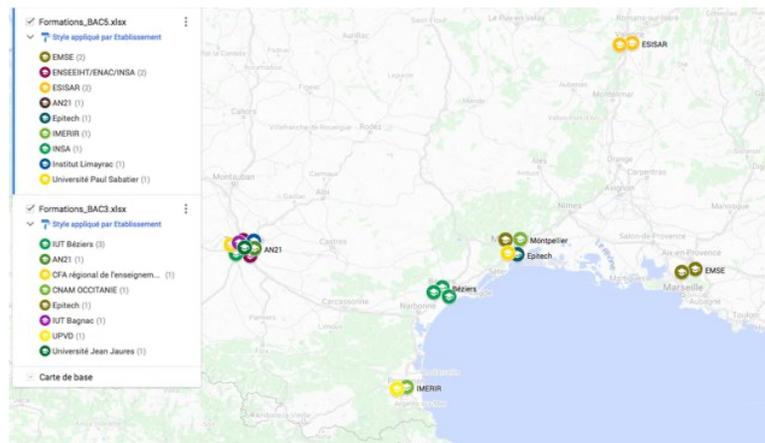


Fig.1. Cartographie des formations en cybersécurité.

Or, il ressort de l'étude initiale du bassin économique montpelliérain, étendue ensuite à l'Occitanie que le profil des salariés actuellement en poste et celui des candidats recherchés par les entreprises est un profil d'ingénieur « spécialiste » de niveau BAC+5 ou BAC+6.

2. Contexte local

Le projet proposé ici, le Diplôme d'Établissement (DE) SECNUM, diplôme de niveau BAC+6, s'inscrit dans la volonté de l'établissement porteur Polytech Montpellier de développer une formation d'experts en sécurité numérique des systèmes embarqués pour répondre à la carence d'ingénieurs spécialistes sur le marché.

Ce projet est co-porté par l'IUT de Nîmes auquel est rattaché le responsable de la plateforme « SECNUM » [2]. Cette plateforme, issue des activités de recherche du LIRMM, permet de sensibiliser et former les étudiants du l'Université de Montpellier aux

problématiques de la sécurité numérique à travers l'étude des attaques par canaux cachés [3]. Plusieurs initiatives d'excellence pédagogique ont été développées sur cette plateforme au travers notamment d'un projet d'innovation pédagogique : AMUSE [4-5]. Ce projet a fait l'objet de plusieurs publications internationales valorisant l'approche pédagogique innovante (serious game) mise en œuvre pour enseigner la sécurité numérique. Il a aussi reçu le prix « Coup de cœur du Jury » lors des Rencontres Cybersécurité en Occitanie en 2019.

Ce co-portage affiche l'ancrage de Polytech Montpellier et de l'IUT de Nîmes au sein de l'Université de Montpellier. Il est aussi un gage de confiance et de conviction que la transdisciplinarité permet de relever le défi de créer une formation orientée compétences métier en rassemblant les expertises pédagogiques et scientifiques (électronique, système embarqué & informatique) nécessaires.

3. Métiers visés

Afin de définir les métiers ciblés, nous nous sommes appuyés sur les besoins retournés par les entreprises local et avons défini les profils à l'aide du panorama des métiers réalisé par l'ANSSI [7].

Les métiers ciblés par le DE sont les suivants :

- Évaluateur de la sécurité des technologies de l'information (Hardware) ;
- Évaluateur cybersécurité ;
- Architecte de sécurité ;
- Experte en test d'intrusions ;
- Consultant en sécurité ;
- Cryptologue ;
- Ingénieur d'études de systèmes spécifiques dans le secteur des services.

III. Présentation de la formation

1. Equipe pédagogique

L'équipe enseignante est composée d'une dizaine d'enseignants-chercheurs, de chercheurs et de doctorants du LIRMM, tous experts en sécurité numérique de par leurs travaux de recherche, leurs participations à des conférences nationales et internationales, ainsi que par leurs collaborations avec des entreprises de ce domaine. Des spécialistes du secteur industriel interviendront également lors des enseignements mais aussi lors de conférences sur des thématiques actuelles pour rapprocher les stagiaires du monde socio-économique.

2. Enseignements

La formation se déroule sur une année avec un volume horaire de 290h pour les enseignements académiques auquel il faut ajouter 100 heures de projets tuteurés. Ces enseignements se déroulent sur 3 périodes de 4 semaines. Le reste de l'année, les étudiants sont à la disposition de l'entreprise. La capacité d'accueil est d'une quinzaine d'étudiants.

Le DE cybersécurité est ouvert en formation continue sous forme de contrat de professionnalisation que ce soit pour des étudiants fraîchement diplômés ou des salariés ou demandeurs d'emploi souhaitant renforcer leurs compétences ou changer d'orientation de carrière. Il vise son enregistrement au Répertoire Spécifique par France Compétences afin de pouvoir être répertorié dans la liste des formations diplômantes accessibles depuis

l'application « Mon compte Formation » et financés par le CPF (Compte personnel de Formation) dont dispose chaque salarié et demandeur d'emploi.

a. Unités d'enseignement académiques

Les contenus pédagogiques de la maquette ont été élaborés avec le concours des filières impliquées dans la formation en cybersécurité, dont notamment l'IUT de Béziers. La volonté est de mettre en œuvre une approche par compétences, basée sur l'analyse de situations de travail s'appuyant sur les recommandations de l'ANSSI et notamment le panorama des métiers de la cybersécurité [7].

Le DE est constitué de modules spécifiques et transversaux dont la majorité peuvent être dispensés en anglais afin d'immerger les stagiaires dans la terminologie anglo-saxonne. Cette action linguistique s'inscrit dans la volonté de donner une coloration internationale au DE et d'offrir aux stagiaires l'opportunité de se former dans un environnement proche de celui rencontré en entreprise.

Le DE contient 4 Unités d'Enseignement (UE) académiques pour un total de 290h d'enseignement. La première, Fondamentaux de la cryptographie, est constituée de deux modules : Théorie, principes, algorithmes de chiffrement et standards, et Statistiques pour la cryptographie. La seconde UE se focalise sur la sécurisation des applications embarquées à travers 4 modules (Prototypage de systèmes embarqués sécurisés ; Vulnérabilité et preuve formelle ; Conception, techniques d'attaques et contremesures associées ; Injection de fautes). La troisième UE est centrée autour de la Sécurisation des réseaux, protocoles et infrastructures et contient 3 modules : Sécurité des réseaux et des communications, Protocoles IoT, et Sécurité des infrastructures.

La dernière UE permet d'aborder les aspects réglementaires, juridiques et aspects experts. La place des questions juridiques dans le monde de la cybersécurité s'étant considérablement accrue ces dernières années, l'enseignement de sciences juridiques et sociales (droit, éthique, social engineering) fait partie intégrante de la maquette. L'insertion de tels modules au sein de cette formation high-tech donne une coloration interdisciplinaire qui valorise l'employabilité des stagiaires à l'issue du DE.

La répartition des volumes horaires est proposée dans le tableau 1.

b. Unités d'enseignement professionnelles

La partie professionnelle du DE est composée de deux UE. La première, le projet tuteuré est une mise en situation de l'étudiant sur un sujet qui est spécifique à son projet professionnel. Le projet tuteuré s'effectue à l'Université soit dans les locaux du pôle CNFM de Montpellier soit en laboratoire en fonction des besoins en matériel nécessaire.

TABLEAU I. UE et modules d'enseignement du DE SECNUM.

Unité d'Enseignement	Module	Volume horaire (h)
UE 1 - Fondamentaux de la cryptologie		63
	Principes, algorithmes de chiffrement (symétrique, asymétrique) et standards	36
	Statistiques pour la cryptographie	27
UE 2 - Sécurisation des applications embarquées		81
	Prototypage de systèmes embarqués sécurisés	21
	Vulnérabilité et preuve formelle	9

	Conception, techniques d'attaques et contremesures associées	30
	Expérimentation sur plateformes d'analyse	6
	Injection de fautes	15
<hr/>		
UE 3 - Sécurisation des réseaux, protocoles et infrastructures		54
	Sécurité des réseaux et des communications	16
	Protocoles IoT	12
	Certification CSNA Stormshield	8
	Sécurité des infrastructures	18
<hr/>		
UE 4 – Aspects réglementaires, juridiques et experts de la sécurité numérique		74
	Aspects réglementaires et juridiques	17
	Gestion de projet	8
	Forensic	21
	Aspects experts	18
<hr/>		
UE 5 – Projet tueuré		100
<hr/>		
UE 6 – Entreprise		560
<hr/>		

c. Participation à des CTF

Par ailleurs, dans le domaine de la sécurité, la participation à des « serious game » appelés CTF (« Capture The Flag ») est un moyen à la fois ludique et utile de développer un réseau de contacts dans le domaine de la sécurité, ainsi que d'approfondir les connaissances académiques à des applications très concrètes. Lors de ces jeux, les participants sont amenés à détecter des failles de sécurité afin de pénétrer au fur et à mesure dans un système ou un réseau. Cette méthode de pédagogie active permet aux étudiants de comprendre les stratégies malveillantes mises en œuvre par les attaquants afin qu'ils appréhendent au mieux les méthodes de sécurisation. Ils percevront ainsi plus aisément les enjeux et défis de leur futur métier. Les étudiants seront amenés tout au long de l'année à travailler sur ce type de problèmes pour améliorer leurs connaissances et compétences. En fin de formation, les étudiants seront incités à participer à un événement de type CTF d'envergure nationale ou internationale (Defcon ou Black Hat), où ils pourront se confronter aux étudiants des autres formations. Ces événements étant accompagnés de conférences d'experts sur les dernières avancées du domaine, cela sera l'occasion de parfaire leur formation. L'ensemble contribuera à l'acquisition des compétences requises pour la réalisation d'une activité professionnelle à haut niveau d'expertise.

IV. Améliorations

1. Diplôme

Lors des trois premières moutures du diplôme, nous avons choisi de présenter la formation sous la forme d'un diplôme d'établissement. Cette première version du diplôme permet de mettre en place les enseignements mais aussi de tisser de nouvelles relations avec les entreprises spécialisées du domaine. Il est envisagé dans un futur proche de faire évoluer la formation vers un Mastère spécialisé des grandes écoles. Ce format permettra d'avoir un cadre précis pour le diplôme mais aussi d'augmenter sa visibilité auprès des futurs candidats et des futurs recruteurs.

2. Enseignements innovants

L'équipe enseignante s'appuiera sur le Centre de Soutien aux Innovations Pédagogiques (CSIP) pour définir une stratégie pédagogique innovante, pertinente et actuelle (par exemple le design thinking), permettant de répondre aux besoins métiers. Cette démarche éducative aura pour objectif d'optimiser l'apprentissage des savoirs et savoir-faire techniques réalisés sur les différentes plateformes logicielles et matérielles du pôle CNFM de Montpellier mises à la disposition des apprenants lors des pratiques en situation. Elle favorisera aussi l'acquisition de savoir-être génériques (softskills) comme la collaboration, la communication, l'écoute, la prise de décision et de savoir-être spécifiques au contexte de la sécurité comme le social engineering. Cette stratégie reposera sur des méthodes pédagogiques comme l'apprentissage mutuel et par problèmes, le serious game « AMUSE » où le stagiaire est acteur de son apprentissage.

3. Labélisation

Afin de garantir l'excellence de notre formation ainsi que sa visibilité au niveau national, nous souhaitons demander pour notre diplôme d'établissement la labélisation SecNumedu [8]. Ce label, délivré par l'ANSSI garanti le niveau des formations qui consacrent au moins 70% de leur temps à la cybersécurité et qui allient théorie et pratique. Il est aussi un gage de qualité et récompense la pertinence du programme pédagogique de la formation.

V. Conclusion

Ce papier présente le diplôme d'établissement SECNUM. Ce diplôme de niveau BAC+6 permet de former des étudiants à la sécurité des systèmes embarqués. Elle s'appuie sur 290h de formation académique ainsi qu'un projet tuteuré et 1260h de présence en entreprise. Plusieurs pistes d'amélioration ont été identifiées avec notamment l'évolution vers un nouveau diplôme mais aussi la mise en place de certifications académiques et professionnelles.

Remerciements

Les auteurs remercient l'Agence Nationale de la Recherche (ANR) pour le support apporté grâce au financement ANR-16-IDEX-0006 (I-SITE MUSE, projet DE SECNUM).

Références

1. Cyber'OCC portail cybersécurité d'Occitanie: website: <https://www.cyberocc.com/> (Accès octobre 2021).
2. M. Bourrée, et al.: "Secnum: an open characterizing platform for integrated circuits", Euro. Work. Microelectronics Education, 2012, Grenoble, France, pp. 88-91.
3. F. Bruguier, P. Benoit, L. Torres : "Enseignement de la sécurité numérique : De la sensibilisation à l'expertise", J3eA, 2017.
4. Bruguier, F., P. Benoit, L. Dalmaso, B. Pradarelli, E. Lecointre, and L. Torres. "AMUSE: l'escape game pour s' évader en toute sécurité-Enseignement de la sécurité numérique sous forme d'un escape game." *J3eA* 18 (2019).
5. Bruguier, F., Lecointre, E., Pradarelli, B., Dalmaso, L., Benoit, P. and Torres, L., 2020, February. Teaching Hardware Security: Earnings of an Introduction proposed as an Escape Game. In *International Conference on Remote Engineering and Virtual Instrumentation* (pp. 729-741). Springer, Cham.
6. ANSSI : Communiqué de presse : https://www.ssi.gouv.fr/uploads/2020/01/anssi-communique_presse-orientations_strategiques.pdf (Accès octobre 2021)
7. ANSSI, Panorama des métiers de la cybersécurité : https://www.ssi.gouv.fr/uploads/2015/07/anssi-panorama_metiers_cybersecurite-2020.pdf (Accès octobre 2021)
8. Label SecnumEdu, ANSSI, site internet : <https://www.ssi.gouv.fr/entreprise/formations/secnumedu/> (Accès octobre 2021).

La fabrication additive pour l'électronique flexible : Focus sur la sérigraphie

F. Le Bihan^a, R. Selmi^a, J-C Fustec^a, J. Rammal^b, M. Harnois^a

^a Institut d'Electronique et des Technologies du Numérique IETR UMR CNRS 6164 et
pôle CNFM de Rennes (CCMO), Université de Rennes,
Campus Beaulieu, 35042 Rennes CEDEX, France

^b ESTI Ecole Supérieures des Technologies Industrielles – GIP CEI
6, rue de la Maillardaie, 35600 REDON, France

Contact email : maxime.harnois@univ-rennes.fr

La fabrication additive se présente comme une méthode de fabrication privilégiée pour répondre aux défis sociaux majeurs auxquels nous sommes confrontés. En effet, par nature, elle répond aux besoins environnementaux de minimisation des étapes de fabrication, d'utilisation de matériaux, de substances chimiques, etc. Elle est aussi une des solutions permettant, à terme, de mettre en œuvre des matériaux plus respectueux de l'environnement. Ces avantages significatifs devraient contribuer à réduire l'empreinte des objets électroniques, qui sont de plus en plus omniprésents dans notre vie quotidienne et dont la tendance ne montre aucun signe de ralentissement.

Par conséquent, dans le cadre du CCMO, il est impératif de fournir aux étudiants une formation à cette technologie, d'autant plus qu'elle est soutenue par un tissu industriel composé à la fois de PME et de grandes entreprises réparties sur l'ensemble du territoire.

I. Introduction à la fabrication additive

Les avantages de la fabrication additive :

La fabrication additive est une technologie polyvalente offrant divers avantages. Elle réduit les déchets en créant des objets couche par couche, permet la personnalisation des produits, offre la possibilité de créer des formes complexes, réduit les coûts de développement, favorise la production à la demande, et assure la légèreté des pièces tout en maintenant leur résistance. De plus, elle réduit les délais de production, stimule l'innovation grâce à un prototypage rapide, convient aux petites séries de production, encourage la fabrication locale, permet la personnalisation de masse, offre plus de flexibilité dans la conception, et facilite l'intégration de multiples composants. Ces avantages font de la fabrication additive une technologie révolutionnaire aux multiples applications, précieuse dans de nombreuses industries, de l'aérospatiale à la médecine en passant par l'automobile, la joaillerie et l'électronique.

Genèse de la fabrication additive dans l'électronique :

L'histoire de l'impression traverse les siècles, débutant par l'invention de l'imprimerie à caractères mobiles par Johannes Gutenberg au XVe siècle. Au XVIIe siècle, la gravure sur bois est devenue courante pour imprimer illustrations et textes. Le XIXe siècle a vu l'introduction de presses mécaniques pour une production plus rapide de journaux et de livres. Au XXe siècle, l'avènement de l'impression numérique a révolutionné l'industrie en permettant une personnalisation à grande échelle. Chaque étape a marqué une avancée significative dans la diffusion de l'information et de la créativité au travers de la technologie d'impression.

La fabrication additive dans l'électronique plus connue sous la dénomination d'électronique imprimée est un domaine relativement récent qui tire profit des techniques d'impression précédemment citées pour fabriquer des composants électroniques sur divers supports.

L'évolution de l'électronique imprimée a suivi une trajectoire ascendante à travers les décennies. Tout a commencé dans les années 1960 et 1970 où des chercheurs ont entrepris des expérimentations avec des matériaux organiques conducteurs pour créer des composants électroniques. Cependant, ces débuts ont été marqués par des performances limitées. Les années 1980 ont été témoins d'une étape clé avec l'émergence de matériaux conducteurs plus avancés. Des avancées significatives ont été réalisées dans la synthèse de matériaux organiques conducteurs, comme les polymères conducteurs et les matériaux semi-conducteurs organiques. Cela a ouvert la voie à leur utilisation dans des applications électroniques. La décennie suivante, les années 1990, a été marquée par le développement d'encre conductrices spécialement conçues pour l'impression. Ces encres contenaient des particules de métaux conducteurs ou des matériaux organiques conducteurs, contribuant ainsi à l'évolution de l'électronique imprimée. L'entrée dans les années 2000 a été caractérisée par l'adoption croissante de l'impression jet d'encre adaptée à l'électronique. Cette technologie a gagné en popularité en permettant d'imprimer des traces conductrices sur divers supports, tels que le papier, le plastique et le textile. Durant les années 2010, l'électronique imprimée a enfin trouvé son essor, trouvant des applications dans divers domaines tels que les étiquettes RFID, les capteurs imprimés, les dispositifs médicaux, les vêtements intelligents, les panneaux solaires flexibles, et bien d'autres secteurs prometteurs. Aujourd'hui, la recherche dans le domaine de l'électronique imprimée continue de manière active. Les scientifiques et les innovateurs s'efforcent d'améliorer les performances des composants imprimés, de développer de nouvelles applications et d'explorer des matériaux encore plus avancés, ouvrant ainsi la voie à de nouvelles possibilités pour cette technologie passionnante.

L'électronique imprimée offre des avantages importants en termes de coût, de flexibilité de conception et de durabilité, ce qui en fait un domaine d'intérêt croissant pour diverses industries. La genèse de l'électronique imprimée est le résultat de décennies de recherche et d'innovation dans le domaine des matériaux et de la technologie d'impression.

Positionnement de l'électronique imprimée versus la fabrication soustractive en microélectronique

À ce jour, dans le secteur de l'électronique, son objectif n'est pas de concurrencer les technologies et procédés de fabrication standard de la microélectronique. En effet, la

complexité des dispositifs électroniques envisageables est limitée par la variété des matériaux disponibles et les dimensions minimales pouvant être atteintes. Cependant, il est important de noter que ces dernières années, des avancées significatives en recherche ont permis de proposer de plus en plus de solutions, tant d'un point de vue technique que scientifique, pour surmonter les obstacles mentionnés précédemment.[1]–[4]

La figure 1 met en évidence l'un des principaux avantages de la fabrication électronique par impression, à savoir la réduction des étapes de production. En effet, dans le processus classique de photolithographie utilisé en microélectronique, la création d'un motif à l'échelle micro ou même submicrométrique implique le dépôt d'un matériau (tel qu'un métal), suivi de sa gravure après enduction, insolation, et développement d'une résine photosensible. La résine agit comme un masque physique sélectif pour la gravure du matériau. La dernière étape consiste à graver la résine. Ce processus est qualifié de soustractif et nécessite l'utilisation de produits chimiques et d'eau de rinçage. En revanche, les procédés de fabrication dits additifs, comme les procédés d'impression, consistent à déposer une encre contenant un matériau (sous différentes formes telles que des colloïdes, des micro-feuillets, des polymères, etc.) qui se solidifie après un post-traitement, tel que le séchage naturel ou le frittage.

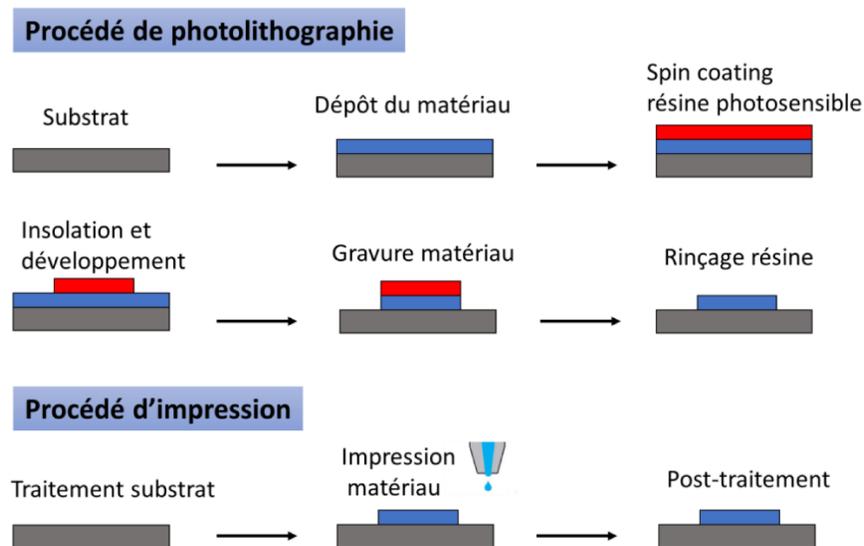


Fig.1. Comparaison entre les procédés de mise en forme d'une couche par photolithographie et par impression.[5]

Il est évident qu'il y a un gain significatif en réduisant le nombre d'étapes, en éliminant les gravures et les rinçages (ce qui est bénéfique d'un point de vue environnemental) ainsi qu'en optimisant l'utilisation des matériaux, car ils sont déposés uniquement là où ils sont nécessaires. Cependant, comme précédemment mentionné, la plupart des technologies d'impression ont des limitations en termes de dimensions minimales obtenues, qui se situent généralement autour de quelques dizaines de microns (comme dans le cas de la sérigraphie).

II. Contenu Pédagogique

Le module d'enseignement (2 jours) comporte deux volets. Une demi-journée est consacrée à un cours et un jour et demi est consacré à des TP sur les équipements d'impression d'électronique par sérigraphie de l'IETR au sein de la plateforme nanoRennes (réseau CNRS Renatech+) via le Centre Commun de Microélectronique de l'Ouest. Ce module est déjà suivi, annuellement, par une quarantaine d'étudiants en première et deuxième année du Mastère MLAI parcours E.I.S.C (Electronique, Industrialisation et Supply Chain)

Cours avec l'ensemble de la promotion

Le premier volet consiste à introduire, sous le format d'un cours, la fabrication additive pour l'électronique puis de la positionner par rapport à la fabrication de type soustractive communément utilisée en microélectronique. La section précédente de l'article synthétise les notions abordées dans la première partie du cours. La seconde partie du cours aborde de façon détaillée les technologies d'impression (avantage et limites), incluant les prérequis sur les matériaux pouvant être mis en œuvre. L'arborescence des technologies d'impression sur substrat plan 2D, peut être présentée comme illustrée dans la figure 2. Les techniques de dépôts sont nombreuses et peuvent être classées en deux grandes familles : avec ou sans contact.

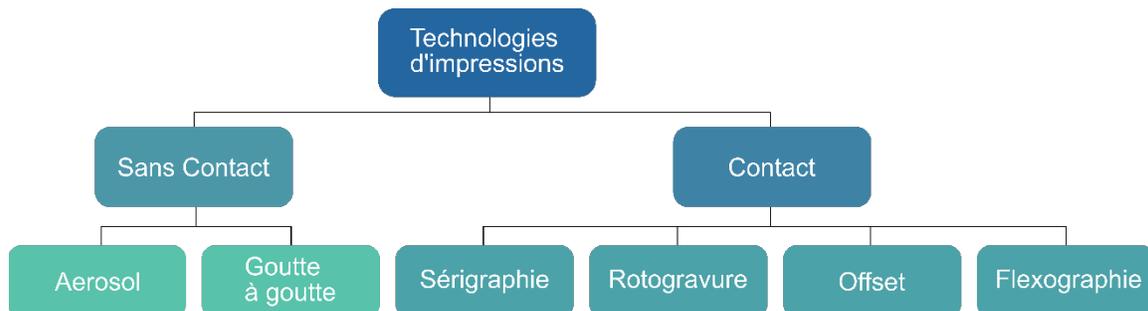


Fig.2. Classification des technologies d'impression en grandes familles. Plus d'information dans la partie bibliographique du manuscrit de thèse SJ Moon. [6]

Chaque technique possède ses caractéristiques, certaines avantageant la cadence de production (e.g., la technologie rotogravure), d'autres la souplesse d'utilisation dans la phase de développement par la conception de masque logiciel facilement reconfigurable (e.g., la technologie goutte à goutte aussi appelé « Drop On Demand »).



Fig.3. Exemple d'impression de lignes conductrices par technologie d'impression gouttes à gouttes sur un film plastique biodégradable.

La figure 3 ci-dessus montre un exemple d'impression jet d'encre de pistes métalliques sur une feuille (un substrat) de plastique biodégradable. Cet exemple illustre une des nouvelles possibilités qu'offre la fabrication additive pour la fabrication de PCB (Printed Circuit Board) flexible, i.e. l'utilisation de nouveaux substrats, puisque le matériau, ici du métal, est déposé localement sans utilisation de bain chimique.

Le dernier point abordé dans le cours porte sur l'électronique 3D : En marge de l'électronique imprimée en 2D, d'autres formes d'électronique directement imprimée en 3D ont vu le jour depuis quelques années. Nous pouvons citer : l'impression par dispense d'une encre conductrice en sortie de seringue,[7] la stéréolithographie, la technologie « Laser Direct Structuring », l'impression hydrographique...[8]–[11]



Fig.4. Exemple d'impression de lignes conductrices en 3D par la technologie de transfert hydrographique.

La figure 4 ci-dessus montre un exemple de technologie brevetée en cours de développement à l'IETR dénommée « water transfer printing », permettant de transférer de façon additive de l'électronique sur un objet 3D pouvant être lui-même fabriqué additivement.[12]

A l'issue du cours, les étudiants ont pu appréhender les notions de fabrication soustractive et additive, connaissent la genèse et l'état de l'art de l'électronique imprimée.

Travaux pratiques en petits groupes (6 étudiants)

Le deuxième volet du module consiste à réaliser, lors des séances de travaux pratiques, des dispositifs multicouches par sérigraphie, tels que celui illustré en figure 5. La plateforme nanoRennes de l'IETR s'est dotée de l'ensemble de la chaîne de production permettant la sérigraphie de dispositifs électroniques, grâce au soutien financier du CPER MAT&TRANS, de Rennes Métropole et du CNFM. Cette chaîne comprend la conception assistée par ordinateur (CAO) des dispositifs électroniques multicouches, l'insolation et la révélation des écrans, l'équipement de sérigraphie semi-industriel, le nettoyage des écrans et les tests des dispositifs.

Au cours de ces travaux pratiques, les étudiants créent un écran de sérigraphie de grande taille (75*85 cm), impriment des dispositifs résistifs multicouches sur un substrat plastique flexible, puis les soumettent à des tests électriques sous contraintes mécaniques, en différentes conditions de température et d'humidité.

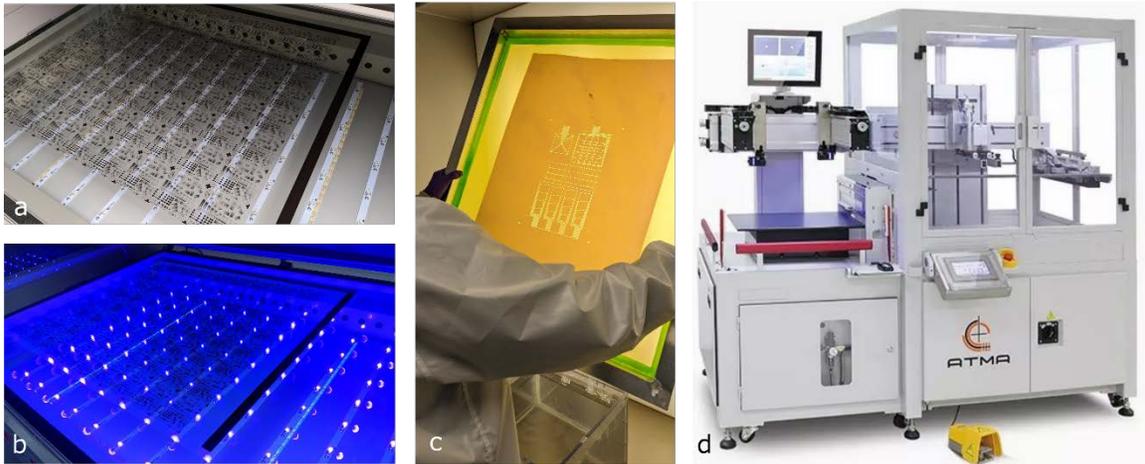


Fig.5. Principales étapes et équipements disponibles sur la plateforme nanoRennes à disposition des étudiants lors du TP. a) châssis d'insolation LED LuxDryer avec typons sur la vitre protectrice, b) châssis d'insolation LED en fonctionnement, c) écran après développement, d) équipement de sérigraphie avec alignement automatique (ATMA MF44).

Le TP est constitué en plusieurs étapes qui sont détaillées ci-dessous :

- Etape 1 : Fabrication de l'écran

Des notions scientifiques et techniques sont tout d'abord transmises par l'encadrant de TP concernant le choix des écrans, telles que le matériau les constituant (nylon ou inox), l'orientation du maillage, la taille des ouvertures régissant le volume d'encre déposé, et la tension du maillage. La qualité de fabrication des écrans dans le processus de sérigraphie est l'étape clé permettant d'obtenir une qualité optimale des motifs après impression. Cette étape est donc cruciale et requiert un savoir-faire dans la pose du film capillaire. Si ce dernier n'est pas correctement posé en raison d'un écran mal dégraissé ou légèrement abrasé, le capillaire se détache complètement ou en bordure des motifs. Dans un premier temps, les étudiants se familiarisent avec la pose d'un film capillaire sur des écrans de petites dimensions (10 cm * 10 cm), puis de plus grandes dimensions, et ainsi prennent conscience des défis liés à l'échelle. Le film capillaire utilisé est la référence SAATI DCF 1-22 (22 µm d'épaisseur).

Après la pose des capillaires, les écrans sont exposés à la lumière (figures 5a et 5b) à l'aide du châssis LED, puis développés à l'eau DI. ***Les notions de sur-exposition et de sous-exposition des écrans sont abordées lors de cette étape.*** La figure 5c montre un écran après les étapes de pose du film capillaire, d'exposition et de développement.

- Etape 2 : Réalisation de dispositifs résistifs par sérigraphie

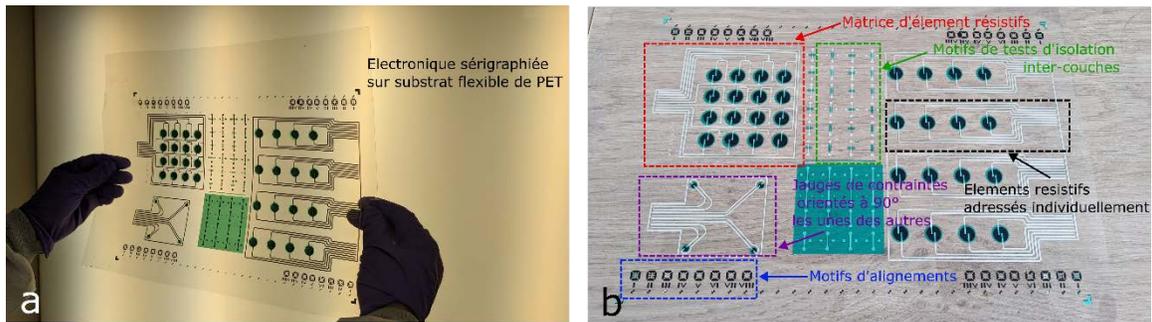


Fig.6. Dispositifs résistifs multicouches sérigraphiés sur substrats flexibles. a) illustration de la transparence et du format grande surface (A4 dans le cadre du TP), b) schéma d'implantation des dispositifs.

La figure 6 présente les dispositifs réalisés sur un substrat en plastique de type PET, d'une épaisseur de 125 μm et au format A4. La figure 6b détaille l'ensemble des dispositifs réalisés et se décompose comme suit :

- Une zone indiquée en bleu sur la figure 6b, comporte des motifs d'alignement, à l'image de ce qui est également pratiqué dans les procédés microélectroniques. L'équipement ATMA MF44 est doté d'un système de visualisation et d'alignement automatique, permettant aux étudiants d'observer en direct les étapes d'alignement. En parallèle, l'enseignant illustre le concept et la méthodologie au tableau (la rotation de l'échantillon pour obtenir une symétrie au niveau des motifs d'alignement entre les deux objectifs, suivie de translations selon les axes x et y).
- Une zone indiquée en vert, comporte des motifs de tailles variables nécessaires pour effectuer des tests d'isolation électrique entre couches conductrices. Ces motifs sont donc d'un empilement de 3 couches dans l'ordre suivant : une couche conductrice d'argent (Encre d'argent : Speedy Cure HF ; VFP Ink), d'un vernis diélectrique UV (Référence ECV003 ; VFP Ink), d'une couche conductrice d'argent. Des tests tension_courant peuvent être effectués afin de qualifier la capacité d'isolation de la couche de vernis en fonction des paramètres expérimentaux (Dose UV, nombre de couches, température et temps de recuit, etc.).
- Une zone est indiquée en noire ou les éléments résistifs sont adressés individuellement. La couche résistive est en carbone (Ref : Carbone Electron, VFP Ink), la géométrie de cet élément (valeur de la résistance) est définie par l'espacement et la surface en vis-à-vis des électrodes d'argent, ici maintenus constants avec un ratio longueur*largeur égale 2mm*1mm.
- Une zone indiquée en violet comporte les éléments résistifs arrangés à 90° les uns des autres. Cette configuration est pertinente lorsque les éléments résistifs sont utilisés en tant que capteur de contraintes. En effet, en fonction de l'orientation de la déformation mécanique, les capteurs n'auront pas la même intensité de réponse.
- Une zone en rouge comporte les capteurs adressés matriciellement (16 éléments résistifs : 4 lignes * 4 colonnes). Cette configuration nécessite l'empilement de 4 couches fonctionnelles comme suit :

- Couche 1 : Élément résistif en carbone (Référence Carbone Electron, VFP Ink),
- Couche 2 : Pistes conductrices en argent définissant la géométrie (longueur et largeur : 2 mm * 1 mm) de l'élément résistif (Encre d'argent : Speedy Cure HF ; VFP Ink).
- Couche 3 : Vernis diélectrique (Référence ECV003, VFP Ink) assurant l'isolation inter-métal avec une ouverture circulaire (diamètre 1 mm) permettant la reprise de contact (vias).
- Couche 4 : Pistes conductrices en argent (Référence : Speedy Cure HF) partant des vias et allant vers le connecteur (FPC Molex série Easy On), non représenté sur la figure 6.

La réalisation entière des dispositifs (les 4 couches) nécessite 3 jours. Le TP ne durant que 1.5 jours, les étudiants réalisent deux couches (argent et diélectrique). Ces deux couches sont choisies car la méthode de « post process » des encres est radicalement différente. L'encre d'argent est une encre à base de particules qui devient conductrice après frittage en température (120°C pendant 5 minutes) et l'encre diélectrique polymérique réticule par un traitement UV. Ceci permet aux étudiants de s'initier à des techniques et des phénomènes physiques différents (polymérisation et frittage) avec des encres ayant des fonctions électroniques antinomiques, à savoir un conducteur et un isolant.

- Etape 3 : Caractérisation des dispositifs résistifs sérigraphiés en tant que capteurs

Les caractérisations s'effectuent sur des dispositifs comportant toutes les couches. Trois types de caractérisations sont effectués. En effet, les performances de l'élément résistif en tant que capteur de température, d'humidité et de jauge de contraintes sont évaluées. L'ensemble des caractérisations s'effectue par un test courant-tension via un analyseur de paramètres B1500 Agilent. La figure 7 récapitule les résultats obtenus.

- Capteurs d'humidité et de température

Les capteurs d'humidité et de température sont parmi les plus communs dans notre vie quotidienne et constituent donc un bon support pédagogique.

Les capteurs d'humidité flexibles et conformables basés sur de l'encre de carbone ont été testés avec différents niveaux d'humidité (de 40 % HR à 90 % HR). La caractérisation de détection de l'humidité du capteur en carbone est réalisée en le plaçant à l'intérieur d'une enceinte climatique (Binder MKF115) à une température constante de 25 °C. La réponse $\Delta R/R_0$ (%) du capteur d'humidité est calculée par $\Delta R = R_H - R_0$, où R_H représente la résistance à une humidité spécifique (de 40 % RH à 90 % RH) et R_0 est la résistance de référence du capteur en carbone obtenue à 40 % RH."

Comme le montre la Figure 7 (a), le capteur d'humidité au carbone repose sur un mécanisme de détection résistive. La résistance des capteurs d'humidité augmente simultanément avec le taux d'humidité (% HR). Les étudiants déduisent du tracé la sensibilité (S) du capteur : $S=0.034\%/RH$.

L'expérience est répétée en faisant varier la température de 20° à 80° à taux d'humidité fixe de 50%. Lors de cette expérience, la sensibilité est $S=0.1\%/^{\circ}\text{C}$. Les résultats sont illustrés en figure 7b.

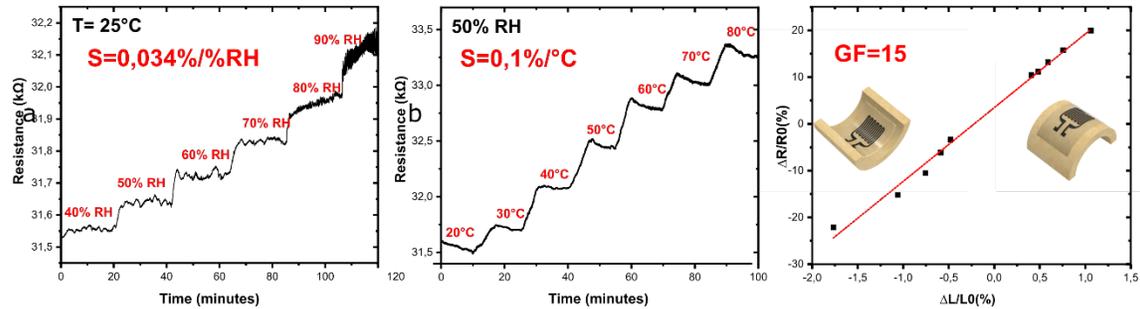


Fig.7. Dispositifs résistifs multicouche sérigraphiés sur substrats flexibles. a) illustration de la transparence et du format grande surface (A4 dans le cadre du TP),

○ Capteurs mécaniques de type jauges de contrainte

Les capteurs à jauges de contrainte sont largement utilisés dans les systèmes de surveillance de l'état des structures (SHM) car ils sont peu coûteux, faciles à installer et suffisamment sensibles pour détecter une défaillance structurelle et un risque potentiel d'effondrement dans divers objets, bâtiments ou structures [13]. Comme l'effet le plus couramment utilisé dans les capteurs à jauges de contrainte est la piézorésistivité, les capteurs fabriqués dans ce travail sont basés sur cet effet. Il s'agit de la variation de la résistance électrique lorsqu'une contrainte mécanique est appliquée. L'effet peut être expliqué en utilisant l'expression de la résistance de la formule [1].

$$R = \rho \times \frac{L}{S} \quad [1]$$

où (ρ) est la résistivité, (L) correspond à la longueur et (S) est la surface du matériau capteur. Lorsqu'un matériau est déformé par une contrainte mécanique appliquée, un changement électrique se produit et la valeur de la résistance varie.

Pour quantifier la sensibilité d'un matériau à la contrainte, le facteur de jauge (GF) est défini comme le montre la formule [2]. Il est formé de deux composantes clés : la distribution géométrique ($1+2\nu$) et la variation de la résistivité en fonction de la contrainte ($(\Delta\rho/\rho)/\varepsilon$), où ν est le coefficient de Poisson, ρ est la résistivité et ε est la contrainte axiale appliquée.

$$GF = \frac{\Delta R}{R} = (1 + 2\nu) + \frac{\Delta\rho}{\rho} \quad [2]$$

Dans le cas de la jauge de contrainte métallique, GF est généralement faible [11] car la résistivité des fils métalliques ne varie pas significativement avec la contrainte. Par conséquent, la formule peut être écrite comme suit :

$$GF = \frac{\Delta R}{R} = (1 + 2\nu) \quad [3]$$

Les tests de caractérisation consistent à soumettre les dispositifs à divers rayons de courbure et à déterminer leur sensibilité à la déformation à l'aide de la formule de Wagner [14].

$$\varepsilon = \pm \frac{d_f + d_s}{2 \times R_c} \quad [4]$$

où d_f et d_s sont respectivement l'épaisseur de l'encre et du substrat, et R_c est le rayon de courbure. Le signe plus ou moins dépend de la contrainte appliquée (tension ou compression).

Les mesures sous contrainte sont illustrées dans la figure 7c. La réponse $\Delta R/R_0(\%)$ du capteur de jauge de contrainte en carbone en fonction de la contrainte mécanique ε (%) est tracée dans la figure, avec $\Delta R = R_s - R_0$, R_s étant la résistance à une valeur de contrainte spécifique (ou une valeur de R_c), et R_0 étant la résistance en position plate. La figure met en évidence que la valeur de GF est de l'ordre de 15 pour un capteur en carbone démontrant les potentialités de ce matériau en termes de sensibilité à la déformation. En effet, le GF du carbone est approximativement 3 fois plus grand que celui reporté pour le constantan, matériau communément utilisé en jauge de contrainte.

Au cours de ces expérimentations, les étudiants se familiarisent avec la caractérisation électrique d'un capteur soumis à déformation et appréhendent les notions de base d'un capteur de déformation.

III. Conclusion

En conclusion, le module d'enseignement intitulée : « La fabrication additive pour l'électronique flexible : Focus sur la sérigraphie » dispensé à l'IETR sur la plateforme nanoRennes via le CCMO, à destination d'un public d'apprenant en études supérieures permet d'appréhender les notions de base en électronique imprimée. Il se veut à la fois théorique avec une partie cours, et pratique lors de séances en petits groupes avec des équipements semi industriels de fabrication et de tests. Ce TP est en phase avec les demandes des acteurs socio-économiques de former des personnes qualifiées dans un secteur industriel clef en France et qui constitue une des priorités actuelles.

Remerciements

Ce TP n'aurait pu être mis en place sans :

Les infrastructures et les compétences des personnels impliqués sur la plateforme NanoRennes membres du réseau RENATECH+ labélisé par le CNRS.

Les financements pour l'achat des équipements émanant du CPER MAT&TRANS, de Rennes Métropole via le dispositif d'aide à l'acquisition d'équipements scientifiques, du GIP CNFM via le CCMO et l'action TPs innovants.

Le GIP campus esprit dans le cadre du projet ESLAP.

Références

1. Y. Bonnassieux et al., « The 2021 flexible and printed electronics roadmap », *Flexible and Printed Electronics*, vol. 6, no 2, p. 023001, 2021.
2. P. Martins et al., « Advances in Printing and Electronics: From Engagement to Commitment », *Advanced Functional Materials*, p. 2213744, 2023.
3. A. Bastola et al., « Formulation of functional materials for inkjet printing: A pathway towards fully 3D printed electronics », *Materials Today Electronics*, p. 100058, 2023.
4. C. S. Buga, J. C. Viana, « A review on materials and technologies for organic large-area electronics », *Advanced Materials Technologies*, vol. 6, no 6, p. 2001016, 2021.
5. M. Robin, « Développement de transistors à effet de champ organiques et de matériaux luminescents à base de nanoclusters par impression à jet d'encre », PhD Thesis, Université Rennes 1, 2017.
6. S. J. Moon, « Development of inkjet printing technology for fully solution process dedicated to organic electronic circuits », PhD Thesis, Rennes 1, 2020.
7. H. W. Tan, Y. Y. C. Choong, C. N. Kuo, H. Y. Low, et C. K. Chua, « 3D printed electronics: Processes, materials and future trends », *Progress in Materials Science*, vol. 127, p. 100945, 2022.
8. B. Le Borgne, E. Jacques, M. Harnois, « The use of a water soluble flexible substrate to embed electronics in additively manufactured objects: From tattoo to water transfer printed electronics », *Micromachines*, vol. 9, no 9, p. 474, 2018.
9. B. Le Borgne, B.-Y. Chung, M. O. Tas, S. G. King, M. Harnois, et R. A. Sporea, « Eco-friendly materials for daily-life inexpensive printed passive devices: Towards "Do-It-Yourself" electronics », *Electronics*, vol. 8, no 6, p. 699, 2019.
10. R. Rogel, B. L. Borgne, T. Mohammed-Brahim, E. Jacques, et M. Harnois, « Spontaneous buckling of multiaxially flexible and stretchable interconnects using PDMS/fibrous composite substrates », *Advanced Materials Interfaces*, vol. 4, no 3, p. 1600946, 2017.
11. R. Selmi, J.-C. Fustec, M. Harnois, et F. L. Bihan, « Organic and Metallic Sensors on Complex 3-D Object Using an Original Method: Water Transfer Printing », *IEEE Sensors Letters*, vol. 7, no 9, p. 1-4, 2023, doi: 10.1109/LSENS.2023.3301845.
12. M. Harnois, J. Emmanuel, et B. Le Borgne, « Solvent transfer printing method ». Google Patents, 31 mai 2022.
13. I. Kang, M. J. Schulz, J. H. Kim, V. Shanov, et D. Shi, « A carbon nanotube strain sensor for structural health monitoring », *Smart materials and structures*, vol. 15, no 3, p. 737, 2006.
14. H. Gleskova, S. Wagner, Z. Suo, « Failure resistance of amorphous silicon transistors under extreme in-plane strain », *Applied Physics Letters*, vol. 75, no 19, p. 3011-3013, 1999.

Découverte des processus de fabrication en microassemblage électronique, du BUT 3 au doctorat.

H. Debéda, A. Gracia, L.Fadel, L. Oyhenart, J. Tomas

Université de Bordeaux, et pôle CNFM de Bordeaux (PCB), Talence, France

Contact email : helene.debeda-hickel@u-bordeaux.fr

La mise en place du BUT a entraîné des modifications des contenus pédagogiques et volumes horaires. C'est dans ce cadre que s'inscrivent les travaux pratiques de microassemblage nouvellement proposés en BUT 3 GEII de Bordeaux, parcours Electronique et Systèmes Embarqués. De plus, à un niveau supérieur, des cours et TP centrés sur le microassemblage peuvent être suivis par les doctorants des 2 écoles doctorales SPI et Sciences chimiques ; cette formation a pour objectif de compléter leur formation à la recherche en élargissant leur culture scientifique et/ou les aider dans leurs réflexions sur leur projet professionnel.

I. Introduction

La mise en place du Bachelor Universitaire de Technologie avec la troisième année (BUT 3) a entraîné des modifications des contenus pédagogiques et volumes horaires. C'est dans ce cadre que s'inscrivent les travaux pratiques de microassemblage nouvellement proposés au BUT GEII de Bordeaux, parcours Electronique et Systèmes Embarqués (ESE). De plus, à un niveau supérieur d'études, un catalogue des formations est proposé aux futurs docteurs qui doivent obligatoirement suivre 100h de formation disciplinaire ou transverse. Depuis un an, une nouvelle formation centrée sur les techniques d'assemblage a pu être proposée et suivie par les doctorants de l'école doctorale de Sciences Physiques et de l'Ingénieur [1] mais aussi aux étudiants de l'école doctorale Sciences Chimiques. Cette formation a pour objectif de compléter leur formation à la recherche en élargissant leur culture scientifique et/ou les aider dans leurs réflexions sur leur projet professionnel. Ces enseignements de microassemblage proposés à deux niveaux d'étude seront détaillés dans cet article.

II. Contexte

Le secteur de l'électronique est de plus en plus présent dans tous les domaines de la société, comme en témoigne la croissance exponentielle des chiffres d'affaires avec notamment un triplement des revenus des objets connectés d'ici 10 ans [2]. Cela conduit à une accélération des innovations technologiques de fabrication des composants avec de plus en plus de fonctionnalités dans des objets de plus en plus petits, légers et performants. Avec cette course aux innovations technologiques dans les processus de fabrication des composants et leur intégration, les réseaux de capteurs sans fils, souvent basés sur la technologie RFID (Radio Frequency Identification) deviennent un objet incontournable. Pour la fabrication de ces composants passifs, l'électronique flexible imprimée apparaît donc comme une technologie compétitive souvent préférée à la technologie conventionnelle silicium, car elle réduit considérablement le coût de fabrication (figure 1). Pour des composants plus complexes (ie. des modules), des changements sur l'architecture,

les matériaux et les technologies d'assemblages (« packaging ») sont inévitables avec par exemple les « System In Package » (SiP) ou les assemblages 3D.

Les enjeux principaux de l'industrie électronique de ce siècle sont donc la diminution de coûts, mais aussi plus d'intégration et une amélioration des performances. De nos jours, plusieurs milliards de transistors peuvent être intégrés sur un seul SoC (« System on Chip ») pour obtenir des systèmes complexes pour l'informatique mobile, l'IoT (« Internet of Thing »), l'intelligence artificielle... Parallèlement à cette course à l'intégration, est apparue **le more Moore**, qui, sans miniaturiser le transistor, permet de réduire à la fois les densités d'interconnexions et les coûts de production, avec un empilement tridimensionnel 3D des composants [3]. Les objectifs des enseignements proposés aux étudiants en dernière année avant leur insertion professionnelle (BUT 3, Master 2, Doctorat) sont de les sensibiliser à ces accélérations technologiques constantes en électronique mais aussi, à travers des exemples simples afin de leur faire comprendre les problématiques associées aux processus de fabrication, plus précisément au « packaging ».

Technique d'impression	Viscosité encre (mPa.s)	Épaisseur dépôt (µm)	Résolution latérale (µm)	Substrat	Productivité
Offset	5000-10000	0,5-2	20-50	Papier, film polymères	10 000 feuilles/h 10-1000m/min
Flexographie	50-500	0,5-8	40-80	Papier, films polymères, carton ondulé, verre, métaux	10-600m/min
Sérigraphie	500-10000	0,5-100	50-100	Tous les substrats	< 800 feuilles/h 1-50m/min
Jet d'encre	1-40	0,01-1	10-50		>1500 feuilles/h 1-150m/min
Photo-lithographie		0,01-2	0,02	Wafers de silicium	6000 wafer/sem Soit 80 000m ² /an

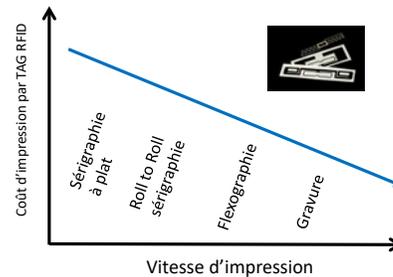


Fig.1. Comparatif entre les technologies d'impression et la photolithographie utilisée en technologie conventionnelle silicium avec un exemple pour l'impression de TAG RFID

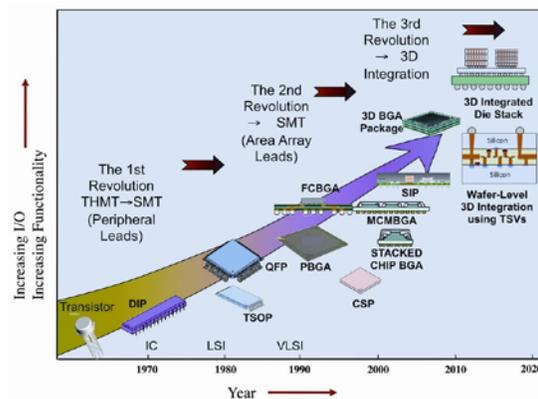


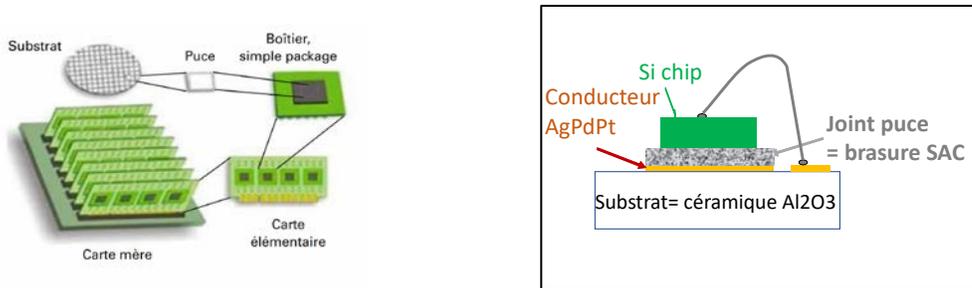
Fig.2. Evolution des techniques d'assemblage [4]

Glossaire: THMT = Through Hole Mounted Technology; SMT = Surface Mounted Technology; QFP = Quad Flat Package; TSOP = Thin Small Outline Package; BGA = Ball Grid Array; PBGA = Plastic BGA; CSP = Chip Scale Package; FCBGA = Flip chip BGA; MCMBGA = MultiChip BGA; SIP = System On Package

III. TP de microassemblages en BUT 3

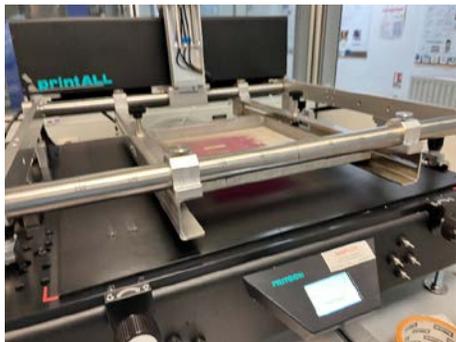
Depuis la création de la licence Professionnelle Chargés d'affaires en ingénierie électronique et microélectronique (LPro CAFIEM) et cette année avec le BUT à l'IUT GEII, des innovations pédagogiques ont toujours été recherchées pour être en phase avec les autres enseignements et avec les avancées technologiques de l'industrie électronique. Citons par exemple le TP jauge de déformation /électronique de conditionnement proposé à la LPro CAFIEM [5] et qui avait permis de former les étudiants à la fois sur le niveau 2 d'assemblage (report de CMS sur carte) mais aussi sur l'intégration par impression sérigraphique d'une jauge résistive.

Ces enseignements de microassemblage font partie du parcours électronique et systèmes embarqués (ESE) du BUT GEII de Bordeaux. Pour cet enseignement, les travaux pratiques (TP) de microassemblage premier niveau, avec le report d'une puce dans un boîtier ou sur une carte (figure 3) ont été maintenus. En effet, les étudiants de BUT maîtrisent déjà le 2Nd niveau d'assemblage puisqu'ils fabriquent déjà pendant leurs cursus des cartes de circuit imprimé (« PCB ») avec report de composants montés en surface et refusion. Mais ils ne connaissent pas l'environnement de travail salle blanche et les équipements semi-industriels tels que les microcableuses par ultrasons, la refusion par phase vapeur ou encore la sérigraphieuse pour l'impression de pistes (figure 4). Le second TP porte quant à lui sur l'impression d'une antenne sur substrat souple plastique ou papier pour capteur RFID.



(image d'après [3])

Fig.3. Niveau 1 de packaging illustré avec l'assemblage de la puce sur un substrat ou dans un fond de boîtier ; à droite l'illustration du TP assemblage redresseur du BUT3



a)



b)

Fig.4. Photos d'équipements de la salle blanche IMS a) Sérigraphieuse, b) Microcableuse

TP redresseur

Pour ce premier TP, un redresseur type Pont de Graëtz est fabriqué (figure 5). Ce TP est le même que celui qui était proposé à la LPRO CAFIEM de l'IUT GEII [6]. Les étapes réalisées par les étudiants sont : 1/ Impression du joint de brasure par sérigraphie (Crème à braser sans plomb à base d'étain, argent et cuivre) 2/ Report de la diode de puissance avec une machine « pick and place » 3/ Etape de refusion en phase vapeur à 230°C 4/ Câblage ultrasonique de fils d'aluminium de diamètre $\approx 300\mu\text{m}$ 5/ Test du circuit avec résistance de charge. Ce test avec de fortes puissances permet d'illustrer la problématique de dissipation de chaleur, et de mettre en évidence les choix des matériaux dans les assemblages pour réduire la résistance thermique.

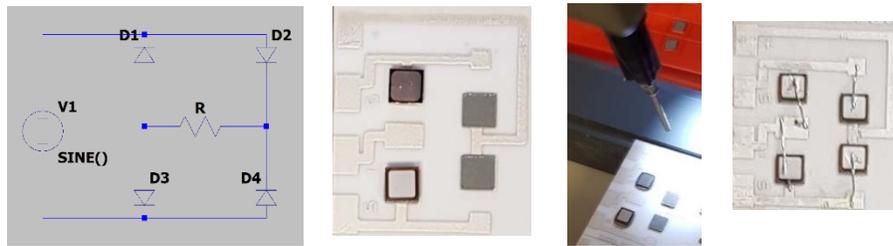


Fig.5. Schéma du redresseur type Pont de Graëtz et étapes de fabrication (dépôt de crème à braser, placement des diodes et câblage après refusion)

TP antenne

Le second TP proposé dénommé TP antenne propose la fabrication d'une antenne sur un substrat flexible PET (poly(téréphtalate d'éthylène)) ou Polyimide (Kapton ©). Cette antenne est un élément d'un futur capteur RFID qui, avec la puce RFID permettrait de communiquer sans fil avec l'émetteur-récepteur. Pour cette première génération de TP, seule l'antenne est fabriquée par sérigraphie puis caractérisée à l'aide d'un analyseur de réseau (Vector Network Analyzer).

Les étudiants voient dans un premier temps les étapes de fabrication de l'écran par photolithographie qui servira ensuite à l'impression du motif sur le substrat flexible : 1/ dépôt de l'émulsion photosensible sur le maillage de l'écran ; 2/ insolation UV de l'émulsion avec le photomasque 3/ développement de la résine (figure 6).

Une fois l'écran de sérigraphie préparé, le motif peut être imprimé par sérigraphie : une raclette vient cisailer l'encre qui passe à travers les mailles de l'écran, le motif de l'écran se retrouve alors reproduit sur le support choisi, un substrat flexible dans notre cas. L'encre utilisée pour l'antenne est une encre conductrice polymère à base d'argent et d'époxy (Ferro 1901-SD). Cette dernière a été sélectionnée pour sa facilité de manipulation, avec une bonne tenue dans le temps sur un écran de sérigraphie. Aussi, elle offre la possibilité de travailler à différentes températures de polymérisation (« curing » température). Pour un substrat comme le polyimide (Kapton©), la température sera celle préconisée dans la documentation technique, soit 120°C, 20-30minutes (variable selon l'épaisseur du dépôt). Pour un substrat ayant une température de transition vitreuse (Tg) plus basse, la température sera abaissée à 60°C avec une durée supérieure (1h-2h), (figure 7).

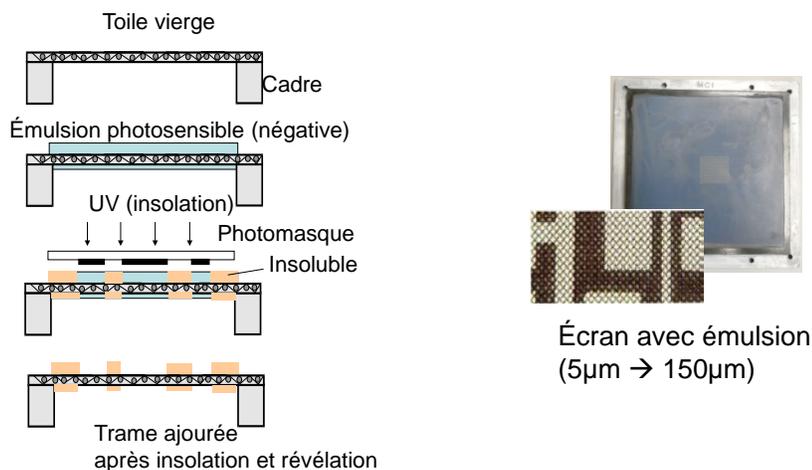


Fig.6. Étapes de fabrication d'un écran de sérigraphie

Substrat	Température de transition vitreuse Tg (°C)	Température max d'utilisation (°C)
PET	62	120
PEN	125	160
PI	360	300
Papier	-	120 -220

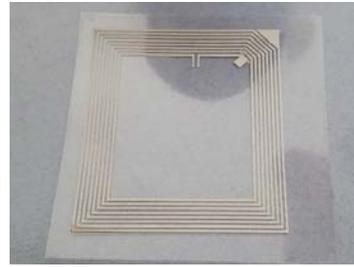


Fig.7. Propriétés des substrats pouvant être utilisés pour imprimer une antenne. A droite, antenne imprimée sur PET (PET = poly(téréphtalate d'éthylène, PEN = poly(naphtalate d'éthylène, PI = Polyimide (kapton©)

IV. Formation disciplinaire pour les doctorants des EDOC Sciences Pour l'Ingénieur et Sciences Chimiques

La formation proposée Automne 2022 s'intitule « Assemblages en microélectronique : du choix des matériaux aux techniques d'intégration des composants ». Il s'agit de sensibiliser les participants aux exigences de l'industrie électronique (« Smaller, Lighter, Faster, Cheaper »), aux contraintes technologiques et aux choix des matériaux pour des assemblages performants et fiables. Pour cette formation à la fois théorique et pratique, l'accent a été mis sur les points suivants : **1/** Techniques d'impression pour l'électronique et formulation d'encres **2/** Notions sur les matériaux pour l'électronique (support d'interconnexions composites, céramiques ou métalliques, pistes conductrices, joints d'assemblage) et les boîtiers (« packaging ») **3/** Contraintes associées aux choix des matériaux et procédés d'assemblage **4/** Techniques de report des composants (brasage, collage, frittage) et de connexion (câblage filaire) **5/** Techniques d'impression pour les dépôts de couches en microélectronique (colle, brasure ou piste conductrice).

Pour mettre en pratique et illustrer les 6 heures de cours suivies dans un premier temps, 12 heures de travaux pratiques de 4h sont ensuite proposées aux doctorants. Ceux-ci se sont déroulés au Laboratoire IMS, pour la plupart en salle blanche et se divisent en 3 TP :

- TP1 : Techniques d'impression avec préparation d'écrans de sérigraphie (figure 6), formulation d'encre avec un mélangeur tri-cylindre (figure 8) et impression
- TP2 : Premier niveau d'assemblage : circuit redresseur de puissance sur substrat céramique, alumine. Le TP est identique à celui proposé au BUT, et décrit partie III « TP redresseur ».
- TP3 : Second niveau d'assemblage : Circuit chenillard sur substrat PCB (Printed Circuit Board epoxy/verre), figure 9.

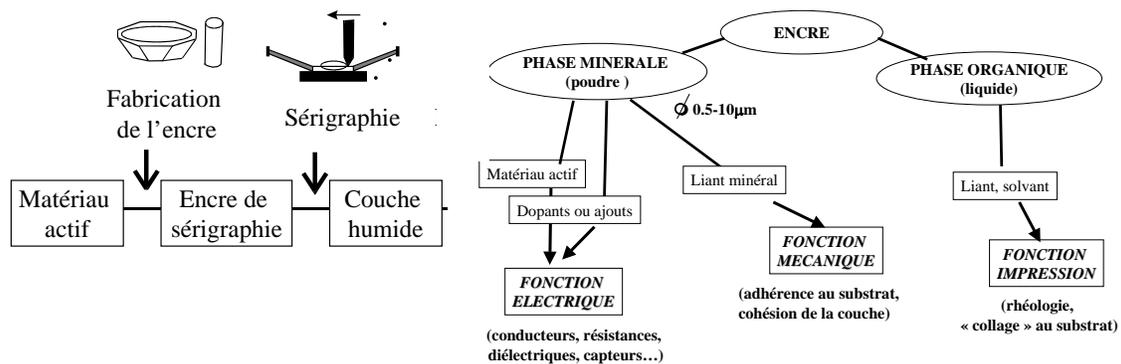


Fig.8. Fabrication d'une encre de sérigraphie

Désignation	Boîtier	Quantité	Dénomination sur schéma
Transistor MMBT2222A	SOT-23	4	T1 à T4
Led rouge QTLP650C-2	1206	2	D1 et D2
Led verte QTLP650C-3	1206	1	D3
Led jaune QTLP650C-4	1206	1	D4
4 portes non ou à 2 entrées CD4001BCM	SO-14	1	-
Compteur / diviseur par 10 HEF4017B	SO-16	1	-
Résistance 470 Ω	1206	1	R2
Résistance 470 kΩ	1206	1	R1
Condensateur céramique 220 nF, 63/50 volts	1206	1	C1
Condensateur tantale 10 μF, 16V	B	1	C (polarisé)
Coupleur pile PP3		1	-
Pile 9 V type PP3		1	-

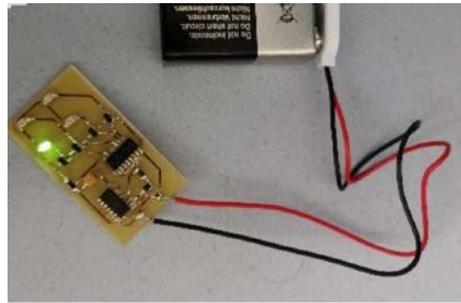


Fig.9. TP 2nd niveau d'assemblage avec la fabrication d'un chenillard

V. Conclusion et perspectives

Un enseignement autour de l'assemblage a été pour la première fois proposé aux étudiants de BUT3, parcours ESE. Quatre heures de cours permettent de décrire les évolutions technologiques en « packaging » avec notamment « le more than more » illustré avec les assemblages 3D. À ce cours, sont associés deux TPs, l'un sur le niveau d'assemblage 1^{er} niveau avec une fabrication d'un redresseur, le second TP, avec une antenne tout imprimée par sérigraphie sur substrat flexible. Pour ce TP, l'objectif in-fine sera de réaliser un capteur flexible RFID qui exploiterait les interactions entre l'antenne et l'environnement entourant l'antenne. Pour les enseignements niveau doctorat, en complément des cours, la mise en pratique avec 3 TP, les 2 premiers d'assemblage 1^{er} niveau (puce dans boîtier) et 2nd niveau (boîtier sur carte) et le troisième sur les techniques d'impression en électronique ont été fortement appréciés à la fois par les étudiants et par les 2 écoles doctorales SPI et sciences chimiques. Pour cet enseignement, dès l'an prochain, la formation sera plus interdisciplinaire puisque, avec la collaboration de collègues de chimie et mécanique, un TP chimie (formulation d'une encre tout organique de PEDOT : PSS) et un TP mécanique (simulation thermomécanique des assemblages) seront inclus à la formation.

Remerciements

Accompagnement du pôle PCB-CNFM pour le financement d'un stagiaire étudiant Master 1 ISC, Clément Dufossé, qui a participé à la conception et fabrication des premiers prototypes d'antennes. Accueil dans la plateforme assemblage de l'IMS.

Références

1. <https://ed-spi.u-bordeaux.fr/Formations/Formations-disciplinaires> (date consultation 19/10/23)
2. <https://fr.statista.com/statistiques/561282/revenus-marche-objets-connectes-monde/> (date consultation 19/10/23).
3. Procédés de packaging et d'interconnexion de composants électroniques, Gilles Poupon, Techniques de l'ingénieur, Février 2023.
4. <https://www.electronics-cooling.com/2012/09/update-on-jedec-thermal-standards/> (date consultaion 17/11/2023)
5. Vers l'électronique imprimée à l'IMS Bordeaux - plateforme technologique TAMIS (Technologies Alternatives aux Microsystèmes Silicium, J3eA Volume 14, 2015 JPCNFM 2014 – 13e journées pédagogiques du CNFM.
6. Procédé de fabrication d'un circuit redresseur de puissance : de la fabrication de diodes Silicium à leur assemblage sur substrat métallisé d'alumine, J3eA Volume 21, 2022, JPCNFM 2021 – 16e journées pédagogiques du CNFM.

Fabrication et mise en oeuvre de dispositifs microfluidiques pour l'étude des mécanismes de dynamique des fluides à l'échelle micrométrique

P. Duru^{a,c}, O. Liot^{a,b,c}, A. Chroudi^c, L. Malaquin^b, P. Joseph^b, C. Thibault^{b,d}, F. Gessinn^{d,e}, M. Respaud^{d,e,f}

^a Institut de Mécanique des Fluides de Toulouse (IMFT), Toulouse, France

^b Laboratoire d'analyse et d'architecture des systèmes (LAAS-CNRS), Toulouse, France

^c École Nationale Supérieure d'Électrotechnique, d'Électronique, d'Informatique, d'Hydraulique et des Télécommunications (ENSEEIH), Toulouse, France

^d Institut National des Sciences Appliquées (INSA), Toulouse, France,

^e AIME, Pôle CNFM de Toulouse, Toulouse, France

^f Centre d'Elaboration des Matériaux et d'Études Structurales, CEMES-CNRS, Toulouse, France

Contact email : micro.el@aime-toulouse.fr, respaud@insa-toulouse.fr

Depuis 6 ans, l'Atelier Interuniversitaire de Micro-nano Electronique (AIME – Pôle CNFM Toulouse) met en place une plateforme pédagogique de microfluidique, dédiée à l'étude du comportement des fluides dans des micro-canaux et destinée aux étudiants de niveau Master/Ingénieur, ou plus (doctorants, formation continue,...). Plusieurs modules de formation ont été créés afin de répondre aux besoins spécifiques des équipes pédagogiques : (i) les méthodes de fabrication des dispositifs en PDMS, souvent empruntées à la microélectronique, (ii) l'instrumentation pour la mise en oeuvre et l'étude des puces microfluidiques, (iii) des montages spécifiques afin d'illustrer les notions fondamentales sur les écoulements des fluides (convection/diffusion, écoulement de Poiseuille, électro-osmose, génération de gouttes) aussi bien sur les aspects expérimentaux que théoriques avec des simulations multiphysiques. La flexibilité et l'organisation des modules permet d'envisager des modes d'enseignement classique ou bien de type apprentissage par projet.

I. Introduction

La microfluidique est une discipline fortement émergente à l'interface entre les microtechnologies et la dynamique des fluides et qui possède des applications tant dans la biologie, la médecine, les procédés de synthèse que l'analyse environnementale (1). Dans de nombreux cas, les composants miniaturisés peuvent remplacer une instrumentation encombrante et coûteuse en permettant une manipulation en parallèle sur des échantillons d'analyse et de réactif de très faibles volumes. Plusieurs communautés sont impliquées dans le développement de cette thématique. D'abord la communauté des technologues, pour la fabrication, les communautés travaillant sur la mécanique des fluides pour la

compréhension des modes d'écoulement à l'échelle micrométrique, et les communautés des biologistes, médecins, procédés, ... pour les applications.

Afin de permettre aux différentes communautés d'étudiants de se familiariser avec cette thématique, nous avons développé plusieurs briques/modules d'enseignement, que l'équipe pédagogique peut assembler et cadencer en fonction de ses objectifs. Nous présentons ci-après dans un premier temps les modules techniques comme la microfabrication de puce, et l'instrumentation nécessaire à la mise en oeuvre des puces et leur exploitation. Nous présentons ensuite les différentes applications, permettant d'illustrer les phénomènes de convection / diffusion, d'écoulement de Poiseuille, d'électro-osmose, et de génération de gouttes dans un milieu diphasé. Sur ces aspects, les modules intègrent à la fois des aspects expérimentaux et théoriques au travers de simulation multiphysique. Les équipes pédagogiques peuvent cadencer leurs formations en intégrant tout ou partie de ces différents modules en fonction de l'objectif pédagogique recherché, adapter leur mode d'enseignement, classique ou par apprentissage par projet.

II. Microfabrication

Plusieurs approches peuvent être utilisées pour la réalisation de puces microfluidiques. Etant donné nos objectifs, nous avons recherché des solutions faciles à mettre en oeuvre, et robustes, qui permettent des observations par les techniques de microscopie optique, avec des injections par des méthodes simples. Les puces les plus communément utilisées sont réalisées à l'aide d'un polymère thermoréticulable, le PDMS (PolyDiMéthylSiloxane), structuré dans un moule, puis collé de manière étanche sur une lame de verre de microscope.

1. Le PDMS

Ce matériau, composé d'une base polymère et d'un agent réticulant, a été choisi en raison de ses nombreuses propriétés : faible coût d'utilisation, facilité de moulage, réticulation thermo-contrôlée, excellente réplication des reliefs même aux faibles dimensions, absence de fluorescence et transparence optique pour l'observation du contenu des canaux. Dans notre cas, nous avons opté pour le produit Sylgard 184 (DOW Corning).

2. Les moules

Pour des raisons de proximité avec les centrales de technologie de l'AIME et du LAAS, nous avons choisi d'utiliser les moyens traditionnels de la microélectronique pour fabriquer les différents modèles de moules nécessaires selon l'expérience microfluidique réalisée : puce en Y ou en serpent pour la convection/diffusion (figure 1), canaux linéaires pour la vélocimétrie, puce à cisaillement hydrodynamique pour la génération de gouttes.



Fig. 1 : Exemples de design de puces microfluidiques à canaux millimétriques.

Plusieurs solutions de fabrication ont été testées :

- usinage mécanique de blocs d'aluminium : le passage de la fraise de la machine à commande numérique laisse des marques dans le matériau et ne permet pas d'obtenir une surface de canal parfaitement lisse, ce qui altère l'observation des phénomènes fluidiques ;

- lithographie optique des géométries sur un wafer de silicium suivi d'une gravure ionique réactive : avec l'équipement de l'AIME, la profondeur de gravure maximale atteignable est trop faible ($\sim 5\mu\text{m}$) pour permettre d'obtenir des canaux "visibles" et exploitables dans le cadre de travaux pratiques ;

- lithographie optique d'une résine photosensible SU-8 3050 (épaisseur $50\mu\text{m}$) : cette résine négative permet d'obtenir une excellente reproduction des motifs de petites dimensions mais sa mise en œuvre est longue (temps de recuit pré- et post-insolation, temps de développement), fastidieuse et, de fait difficilement compatible avec la durée allouée pour les stages étudiants. Dans le futur, nous souhaitons tester une approche alternative par le procédé de report de film sec de SU-8 par laminage.

- impression 3D par stéréolithographie : cette technologie, disponible au LAAS, ne nécessite pas la fabrication préalable d'un masque de photolithographie. L'écriture du moule dans la résine est directe, ce qui permet de s'affranchir totalement de l'utilisation des moyens lourds et onéreux de la microélectronique et, ainsi, de réduire les coûts et les temps de fabrication des dispositifs. Un post-traitement thermique (complété par une exposition aux UV) du moule est nécessaire après impression, pour permettre une réticulation complète du PDMS et un démoulage facile.

3. Le protocole

- préparation du PDMS bi-composant : pesée polymère+réticulant (entre 10 pour 1 pour un mélange stoechiométrique et 5 pour 1 pour moduler la rigidité matériau), mélange, dégazage sous vide

- traitement anti-adhérence du moule (silanisation)

- coulage du PDMS dans le moule (dégazage supplémentaire si nécessaire)

- réticulation à l'étuve (respect des recommandations température/durée du fabricant)

- démoulage

- perçage des entrées/sorties des canaux de la puce à l'aide d'un "puncher" de biopsie de diamètre approprié aux tubulures de raccordement

- fonctionnalisation des surfaces du PDMS et de la lame de verre par plasma air ou oxygène suivi éventuellement d'une silanisation (Cf Section III - MicroFluïdique de Goutte)

- collage du PDMS sur une lame en verre

La puce est ainsi prête à être raccordée aux réservoirs de fluides.

III. Instrumentation

Pour la mise en œuvre des puces, la circulation des fluides est régulée avec un matériel FLUIGENT MFCS-EZ (compresseurs, contrôleurs de pression 1 canal et 4 canaux, gamme de pressions entre 350 et 1000 mbar).

L'observation des phénomènes microfluidiques dans les puces est réalisée à l'aide de caméras USB DINO-LITE : un modèle à lumière blanche AM7013MTL (5 Mpx) et un modèle à lumière fluorescente AM4115T-GFBW (1,3 Mpx – GFP/FITC excitation 480nm – émission 510nm). Elles permettent pour un faible coût une résolution spatiale de l'ordre de la dizaine de microns, pour un champ d'observation millimétrique. Une seconde solution nécessite l'utilisation d'un microscope droit, ici un *Nikon Eclipse 55i* doté d'objectifs de grossissement 10x, 20x, équipé d'une caméra de visualisation *Bassler ace A2440-75um* et d'une source de lumière monochromatique et de filtres optiques pour l'observation en fluorescence.

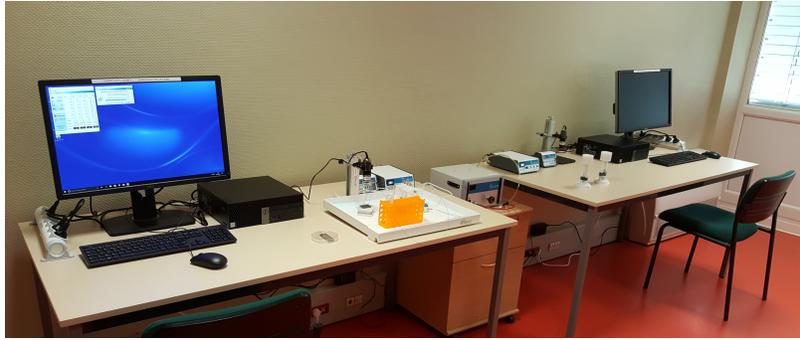


Fig.2 : Bancs de caractérisations des puces microfluidiques.

Les fluides utilisés sont adaptés en fonction des applications.

IV. Convection - Diffusion

L'objectif est de présenter les mécanismes d'écoulement au sein d'un canal microfluidique. L'écoulement est laminaire, sans turbulence, car le nombre de Reynolds (rapport forces inertielles / forces de viscosité) γ est inférieur à 1. Cela a pour conséquence le fait que le champ de vitesse dans un microcanal de géométrie simple peut être calculé analytiquement, et que le mélange entre deux fluides se fait uniquement par diffusion. Une géométrie simple de canal en Y permet d'illustrer cette notion d'écoulement laminaire, et de caractériser le mélange par diffusion entre plusieurs fluides s'écoulant côte à côte dans un canal (figure 3a).

Deux de couleurs différentes, ou bien fluorescents, sont injectés dans une puce en Y (connectique fluidique, contrôleur de pression, observation par caméra à fort grossissement). Le profil latéral de concentration des espèces est caractérisé, principalement de façon qualitative (figure 3b). La répartition des flux et des espèces est simulée avec un logiciel de simulation multiphysique (Comsol MultiPhysics) pour une configuration identique à celle des expériences (figure 3c). Le prochain objectif est la mise en oeuvre de nouveaux designs afin de permettre une mesure quantitative de la dépendance de la largeur de diffusion avec la distance à l'entrée, et ainsi obtenus des profils directement comparables avec les simulations.

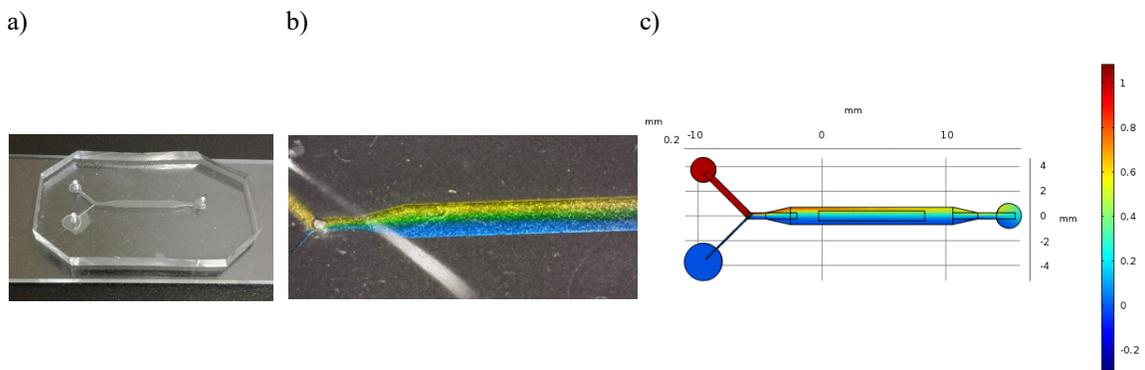
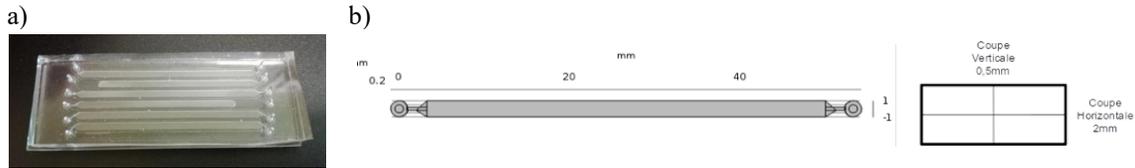


Fig.3 : (a) Puce Y en PDMS collée sur une lame de verre (les dimensions sont indiquées en c),
 (b) visualisation de la diffusion de 2 fluides colorés dans le canal,
 (c) simulation multiphysique du phénomène d'écoulement (COMSOL Multiphysics).

V. Ecoulement de Poiseuille

L'objectif est l'étude du profil de vitesse de Poiseuille (vitesse d'écoulement) établi dans un microcanal de section rectangulaire (2). Des puces (Figure 4) avec des canaux comparables à ceux utilisées pour la mesure de mélange/diffusion (§IV) sont utilisées pour mettre en place des expériences de métrologie de vitesse de fluides (vélocimétrie).

Fig.4 : (a) Puce en PDMS collée sur une lame de verre, (b) Dimensions du canal.



Le fluide contient des microsphères fluorescentes en polystyrène THERMO SCIENTIFIC de diamètres variés ($5\mu\text{m}$ à $15\mu\text{m}$). Il s'agit de caractériser par analyse d'images les distributions de vitesses. Cela peut être fait par corrélation d'images, on parle alors de Particle Image Velocimetry -PIV- ; ou par suivi de particules, on parle alors de Particle Tracking Velocimetry -PTV- (Figure 5a). En pratique, cette expérience permet de faire découvrir une technique optique de vélocimétrie très classique en mécanique des fluides (ici la PTV), et de mettre en avant ses spécificités à la microéchelle. Il a aussi l'avantage d'illustrer les notions vues en cours : écoulement laminaire, proportionnalité entre différence de pression et vitesse d'écoulement, répartition spatiale du champ de vitesse pour un écoulement de Poiseuille contrôlé en pression. La comparaison avec des calculs menés à l'aide de Comsol est également exploitée (Figure 5c)

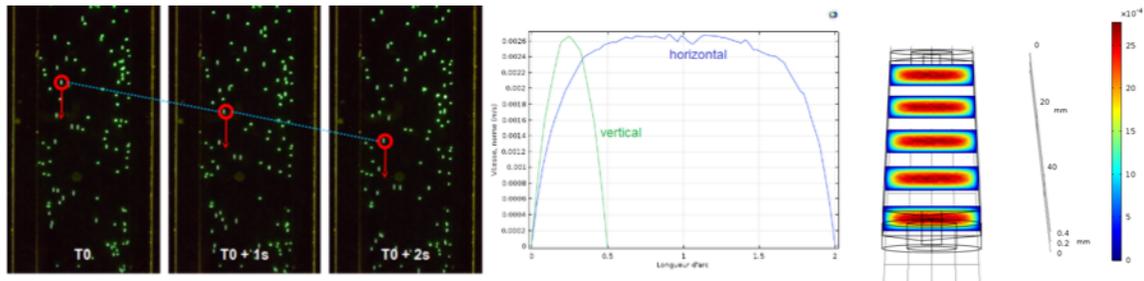


Fig.5 : (a) Identification et suivi d'une particule fluorescente, (b) Profil des vitesses dans la section du canal (profil horizontal et vertical), (c) profil des vitesses simulées pour l'écoulement de Poiseuille réalisées avec le logiciel COMSOL (les vitesses sont indiquées en m/s).

VI. Electro-osmose

L'électroosmose est l'écoulement qui se met en place lorsqu'un canal microfluidique est plongé dans un champ électrique colinéaire à celui-ci. Il s'agit d'un transport couplé (une différence de potentiel engendre un débit de fluide), contrairement à l'écoulement de Poiseuille qui est un transport direct (une différence de pression entraîne un débit de fluide). L'origine de ce couplage se trouve dans les charges de surface portées par les parois du

canal. Cela engendre l'apparition d'une double couche de contre-ions au voisinage de celles-ci. Lorsqu'un champ électrique est appliqué, le déplacement de ces couches engendre, par frottement visqueux, un écoulement à profil plat (ou bouchon) dans le canal (voir Figure 6) (3).

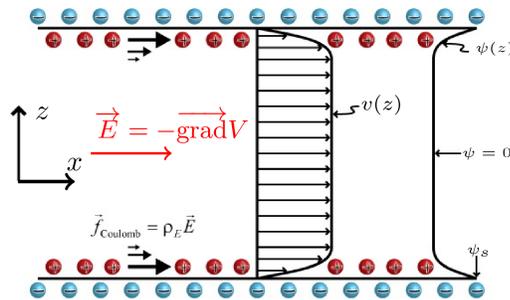


Fig.6 : Schéma de principe d'un écoulement électro-osmotique.

Les puces utilisées pour visualiser un écoulement électro-osmotique permettent d'ajouter une différence de potentiel électrique (4). Pour cela, on utilise un canal microfluidique droit dans lequel deux trous faits dans le PDMS permettent d'insérer des électrodes d'argent passivées à l'eau de javel, distantes de 1cm (voir le moule Figure 7a). L'étanchéité est assurée à l'aide d'un point de colle. Les électrodes sont alimentées par un générateur de tension continue (0-30 V). La puce est reliée à un contrôleur de pression afin d'éviter tout écoulement d'origine hydrostatique. Une solution saline (KCl) dans laquelle sont mises en suspension des billes de latex fluorescentes (diamètre 1 à 5 μm) est ensuite injectée dans le dispositif. Du glycérol peut être ajouté à la préparation afin d'éviter la sédimentation des particules (5). Le tout est ensuite placé sous le microscope *Nikon Eclipse 55i*, permettant une visualisation de l'écoulement et une quantification de la vitesse de l'écoulement par PTV, en utilisant un module dédié du logiciel Fiji (Figure 7b).

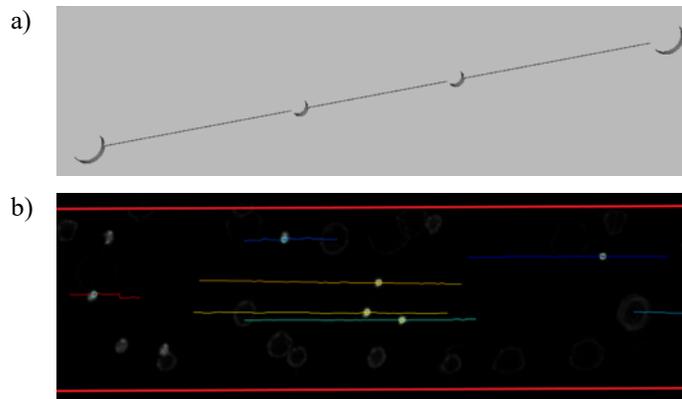


Fig.7 : (a) Modélisation 3D du moule utilisé pour la conception des puces. Les cylindres situés aux extrémités accueillent la connectique fluide tandis que les deux au centre accueillent les électrodes (distance 1cm). La visualisation se fait au centre du canal, section carrée de 150 μm . (b) Exemple de visualisation de particules de latex fluorescentes sous écoulement électro-osmotique. Les contours du canal sont représentés en rouge. Les traits de couleur représentent quelques trajectoires.

Plusieurs types de mesures sont alors accessibles : forme du profil de vitesse, dépendance (linéaire) avec le champ électrique appliqué, dépendance avec le pH ou la concentration en KCl (qui influent sur les charges de surface), dépendance avec la viscosité du fluide.

VII. Génération de gouttes

La microfluidique de goutte ou microfluidique biphasique décrit le comportement et la manipulation de volumes discrets de fluides en phases non miscibles avec un faible nombre de Reynolds et des régimes d'écoulement laminaire. Cette configuration est très largement utilisée dans des applications d'échantillonnage, d'analyse, de tri de par sa capacité à manipuler un très grand nombre d'échantillons individuels dans des volumes restreints du microlitre au picolitre. La figure 8 décrit une géométrie classique permettant la génération de goutte par cisaillement d'une huile fluorée par un flux de solution aqueuse. Cette géométrie en T a été décrite et utilisée par K. Langer *et al.* (6). L'intégration de canaux de type serpentin de faible section permet d'augmenter la résistance hydrodynamique sur les 3 entrées du système, l'entrée centrale permettant l'injection de la phase aqueuse, les deux canaux latéraux ceux de la phase porteuse (huile fluorée). Cette configuration est particulièrement avantageuse car elle permet de créer, par simple dépression générée par une pipette ou un système d'aspiration, un flux dans chacun des canaux dont les débits relatifs sont indépendants de la pression d'aspiration garantissant un volume de goutte constant. Cette application peut être facilement couplée à la manipulation de levures ou de bactéries à l'échelle de la cellule unique et la démonstration de mise en culture (dans une étuve simple à 26°C) pour une sélection clonale.



Fig.8 : (a) Détail de la puce (à gauche) et gouttes générées par dépression dans le canal (à droite).

VIII. Approches pédagogiques

Le développement de la plateforme de microfluidique au sein de l'Atelier Interuniversitaire de Micro-nano Electronique de Toulouse se justifie tout d'abord par la proximité des méthodes de fabrication entre microélectronique et microfluidique. La présence d'une salle blanche, de bancs expérimentaux dédiés à la microfluidique et de logiciels de simulation de type Comsol sur le même site permet d'envisager de travailler sur un large spectre d'approches. La liste des compétences accessibles par les étudiant.e.s peut-être décrite comme suit :

- Conception assistée par ordinateur 2D pour le design de masques utilisés en photolithographie ;
- Conception assistée par ordinateur 3D pour le design de moules imprimés par fabrication additive ;
- Fabrication de moules par photolithographie ;
- Fabrication de moules par impression 3D ;
- Fabrication de puces microfluidiques par moulage de PDMS ;
- Mise en place de la connectique nécessaire à l'interfaçage de puces microfluidiques ;
- Acquisition d'images de divers types d'écoulements microfluidiques ;
- Traitement d'images pour la vélocimétrie ;
- Analyse physique des données de vélocimétrie ;
- modélisation avec un logiciel de simulation multiphysique

La diversité des compétences accessibles permet de s'adresser à des publics variés, et pas nécessairement uniquement à des étudiant.e.s se formant à la mécanique des fluides. Des formations ont été adaptées pour les filières de génie des procédés et de génie biologique. Par ailleurs, la versatilité offerte par ces bancs de microfluidique et l'environnement autour permettent d'envisager de nombreuses approches pédagogiques, afin de s'adapter notamment au volume horaire disponible.

Il est ainsi possible de travailler sous forme de simples Travaux Pratiques à la demi-journée, en faisant préparer à l'avance par l'équipe technique et pédagogique les puces. Les étudiant.e.s se concentrent alors sur le montage du dispositif microfluidique, l'acquisition des données, leur traitement et leur analyse. Il est également possible de concentrer les enseignements sur les aspects microfabrication ou simulations numériques. L'environnement dédié à la microfluidique décrit ici s'insère également très bien dans une approche de type Apprentissage Par Projet. En partant d'une problématique donnée, la variété des expériences possibles permet aux étudiant.e.s d'imaginer leurs propres mesures, en concevant un design de puce dédié et en mettant en œuvre à la fois des méthodes de microfabrication, d'acquisition, de traitement et d'analyse adaptées. L'appui d'un outil de simulation numériques permet aux étudiant.e.s d'explorer des phénomènes non accessibles expérimentalement, comme par exemple les aspects tri-dimensionnels ou bien d'étendre numériquement la gamme de variation des paramètres de contrôle expérimentaux.

IX. Conclusion

Nous avons développé plusieurs modules de formation aux procédés de fabrication de puces microfluidiques, à l'instrumentation pour la mise en oeuvre et leur exploitation pour l'étude des mécanismes de diffusion/convection, électroosmose, génération de gouttes en milieu diphasiques, avec à la fois les aspects pratiques et expérimentaux et la simulation des phénomènes par des simulations multiphysiques. Ces modules peuvent être adaptés et cadencés selon les besoins des équipes pédagogiques. La prochaine étape consistera à développer de nouveaux modules avec des applications concrètes pour la biologie, les procédés, la médecine, ...

Remerciements

Les auteurs remercient le GIP-CNFM (Coordination Nationale de Formation en Micro-électronique et Nanotechnologies), les programmes IDEFI FINMINA ANR 2011 [1, 2]

IDEFI DEFI-DIVERSITES ANR 2011, le LABEX NEXT et l'EUR NANOX pour leurs contributions au financement de ces développements. P. Duru et O. Liot remercient le projet IDEFI DEFI Diversités (10) qui, par l'intermédiaire des Bonus Défi Diversités, a financé une part importante de ce projet.

Références

1. P. Tabeling, Introduction to microfluidics, *OUP Oxford*, (2005)
2. H. Bruus, Theoretical microfluidics, *OUP Oxford*, (2007)
3. R. Peng & D. Li, Electroosmotic flow in single PDMS nanochannels, *Nanoscale*, **8**, 24 (2016)
4. R. Sadr, M. Yoda, Z. Zheng & T.A. Conlisk, An experimental study of electro-osmotic flow in rectangular microchannels, *Journal of Fluid Mechanics*, **506** (2004)
5. A. Volk & C.J. Kähler, Density model for aqueous glycerol solutions, *Experiments in Fluids*, **59**, 5 (2018)
6. K. Langer et al., *Biomicrofluidics* 12, 044106 (2018); doi: 10.1063/1.5037795)
7. P. Perrenoud, Apprendre à l'école à travers des projets : pourquoi ? comment ?, *Université de Genève* (2002)
8. GIP-CNFM : Groupement d'Intérêt Public - Coordination Nationale pour la formation en Microélectronique et en nanotechnologies. *Website: <http://www.cnfm.fr>*
9. IDEFI-FINMINA : Initiative d'Excellence - Formation Innovante en Microélectronique et Nanotechnologies, ANR-11-IDFI-0017. *Website: <http://www.cnfm.fr/VersionFrancaise/actualites/FINMINA.html>*
10. IDEFI DEFI Diversités : Initiative d'Excellence en Formations Innovantes Déployer l'Excellence en Formations d'Ingénieurs par et pour les DIVERSITES, ANR-11-IDFI-0012, *Website : <https://www.univ-toulouse.fr/des-formations-pour-tous/idefi-defi-diversites>* (Accès 2021)

Evolution de la formation CMOS : vers un procédé sur plaquette unique

R.P. Tan^a, M. Caron^a, J-B. Lincelles^a, C. Rouabhi^a, C. Capello^a, J. Schaubert^a, F. Gessinn^a, J. Harmel^a, P.-F. Calmon^d, O. Bernal^{d,e}, H. Tap^{d,e}, M. Respaud^{a,b,c}

^a AIME et pôle CNFM de Toulouse, Université de Toulouse, INSA, 135 avenue de Rangueil, 31077 Toulouse, France

^b Département de Génie Physique, Université de Toulouse, INSA, 135 avenue de Rangueil, 31077 Toulouse, France

^cCEMES-CNRS, Université de Toulouse, Toulouse, France

^dLAAS-CNRS, Université de Toulouse, Toulouse, France

^eINP-ENSEEIH, Toulouse, France

Contact email : tan@insa-toulouse.fr

L'AIME propose depuis 2021 une formation axée sur la fabrication de composants CMOS en salle blanche. Cette formation permet aux étudiants de réaliser à façon des circuits intégrés analogiques qu'ils ont conçu et étudié au préalable par CAO. Nous présentons ici les dernières avancées concernant cet apprentissage innovant, et discuterons en particulier d'une proposition de procédé de CMOS classique, sur substrat unique, entièrement réalisé à l'AIME.

I. Introduction

La formation CMOS proposée actuellement à l'AIME repose sur une pédagogie active sous forme d'apprentissage par projet. Cela permet notamment aux étudiants (niveau master/ingénieur électronicien) d'aborder de multiples manières la réalisation d'AOP, de la conception (réalisée par CAO à l'aide d'outils tels que Silvaco, Layout,...), à la fabrication complète de leurs propres circuits personnalisés en salle blanche (du wafer de Si vierge à l'assemblage et les tests finaux des AOP). Bien que cette forme d'apprentissage présente de nombreux avantages, il laisse en contrepartie des degrés de liberté pouvant induire un faible taux de réussite du fonctionnement des composants, notamment au vu des nombreux moyens expérimentaux parfois lourds impliqués lors des multiples étapes du procédé de fabrication en salle blanche. Il devient alors nécessaire de simplifier ou de rajouter certaines étapes afin de guider les étudiants et d'améliorer le rendement de réussite de leurs circuits personnalisés.

II. Améliorations apportées

Le procédé CMOS actuellement proposé à l'AIME se déroule sur 2 semaines [1,2]. En résumé, un groupe d'étudiants réalise des transistors et des circuits (matrices de composants) de type N (NMOS sur une plaquette de type P) lors de la première semaine, tandis que la deuxième est dédiée à la fabrication de composants de type P (PMOS sur une plaquette de type N), réalisée par un second groupe d'étudiants. Le procédé de fabrication des transistors NMOS est identique à celui proposé conventionnellement à l'AIME et permet aux étudiants d'obtenir des MOSFET par diffusion thermique ou implantation ionique de phosphore. Le procédé PMOS quant à lui, développé récemment à l'AIME a été entièrement réalisé lors des premières sessions de cette formation par implantation ionique de bore (cf Fig.1A). A la fin de chaque semaine, des puces comprenant les circuits

personnalisés des étudiants (Fig.1B) sont assemblés sur boîtier individuels (type N puis P) pour finalement être montés sur labdec.

Après deux sessions de formation dispensées avec des étudiants de l'ENSEEIH, nous avons identifiés certains points d'améliorations. En effet, en cas d'obtention d'amplificateurs finaux non fonctionnels, il est difficile de discriminer la source directe des problèmes, pouvant à la fois provenir d'un problème de manipulation (rayure, gravure ...), techniques (appareillages, procédés...), ou de montage (tests électriques...). Nous avons donc procédé à différentes améliorations et de simplifications du procédé :

- Similairement au procédé NMOS, nous avons mis en place une technique de diffusion thermique pour le bore (par source solide). Cela permet de pallier à d'éventuels pannes ou dysfonctionnements de l'implanteur, et permet surtout d'obtenir de manière simplifiée des caissons dopés P
- Les designs des matrices de composants ont été simplifiés et comprennent un transistor discret « témoin » testé lors des tests électriques sur wafer pleine plaquette. Ceci nous assure à minima que cette puce comprenant le circuit personnalisé et qui sera découpée puis montée ne présente pas le défaut cité dans le point précédent.
- Un PCB dédié a été réalisé afin d'éviter les problèmes de montage sur les labdecs. En outre, il y est possible de tester chaque étage des amplificateurs de manière indépendante, que ce soit pour les types P ou N (cf Fig.1C).

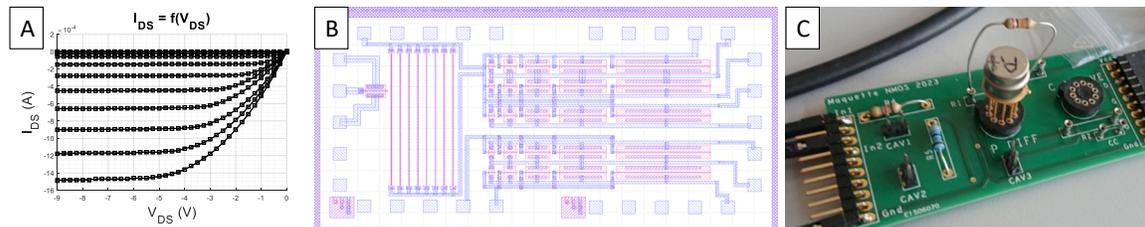


Fig.1. Modifications et améliorations apportées à la formation CMOS : A/ Caractéristiques $I(V_{DS})$ d'un PMOS obtenu par source solide ($V_G = [-9 \text{ V} : 0 \text{ V}]$) B/ matrice de composants destinés aux circuits étudiants personnalisés modifiée C/ PCB développé remplaçant l'association NMOS et PMOS sur labdec

III. Proposition d'évolution de la formation

La prochaine étape d'amélioration pédagogique est logiquement la fabrication de CMOS sur substrat unique. Elle présentera par ailleurs de nombreux avantages, notamment d'un point de vue pédagogique. Cela permettra en effet aux étudiants de fabriquer des composants plus proches des technologies conventionnelles et industrielles, mais aussi de fabriquer simultanément, cette fois, les deux types de transistors (P et N) sur une plaquette. Plusieurs verrous et contraintes sont à prendre en compte avant de mettre en place cette évolution :

- *Contraintes fonctionnelles et organisationnelles* : le procédé développé et proposé devra tenir sur deux semaines. Ceci impactera donc directement le design des composants, avec notamment le choix des équipements, techniques, disponibles à l'AIME, mais aussi le nombre de niveau de masquages etc...
- *Verrous technologiques* : les verrous technologiques majeurs auxquels nous nous confrontons concernent la gestion des dopages des différents caissons sources/drains N et P, mais aussi des caissons profonds (n-well) dans lesquels viendront se loger les PMOS, et ce, encore une fois avec les moyens disponibles en salle banche à l'AIME. En outre, le procédé sera développé à la fois par diffusion thermique et par

implantation ionique afin de proposer une solution dans le cas de la défaillance d'une de ces techniques de dopage.

Des tests préliminaires ont permis de lever un premier verrou avec l'obtention de caisson profondément dopés avec des zones diffusés thermiquement ($\sim 2.5 \mu\text{m}$). Deux voies principales ont été à ce jour choisies : une stratégie avec grille métal et l'autre en polysilicium. La première approche est plus simple et bénéficie d'un niveau de masquage en moins (5 au total), et sera envisagée dans le cas de contrainte temporelle importante. La seconde, plus conventionnelle, est réalisée sur 6 niveaux de masquages et sera privilégiée notamment pour l'auto-alignement de la grille. Dans les deux cas, une alternative aux procédés d'implantation à travers des résines ou de dépôts d'oxyde jouant le rôle de barrières de diffusion consiste à procéder à des oxydations des zones successivement diffusées. Le développement du procédé, et en particulier les conditions de chaque étape thermique se fera pas à pas avec des simulations systématiques conduites en parallèle avec la CAO afin d'ajuster et d'optimiser au mieux les paramètres expérimentaux (profil/profondeur/concentration des zones dopées, durées des traitement thermiques redistribution ...).

Remerciements

Ce travail a été réalisé avec le soutien du GIP CNFM.

Références

1. H. Tap et al., « *Du silicium au circuit CMOS. Pédagogie active par Apprentissage Par Projet* », 16è JPCNFM (2021)
2. H. Tap et al. J3eA. [10.1051/j3ea/20191019](https://doi.org/10.1051/j3ea/20191019) (2019)

Découverte et Prise en Main des Etapes de base de la Microélectronique par la Réalisation de Composants Microélectroniques en Salle Blanche

O. de Sagazan, C. Lebreton, E. Jacques, L. Pichon

IETR et pôle CNFM de Rennes (CCMO), Université de Rennes, Rennes, France

Contact email : olivier.de-sagazan@univ-rennes.fr

Depuis plus de 30 ans le CCMO propose des formations aux techniques de fabrication en salle blanche. L'actualité récentes à remis en lumière l'importance stratégiques de ces technologies de micro-fabrications. A travers un TP de 4 jours, le CCMO permet à des élèves de second cycle, de découvrir l'univers de la fabrication des composants semiconducteurs ainsi que de leurs méthodes de tests électriques. Ainsi au bout de la formation les élèves auront réalisé et testé des transistors de quelques microns, des diodes et même des circuits logiques simples.

I. Introduction

La pandémie de ces dernières années a mis en lumière la très forte dépendance des états européens vis-à-vis de l'industrie des semiconducteurs suite à une délocalisation massive de cette industrie vers l'Asie. Cette délocalisation, qui a eu pour conséquence une raréfaction dans l'offre de formation de l'enseignement supérieur français en technologies de fabrication des composants électroniques, redevient un enjeu stratégique non seulement en France mais aussi niveau européen. En effet il apparait que la demande en techniciens supérieurs et ingénieurs, formés aux techniques de micro-fabrication en salle blanche, augmente drastiquement pour répondre aux besoins de la filière de la microélectronique, mais aussi de l'optique ou plus généralement de la physique des matériaux.

Acteur de la formation en microélectronique depuis plus de 40 ans, le CCMO [1] a récemment renouvelé ses offres de formations et plus spécialement celles ayant attiré à la réalisation de composants en filière silicium. A travers un nouveau jeu de masques, les étudiants peuvent réaliser en quatre jours des diodes PN (à géométrie verticale, latérale), des diodes Schottky, des transistors MOS (à canal N ou P) ainsi que des circuits inverseurs ou des portes logiques simples. Le design des masques a été réalisé en fin 2021 et la mise en œuvre des premiers travaux pratiques pour des formations M2 a été réalisée en 2023.. Le design des masques comprend aussi des modules de tests qui permettent aux étudiants en formation d'effectuer des mesures complémentaires permettant de qualifier la qualité de leurs travaux.

II. Fabrication de transistor MOS sur Silicium

Le procédé de fabrication standard des composants microélectroniques est décrit figure 1. Cette fabrication s'appuie sur un procédé de fabrication à haute température utilisant des wafers de silicium Si (orienté $\langle 1.0.0 \rangle$) comme substrat. Selon le type de dopage choisi, les wafers accueillant le canal de conduction pourront être soit de type P ou N faiblement dopé avec une résistivité comprise entre 1 et 10 Ohm.cm. La fabrication à haute température sur silicium a été privilégiée pour réaliser des composants à relativement hautes performances, mais des variantes de masques permettent aussi de réaliser les transistors en technologie

couche minces (TFT) sur des substrat hôtes différents comme du verre ou même des polymères (PEN ou Kapton).

Procédé de fabrication

Dans un premier temps, après avoir été rapidement désoxydés par une solution diluée de HF puis rincés, les wafers sont oxydés à 1050°C en présence d'hydrogène et d'oxygène. Cette oxydation dite humide forme un oxyde d'environ 1µm d'épaisseur. Cette opération assez consommatrice en temps est effectuée avant l'arrivée des étudiants pour que ceux-ci puissent se concentrer sur les étapes suivantes plus intéressantes pédagogiquement.

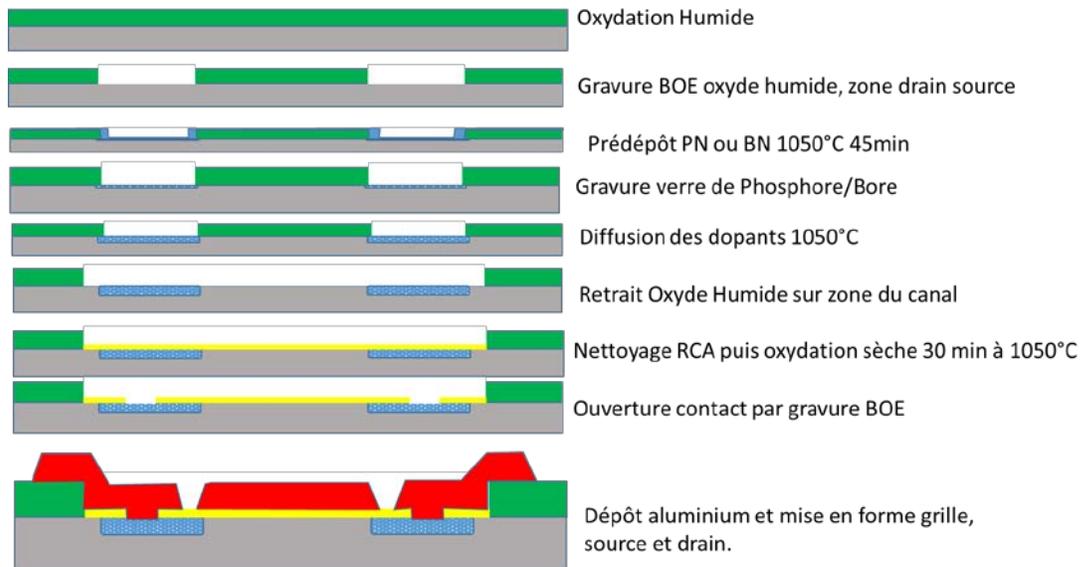


Fig.1. Description du procédé de fabrication à haute température des transistors MOS, débouchant sur la fabrication des drains/sources, puis du canal surmonté par un oxyde de grille, piloté par des contacts en aluminium. Ce procédé permettra aussi la création de tous les autres composants, à l'exception des diodes Shottky nécessitant un masque de lift off supplémentaire en fin de procédé

Cet oxyde humide sera ensuite gravé au BOE (Buffer Oxide Etching) après une première étape de photolithographie (Mask1) qui définira les zones à doper. Le dopage se fera par un pré-dépôt à 1050°C en utilisant des wafers de nitrure de bore (BN) ou nitrure de phosphore (PN) selon le dopage choisi. Après la gravure de l'oxyde ainsi créé en surface des plaques, les wafers sont à nouveau soumis à un traitement thermique pour faire diffuser les dopants. Une deuxième étape de photolithographie (Mask2) permet alors d'ouvrir la zone du canal en gravant l'oxyde humide. Ceci permet aux étudiants d'être confrontés à leur premier alignement. Un nettoyage RCA est ensuite réalisé sur les wafers en préparation d'une oxydation sèche accomplie dans la foulée là encore à 1050°C mais cette fois sans hydrogène. Cette étape permet de créer l'oxyde de grille qui mesure entre 80 et 100nm. Le Mask3 permet quant à lui d'ouvrir des contacts aux niveaux des sources et drain en gravant l'oxyde de grille au BOE pendant moins d'une minute. Le procédé s'achève par une évaporation sous vide d'aluminium liquéfié par effet joule. Le mask4, par un troisième alignement, définira la grille ainsi que les contacts de sources et drains comme on peut le voir sur la figure 2. La dernière étape consiste à recuire les wafers à 380°C dans un mélange dit « forming-gas » (H_2/N_2) afin d'améliorer la résistance de contact entre l'aluminium et le silicium. Cette résistance sera par la suite calculée par les étudiants lors de la phase des caractéristiques électriques.

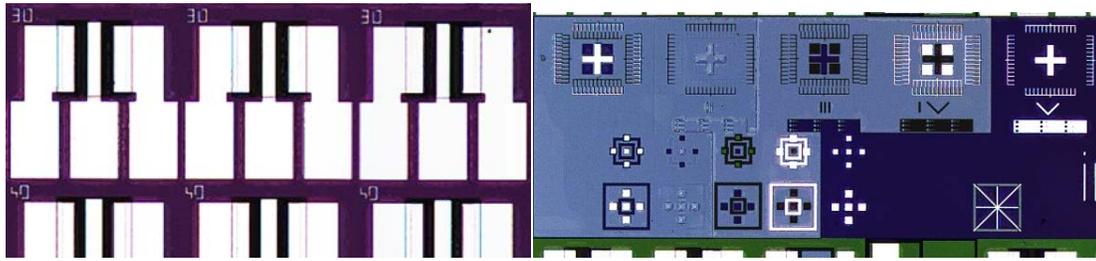


Fig.2. A gauche vue au microscope des transistors et de leurs plots de tests électriques de largeur de canal $W=200\mu\text{m}$ et une longueur L variant de 10 à $100\mu\text{m}$ ($L=30$ et $40\mu\text{m}$ sur la photo). A droite détail sur la zone des signaux d'alignements en fin de procédé

Tests électriques des transistors

Les tests électriques sont effectués sur une station sous pointes reliée à un analyseur de paramètres de type Agilent B1500. Les étudiants chargent eux-mêmes des programmes prédéfinis et se familiarisent ainsi avec la manipulation de micro-pointes de test.

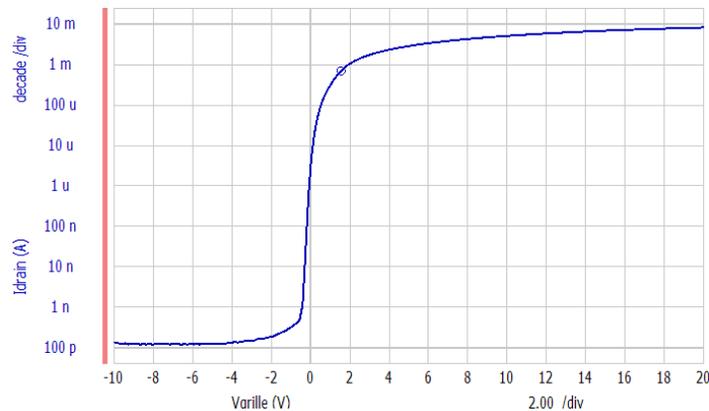


Fig.3. Caractéristique de transfert d'un transistor n-MOS W/L 200/10 μm en échelle log après recuit forming-gas.

Lors de la formation en salle blanche les étudiants sont amenés à tracer les courbes de transfert (fig.3) des transistors MOS mais aussi des caractéristiques de sortie. Des notions telles que, la tension de seuil, la transconductance, la pente sous le seuil ou encore le rapport I_{on}/I_{off} sont abordées et illustrées par la mesure directe sur les composants réalisés lors de la séance.

Tests électriques des inverseurs

Le design des masques prévoit aussi la fabrication d'un inverseur simple fait de deux transistors W/L 200/10 et 200/100 câblé en pseudo CMOS comme on peut le voir sur la figure 4. Les étudiants peuvent alors mesurer le gain statique de leur inverseur en traçant la courbe $V_{out}=f(V_{in})$. Les notions d'excursion, de fréquence de transition ainsi que la tension de déchet pourront être abordées à l'aide de ce montage. Enfin ce simple circuit permet de faire le lien entre une approche très physique de l'électronique des semi-conducteurs et la naissance des fonctions numériques booléennes.

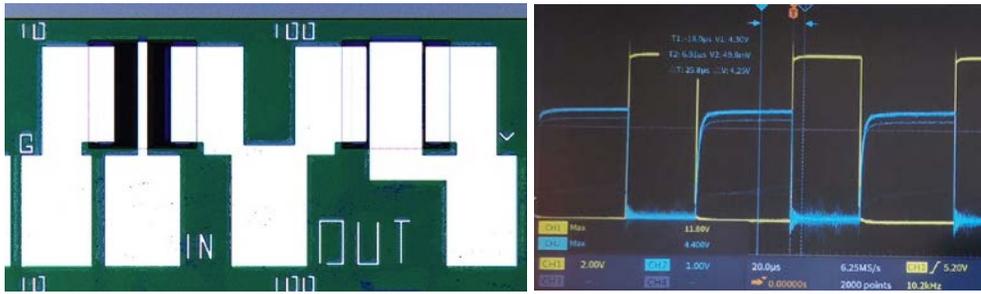


Fig.4. A gauche l'inverseur réalisé à l'aide de deux transistor MOS et ses quatre points de mesure (Ground In, Out et Vdd). A droite, observation de l'inversion sur un oscilloscope numérique branché sur la sortie Out.

Fabrication de diodes

Outre les transistors le procédé de fabrication permet la réalisation en même temps de diodes verticales, latérales ou bien de type Schottky.

Diode verticale

En polarisant le substrat par la face arrière et en utilisant le contact de drain/source des transistors, on peut réaliser une diode verticale qui ne nécessite que deux masques (mask1 et Mask4). Cette configuration simplifiée a de nombreux avantages. En effet, certaines formations ne disposent pas dans leur cursus de 4 jours à investir dans l'apprentissage de ces technologies de micro-fabrications. C'est pourquoi ce TP peut s'adapter facilement à la réalisation et la caractérisation électrique de diodes verticales sur une durée de 2 jours.

Les tests électriques de ces diodes se font après le recuit sous forming-gas et permettent de mesurer le courant de fuite inverse I_{off} et le courant passant I_{on} . La figure 5 montre les courbes I-V de telles diodes représentées en échelles linéaire et semi-logarithmique. Les programmes de tests sont là aussi prédéfinis et une aspiration sur le porte substrat permet de garantir un bon contact électrique. Une couche d'aluminium en face arrière peut aussi être ajoutée pour illustrer l'intérêt d'un contact ohmique aux bornes des deux pôles de la diode.

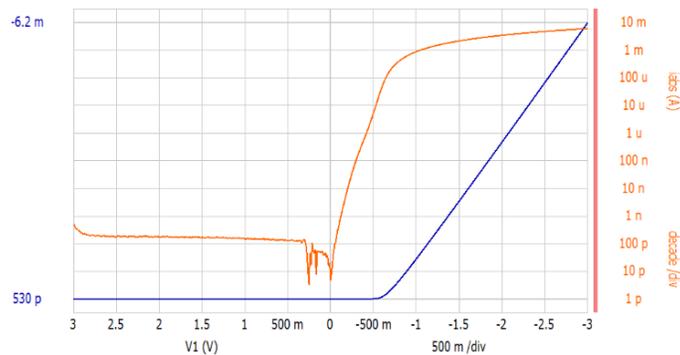


Fig.5. Caractérisation électrique d'une diode verticale en polarisant le substrat en face arrière et le contact de source /drain prévu pour les transistors.

Diode Schottky

Une dernière variante du design des masques propose aux étudiants de réaliser des diodes Schottky. Dans ce cas il faut utiliser un masque supplémentaire à la suite du procédé de fabrication des transistors qui permet de déposer et de mettre en forme par lift-off une couche de métal préalablement choisie, à savoir de nickel, d'or ou de platine. La diode est formée en déposant par évaporation à l'aide d'un canon à électron (EBD) directement sur

le silicium non dopé du substrat le métal choisi selon ses travaux de sortie. Dans le cas présent l'or est utilisé et directement déposé sur la résine mise en forme par le mask5.

Après dissolution dans l'acétone de la résine il ne reste que le plot d'or en contact direct avec le silicium (lift off). Le deuxième contact ohmique de la diode utilise l'aluminium déposé préalablement pour les contacts du transistor. La figure 6 représente la vue en coupe de la diode Schottky, son allure et ses caractéristiques électriques mesurées par la station sous pointes à l'aide du B1500 sont donnés sur la figure 7.

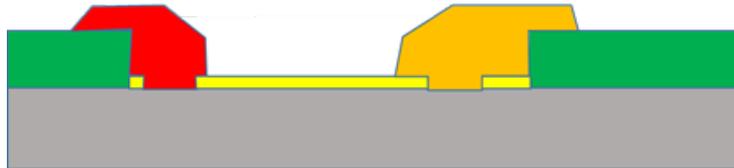


Fig.6. Vue en coupe de la diode Schottky avec le Si en gris, l'aluminium en rouge, l'oxyde de grille en jaune et l'or en doré. Réalisé après un procédé complet de transistor.

Après dissolution dans l'acétone de la résine il ne reste que le plot d'or en contact direct avec le silicium (lift off). Le deuxième contact ohmique de la diode utilise l'aluminium déposé préalablement pour les contacts du transistor. La figure 6 représente la vue en coupe de la diode Schottky, son allure et ses caractéristiques électriques mesurées par la station sous pointes à l'aide du B1500 sont donnés sur la figure 7.

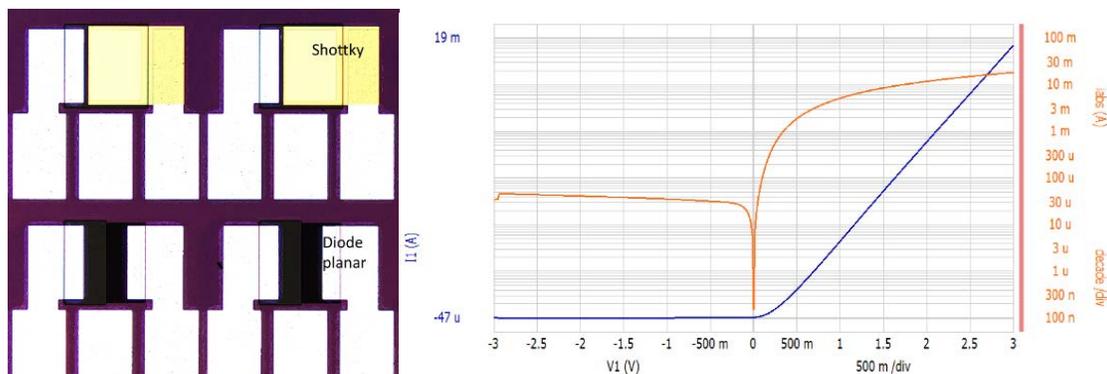


Fig.7. Vue comparative des diodes latérale NP et Schottky Si-Au à gauche. Caractérisation électrique I-V en échelles linéaires et semi-logarithmique de la diode Schottky.

Les caractérisations électriques obtenues sur la figure 7 sont ainsi comparées à celle de la diode NP et les intérêts et domaines d'utilisation de chaque configuration peuvent être discutés par les étudiants selon leur filière de spécialités.

III. Caractérisation électrique complémentaire

Comme annoncé précédemment, plusieurs motifs de test prévus dans le jeu de masques permettent de qualifier la qualité de la réalisation des composants. Il est ainsi possible de qualifier la résistance de contact ainsi que le niveau de dopage après l'étape de diffusion des dopants grâce à la présence de module TLM (Transmission Line Measurement).

Motifs TLM

Les wafers utilisés par les étudiants pour la fabrication des composants possèdent deux zones de TLM qui permettent de mesurer la résistance de contact ainsi que d'approximer le niveau de résistivité et donc l'efficacité de l'étape de dopage par diffusion.

La figure 8 présente l'allure générale de la zone TLM, avec en son centre la zone rectangulaire de largeur (lg) de 100µm de silicium dopé sur une épaisseur diffusée (e), et présente une méthode pour mesurer l'espacement entre chaque ligne (L) reliée à un plot de test à l'aide d'un microscope confocal à la disposition des étudiants. En s'appuyant sur la formule de la résistance R en fonction de la résistivité ρ :

$$R = \rho \cdot (L / (lg \cdot e)) \quad [1]$$

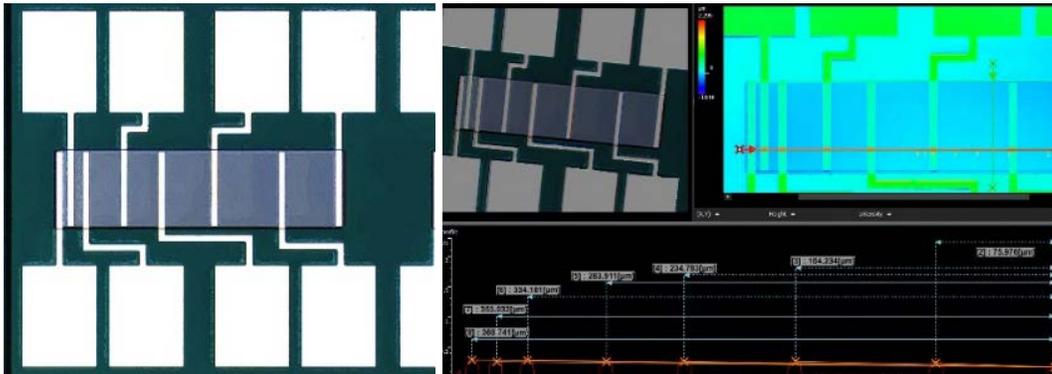


Fig.8. Vue au microscope de la zone TLM à gauche et la mesure au microscope confocal de la distance entre les lignes formant les différentes résistances à droite.

Il devient alors possible de mesurer la résistivité ainsi que la résistance de contact entre l'aluminium et le silicium comme exposé dans la figure 9. Le tracé de la résistance en fonction de la longueur du barreau de silicium dopé permet de remonter grâce à l'ordonnée à l'origine à deux fois la valeur de la résistance de contact. La mesure de la pente de la droite obtenue permet, elle, d'estimer la résistivité en approximant la profondeur de diffusion e (environ 1.5µm selon les simulations disponibles).

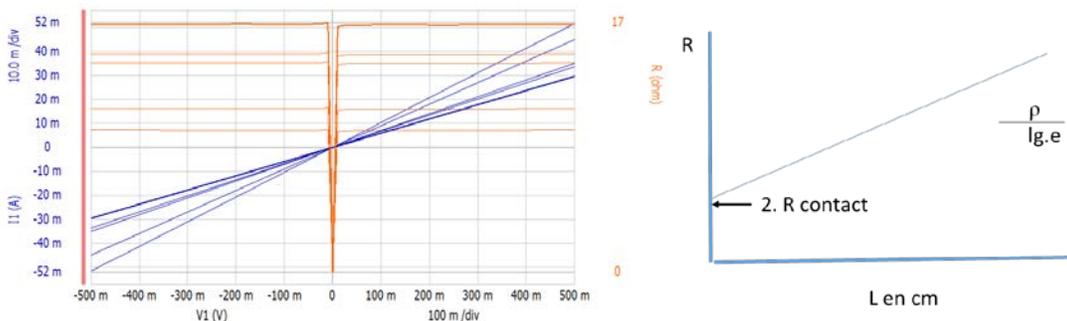


Fig.9. Mesure I=f(V) des résistances entre les différentes lignes du TLM. Le tracé de ces résistances en fonction de l'espacement des lignes permet de remonter à la résistivité et la résistance de contact à droite

IV. Conclusion

Le CCMO a développé un nouveau jeu de masques adapté à la fabrication et la caractérisation électrique d'une large gamme de composants électroniques (transistors MOS, résistances, diodes, pseudo inverseurs MOS...). Ce nouveau jeu de masques a conduit à une nouvelle version des TP en salle blanche, testée puis validée par les différentes formations (Master, Ecoles d'Ingénieurs,...) utilisatrices du CCMO.

Remerciements

Les dispositifs exposés ici ont été réalisés dans les locaux du CCMO partagés avec la plateforme NanoRennes [2] de l'IETR, elle-même plateforme de proximité du réseau Renatech. Les auteurs remercient le CNFM [3] ainsi que le réseau Renatech pour leur soutien dans le développement et le maintien en condition opérationnelle des différents équipements servant aussi bien à la recherche qu'à la formation. Les auteurs tiennent aussi à remercier les responsables des différentes formations qui ont accepté de tester et de mettre à disposition leurs étudiants pour tester le contenu pédagogique de ces nouveaux TP.

Références

1. <https://ccmo.univ-rennes.fr/>
2. <https://www.ietr.fr/plateforme-nr-nanorennnes> .
3. <http://www.cnfm.fr/>

Conception de cellules nano-CMOS – Perspectives à dix ans

E. Sicard^a, S. Ben Dhia^{a, b}, L. Trojman^c

^a INSA de Toulouse, Toulouse, France

^b LAAS/CNRS, Toulouse, France

^c ISEP, Paris, France

Contact email : etienne.sicard@insa-toulouse.fr

La conception de cellules logique et analogique servant de base à la création de circuits intégrés a évolué graduellement au fil des progrès technologiques. Nous proposons dans cet article une synthèse de cette évolution avec une prospective à 10 ans. L'évolution de nos travaux pratiques vers la conception 3nm Nano-Sheet est aussi décrite, basé sur un retour d'expérience de deux promotions. Nous esquissons l'évolution des besoins en enseignement et recherche pour la prochaine décennie, et notre stratégie de mise à disposition de logiciel de conception nano-CMOS implémentant les évolutions majeures associées à chaque génération technologique.

I. Introduction

Au niveau le plus élémentaire, les circuits intégrés reposent sur des cellules de base, logiques et analogiques, dont l'association permet la conception de fonctions plus élaborées, elles-mêmes permettant de créer des systèmes complexes dont les plus emblématiques sont les cœurs de calcul des ordinateurs et des smartphones. Les progrès continus en matière de technologie de fabrication ont permis d'augmenter la densité, la complexité, la vitesse d'exécution tout en diminuant la consommation et le coût, à chaque génération, et ce depuis plus de 50 ans.

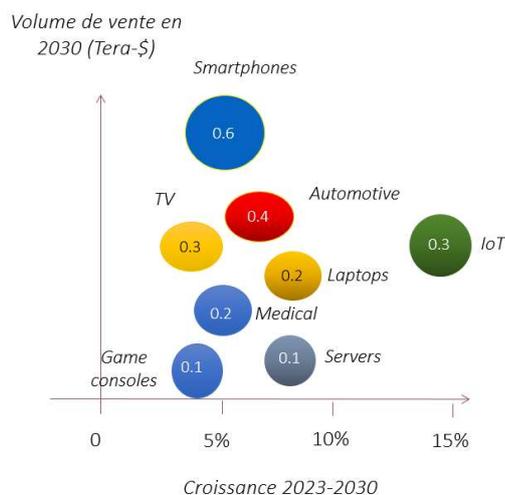


Fig.1. Croissance des principaux secteurs de l'électronique grand public d'après les prédictions cumulées (CAGR) pour la période 2023-2030 en Tera-\$,

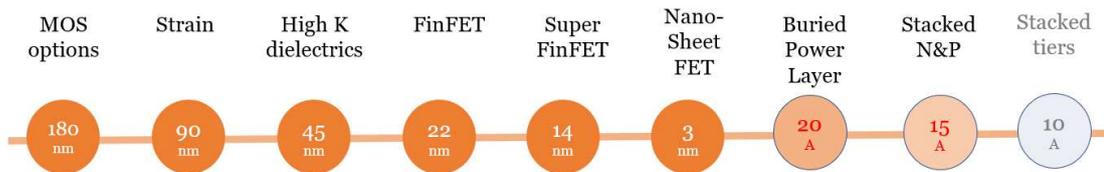


Fig.2. Principales avancées technologiques depuis 2000 et prospective 2030

En compilant les tendances par grands secteurs de l'électronique grand public, les perspectives à 5 ans sont favorables, comme illustré figure 1, portées notamment par les smartphones (5G, 5G+), l'électronique automobile (Voiture électrique, plus autonome), l'IoT (Internet of everything, domotique), les écrans (4K, 8K), ainsi que les dispositifs en lien avec la santé, la virtualisation, le Cloud et l'intelligence artificielle.

Nous résumons à la figure 2 les principales avancées technologiques depuis la technologie 180nm (Années 2000) ayant permis le développement des technologies 3G, les technologies FinFET en lien avec les communications 4G (2010), et plus récemment l'introduction des Nano-Sheet avec la 5G (2020). Pour la décennie à venir, l'alimentation par substrat (*Buried Power Layers*) et l'empilement des transistors (*Stacked N&P C-FET*) offriront les performances attendues pour la 6G (2030) tandis que les recherches sur l'empilement des couches (*Stacked Tiers*) démarrent sur le modèle des mémoires Flash 3D (32-128 couches), pour une application en 2030 [IDRS 2022].

Une des évolutions marquantes de ces dernières années se situe au niveau du transistor élémentaire, qui est passé du MOS FET au FinFET à partir du nœud 20nm, puis Nano-Sheet FET à partir du nœud 3nm, avec des bénéfices considérables en termes de densité de courant commuté, grâce à une approche 3D (Figure 3).

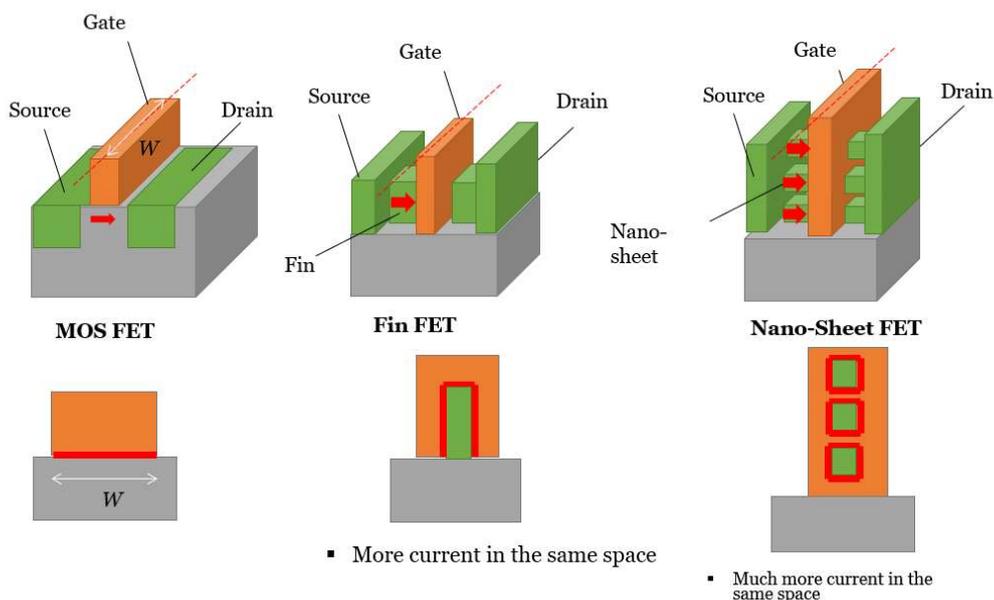


Fig.3. Comparaison des dispositifs de commutation MOS FET, FinFET et NS-FET

II. Support à l'évolution technologique

A la suite des ouvrages pédagogiques sur la conception CMOS que nous avons publiés il y a une quinzaine d'années [Sicard 2005][Sicard 2007], nous avons implémenté différentes innovations technologiques dans le logiciel Microwind [Aziz 2009], et plus récemment le transistor NS-FET [Sicard 2021] abordé aux JPCNFM 2021 [Trojman 2021]. Le tableau 1 précise les liens en archives ouvertes vers *hal.science* des notes d'application pour différents nœuds technologiques. Les PDF cumulent plus de 50,000 téléchargements, notamment depuis l'Inde, les USA et le Maghreb, témoignant de l'intérêt des enseignants, ingénieurs et chercheurs pour des documents pédagogiques décrivant les évolutions technologiques des circuits intégrés.

TABLEAU I. Notes d'application sur l'implémentation des nœuds technologiques dans le logiciel *Microwind*, publiées sur *hal.science* .

Noeud technologique	Année d'introduction	Innovations	Note d'application publiée sur <i>hal.science</i>
90nm	2003	SOI substrate	hal-03324305
65nm	2004	Strain silicon	hal-03324309
45nm	2008	2nd generation strain, 10 metal layers	hal-03324315
32nm	2010	High-K metal gate	hal-03324299
20nm	2013	Replacement metal gate, Double patterning, 12 metal layers	hal-03324322
14nm	2016	FinFET	hal-01541171
7nm	2017	FinFET Quadruple patterning	hal-01558775
5nm	2021	FinFET EUV	hal-03254444
3nm	2021	Nano-sheet FET	hal-03377556
2nm/20A	2024	NSFet & Buried Power	hal-03902018
1.5nm/15A	2027	Stacked NSFet, Buried Power	To appear 2024
1.0nm/10A	2030	Stacked tiers	To appear 2025

Jusqu'en 2020, notre approche a consisté à se baser sur les publications issues des fabricants majeurs de circuits intégrés (*TSMC, Samsung, Intel, IBM, ST-Microelectronics, GlobalFoundries, etc.*) afin de situer les performances moyennes pour un nœud technologique donné. A partir de 2021, devant le nombre important de publications scientifiques utilisant Microwind et faisant référence à nos notes d'application (Plus de 700 articles identifiés fin 2023), nous avons configuré nos outils et publié les notes d'application en avance de phase par rapport à l'industrie. Cette approche pro-active a pour but de permettre à la communauté des enseignants et chercheurs d'esquisser l'évolution des performances des circuits sur des technologies futures. Au niveau pédagogique, nous avons introduit en TP de niveau M1 à l'INSA Toulouse la technologie 3nm Nano-Sheet en 2021, dans le cadre de TP de conception de cellules nano-CMOS.

III. Conception de cellules nano-CMOS

Plusieurs modifications notables accompagnent la génération Nano-Sheet, comme l'illustre la figure 4. Tout d'abord, contrairement aux décennies précédentes, la dimension des dispositifs élémentaires tels que les grilles de transistors (rouge) ou métallisations (bleu) se réduit très peu, principalement lié à l'explosion des coûts de lithogravure sur des dimensions approchant les dizaines de nanomètre. Le gain se fait autrement, selon 3 leviers : un transistor plus petit et performant (NS Fet au lieu de FinFET), une hauteur de cellule plus faible (division par deux : 100 nm au lieu de 192 nm dans l'inverseur figure 4), et une alimentation par le bas (*Back Side Power Delivery*) qui dégage de l'espace pour le routage [Sicard 2022].

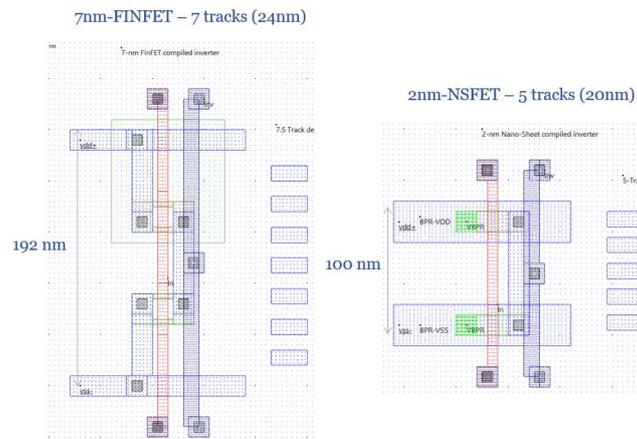


Fig.4. Comparaison entre le design d'un inverseur FinFET 7nm (à gauche) et Nano-Sheet 2nm/20A (A droite) [Sicard 2022]

La conception Nano-Sheet ne pose pas de problème particulier, même auprès des étudiants. Au contraire, elle ramène un degré de liberté qui avait été perdu au niveau des tailles de transistors FinFET, du fait des contraintes de nombre de fins (2-fins, 4-fins typiquement). La conception est aussi simplifiée grâce à la suppression du puits (N-well) et de sa polarisation associée, libérant de l'espace silicium. Enfin, les améliorations apportées par l'alimentation « par en dessous » améliorent non seulement les possibilités de routage, mais aussi l'intégrité des réseaux d'alimentation (*Power Integrity*) en diminuant les fluctuations parasites lors des commutations.

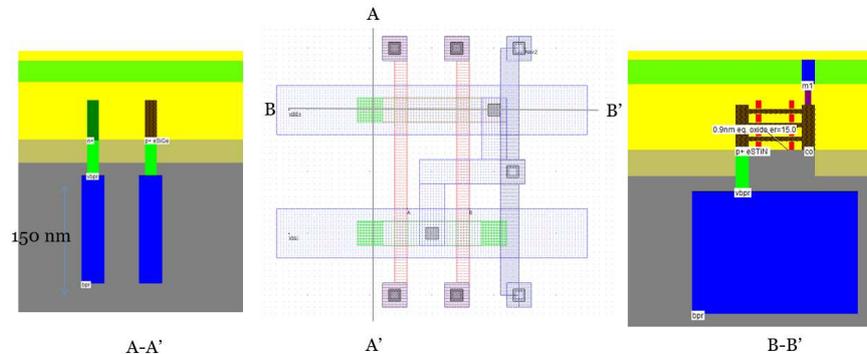


Fig.5. Vue en coupe d'une porte NAND en 2nm/20A avec les via dans le substrat vers le BPR (*Buried Power Layer*) [Sicard 2022]

Les vues en coupes d'une porte NAND sont reportées figure 5. Le substrat, quasi vide et monolithique dans les générations passées, est utilisé pour le routage des alimentations.

Un autre intérêt pédagogique des générations *Nano-Sheet* est de projeter nos étudiants dans des performances futuristes, correspondant à des technologies devant servir de support à des grands projets d'ingénierie tels que la 6G [Banafaa 2023] ou la voiture autonome [Ahangar 2021].

IV. Vers l'intégration 3D

Anticipant les nœuds technologiques de la prochaine décennie, nous avons implémenté une innovation majeure qui consiste à empiler les transistors N-FET et P-FET l'un sur l'autre. Cette innovation, appelée *Complementary FET C-FET*, permet de réduire de moitié la surface des cellules élémentaires, et pourrait apparaître en technologie 1.5nm/15A [Liebmann 2021] [Schuddinck 2022]. Les vues 2D et 3D d'un inverseur montrent une modification radicale de la conception, par rapport aux approches à base de FinFET et NS-FET de la figure 4 [Sicard 2023]. Le challenge au niveau enseignement est considérable, car l'approche C-FET constitue une rupture par rapport à l'approche planaire, et nécessite un recours constant aux vues 3D pour s'assurer de la bonne concordance des connexions verticales, telles que le via P/N, ce qui alourdit la tâche des étudiants et enseignants.

Si l'on peut émettre des doutes sur l'intérêt de faire concevoir aux étudiants des cellules selon une approche technologique C-FET disponible au mieux à partir de 2027, il nous semble en revanche intéressant de permettre aux ingénieurs et chercheurs d'évaluer dès à présent l'apport possible de cette approche 3D, d'autant que la littérature scientifique sur le sujet est déjà conséquente [Schuddinck 2022]. Nous devrions publier une note d'application et configurer Microwind pour la technologie C-FET 1.5nm courant 2024.

Bien que plus lointain (2030 d'après l'IDRS), l'empilement de couches semble une approche très prometteuse pour pousser encore plus loin l'intégration, avec l'annonce pour le nœud 1.0nm/10A de deux niveaux actifs de N/P empilés, comme esquissé Figure 7, puis en 0.7nm/7A 4 niveaux actifs. L'implémentation de l'approche 3D et la navigation verticale entre plusieurs niveaux de transistors actifs nécessitera une adaptation de nos outils de conception, essentiellement basés sur la vue planaire des dispositifs. Il faudra être capable de naviguer simplement entre les différentes couches de cellules empilées, voire de manipuler des objets directement depuis les vues 3D.

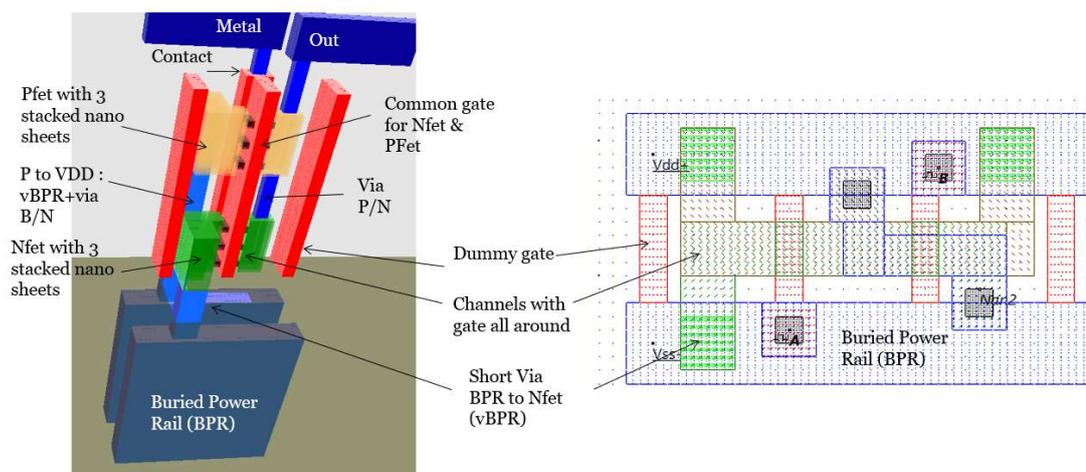


Fig.6. Vue en coupe d'un inverseur C-FET en 1.5nm/15A avec le PFet superposé au NFet [Sicard 2023]

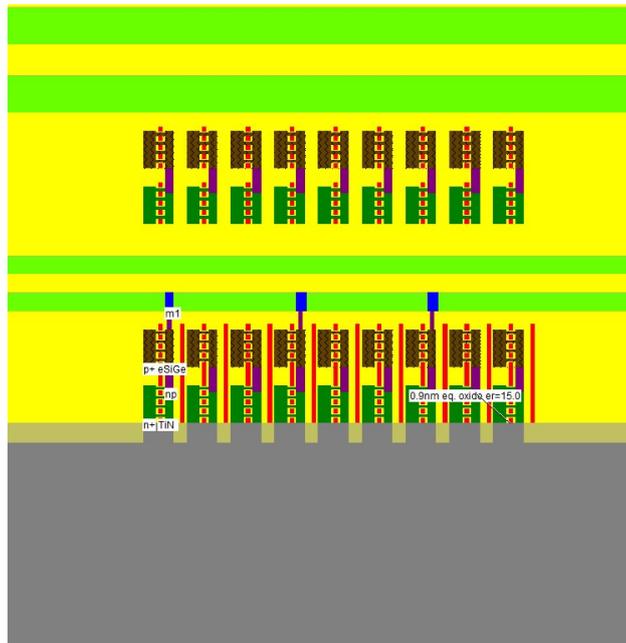


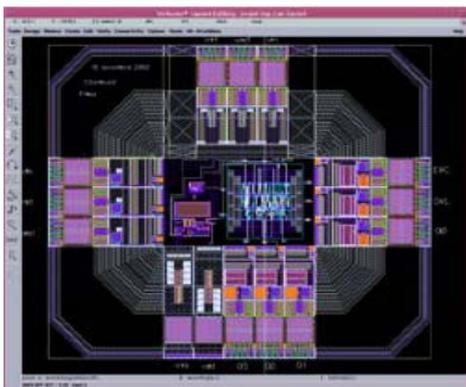
Fig.7. Vue en coupe de deux couches de C-FET séparés par deux niveaux de métaux, préfigurant la technologie 10A/1.0nm [Sicard 2023] [IDRS 2022]

Les possibilités de routage seront aussi décuplées, avec des stratégies d'implémentation et d'optimisation de performances qui peuvent constituer autant de sujets de recherche et de publications dans le futur.

Références

1. Sicard, E., Ben Dhia, S. (2005). Basics of CMOS Cell Design. McGraw-Hill.
2. Sicard, E., Ben Dhia, S., (2007). Advanced CMOS Cell Design. McGraw-Hill
3. Aziz, S. M., Sicard, E., & Ben Dhia, S. (2009). Effective teaching of the physical design of integrated circuits using educational tools. IEEE Transactions on Education, 53(4), 517-531.
4. Sicard, E., & Trojman, L. (2021). Introducing 3-nm Nano-Sheet FET technology in Microwind. 2021. <https://hal.science/hal-03377556>
5. Trojman, L., Viteri, F. V., Sicard, E. (2021). Pédagogie hybride pour l'apprentissage de la conception d'un microprocesseur simplifié niveau master avec MicroWind, JPCNFM 2021
6. Sicard, E., Trojman, L., (2022). Introducing 2-nm/20Å Nano-Sheet FET technology with Buried Power Rails and nano Through-Silicon-Vias in Microwind, <https://hal.science/hal-03902018>
7. Banafaa, M., (2023). 6G mobile communication technology: Requirements, targets, applications, challenges, advantages, and opportunities. Alexandria Engineering Journal, 64, 245-274.
8. Ahangar, M. N., (2021). A survey of autonomous vehicles: Enabling communication technologies and challenges. Sensors, 21(3), 706.
9. Liebmann, L., (2021). CFET Design Options, Challenges, and Opportunities for 3D Integration. IEEE IEDM 2021.
10. Schuddinck, P., (2022). PPAC of sheet-based CFET configurations for 4 track design with 16nm metal pitch. VLSI Technology and Circuits 2022
11. Sicard, E. (2023). FinFET, Nano-Sheet cell design , Now & Road Ahead, An educational perspective, Annual Seminar ni2designs, Pune
12. IDRS (2022). Executive summary. Overall Roadmap Technology Characteristics
13. Sicard, E., Trojman, L. (2024). Introducing 1.5-nm/15Å Complementary Nano-Sheet FET technology in Microwind. A paraitre hal.science

LES PÔLES NATIONAUX DE FORMATION EN MICROÉLECTRONIQUE

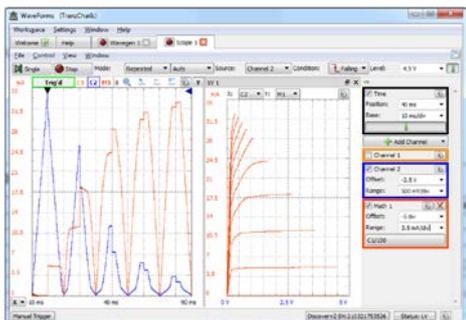


AIME

Campus INSA
135 avenue de Ranguel
31077 TOULOUSE CEDEX 4
Tel : 05.61.55.98.75
marc.respaud@insa-toulouse.fr
www.aime-toulouse.fr

PACA

Polytech' Marseille
Château Gombert
5 rue Enrico Fermi
13456 MARSEILLE Cedex 13
Tel : 04.13.55.40.05
philippe.pannier@univ-amu.fr



CCMO

IETR - Université Rennes I
Campus de Beaulieu - Bât. 11D
263 avenue Général Leclerc
CS 74205
35042 RENNES CEDEX
Tel : 02.23.23.56.65
laurent.pichon@univ-rennes1.fr
http://ccmo.univ-rennes1.fr

PCB

IMS
Université Bordeaux
351 Cours de la Libération
33405 TALENCE CEDEX
Tel : 05.40.00.28.33
jean.tomas@ims-bordeaux.fr



CEMIP

Sorbonne Université , bât Esclangon
RDC R-14 Case courrier 7102
4 place Jussieu
75252 PARIS CEDEX 05
Tel : 01.44.27.46.34
jean-jacques.ganem@insp.upmc.fr

PCM

Université Montpellier
161 rue Ada
34095 MONTPELLIER
Tel : 04.67.14.96.84
spcm@cnfm.fr
http://web-pcm.cnfm.fr



CIME-NANOTECH

CIME Nanotech
Grenoble INP - Minatec
3 parvis Louis Néel CS 50257
38016 GRENOBLE CEDEX 1
Tel : 04.56.52.94.03
ahmad.bsiesy@univ-grenoble-alpes.fr
www.cime.grenoble-inp.fr

PLFM

IEMN - USTL
Cité Scientifique - Avenue Poincaré
BP 60069
59652 VILLENEUVE D'ASCQ CEDEX
Tel : 03.20.43.48.40
virginie.hoel@iemn.univ-lille1.fr
http://cnfm.univ-lille1.fr

CIMIRLY

INSA de Lyon
Laboratoire AMPERE
25 avenue Jean Capelle
69621 VILLEURBANNE CEDEX
Tel : 04.72.43.81.77
bruno.allard@insa-lyon.fr

PLM

Université de Limoges
XLIM - Dpt C2S2
123 avenue Albert Thomas
87060 LIMOGES CEDEX
Tel : 05.55.45.72.42
bruno.barelaud@xlim.fr



MIGREST

Laboratoire ICube
23 rue du Loess
BP 20
67037 STRASBOURG CEDEX 2
Tel : 03 68 85 45 54
wilfried.uhring@unistra.fr

PMIPS

IEF - Bât. 220
Université Paris Sud
91405 ORSAY CEDEX
Tel : 01.69.15.72.33
guillaume.agnus@u-psud.fr