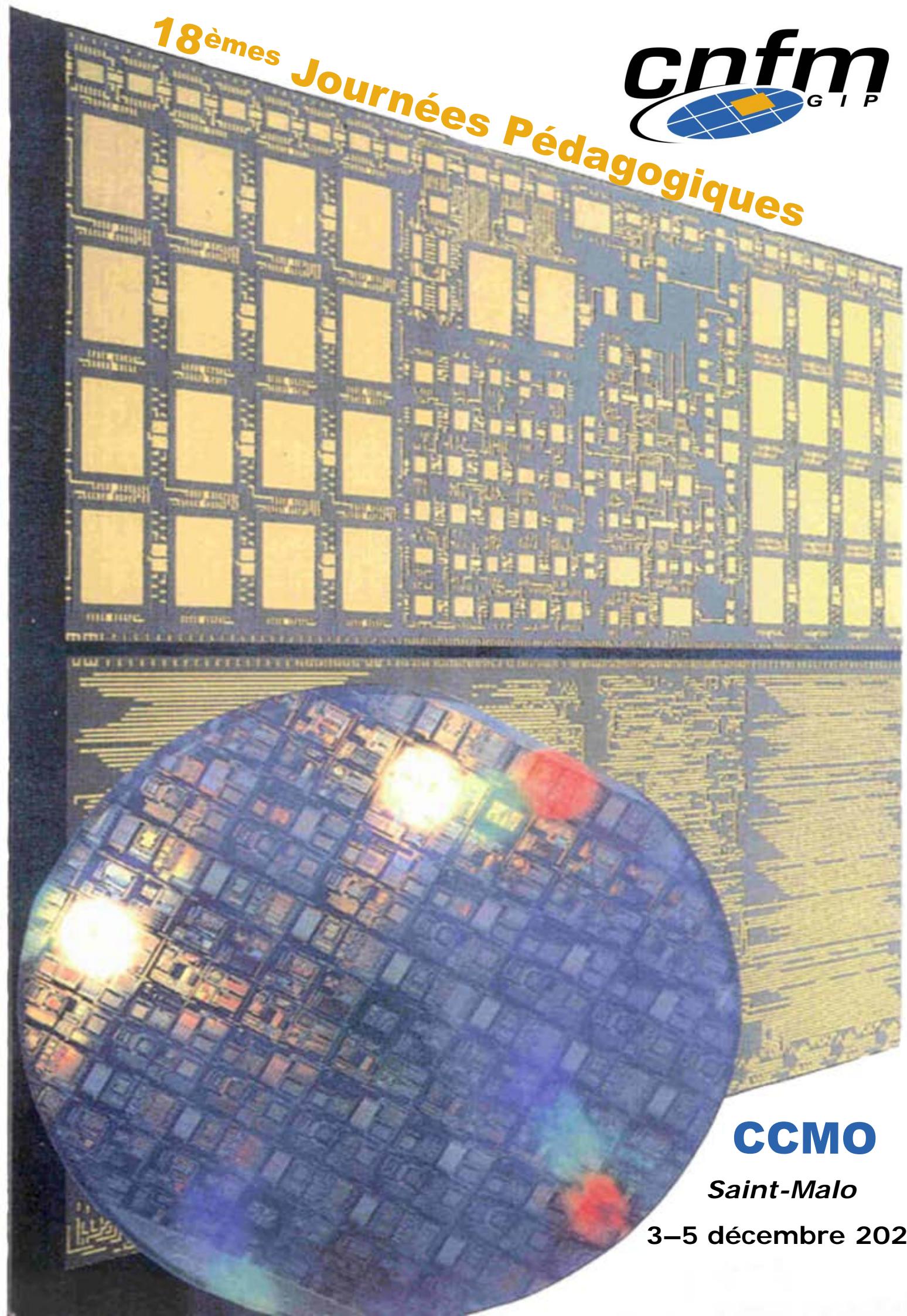




*18èmes Journées Pédagogiques*



**CCMO**

*Saint-Malo*

3–5 décembre 2025



# Dix-huitièmes journées Pédagogiques JPCNFM2025

Centre Commun de Microélectronique de l'Ouest

Saint Malo 3 - 5 décembre 2025

Palais du Grand Large



Organisées par



Avec le soutien de :



Édité par : Olivier Bonnaud, Laurent Pichon, Anne-Claire Salaün, Hervé Lhermite

---

© 2025 Université de Rennes I

Centre Commun de Microélectronique de l'Ouest

ISBN 978-2-9522395-0-9



## EDITORIAL des Actes des JPCNFM'2025

L. Pichon<sup>a</sup>, AC. Salaün<sup>a</sup>, H. Lhermite<sup>a</sup>, O. Bonnaud<sup>a,b</sup>

<sup>a</sup> IETR et pôle CNFM de Rennes (CCMO), Université de Rennes, Rennes, France

<sup>b</sup> GIP-CNFM, Grenoble, France

Contacts email : olivier.bonnaud@univ-rennes.fr, lorraine.chagoya@grenoble-inp.fr

Depuis 1990, les Journées Pédagogiques de la Coordination Nationale pour la Formation à la Microélectronique et aux Nanotechnologies (JPCNFM) sont un moment important pour le GIP-CNFM (1) et toute sa communauté. Après une 17ème édition organisée à Toulouse par nos collègues de l'AIME en 2023, c'est de nouveau à Saint-Malo que ces Journées sont organisées en 2025.

Dans un contexte de Plan de Relance France 2030, plus particulièrement dans le domaine de l'électronique, et de positionnement du réseau au sein de la Filière électronique avec notre premier partenaire industriel ACSIEL Alliance électronique (2), l'objectif de ces 18èmes Journées Pédagogiques du CNFM garde le même esprit que les éditions précédentes (3). Il s'agit d'encourager, d'une part les échanges à caractère pédagogique entre enseignants et partenaires industriels de notre communauté afin de faire évoluer les contenus, et d'autre part, l'apprentissage au savoir-faire dans les nouvelles priorités industrielles, de recherche et de formation. Ces priorités, mises en évidence dans le cadre de la Filière électronique, concernent les défis associés à la réduction de la consommation d'énergie et des ressources naturelles, défis majeurs au niveau mondial.

L'approche de ces journées est d'autant plus importante dans le cadre de l'Appel à Manifestation d'Intérêt AMI-CMA, dont le projet sur 5 ans, intitulé INFORISM (4) piloté par le GIP-CNFM a été accepté. Il engage notre communauté académique ainsi que nos partenaires industriels. En effet, il s'agit d'une part de conserver la qualité de la formation de nos futurs diplômés en garantissant un savoir-faire adapté à l'industrie et la recherche en microélectronique, et d'autre part d'augmenter ce nombre de formés quels qu'en soient leurs origines et leur niveau de formation. Nous devons ainsi faire face à un défi important aussi bien technique et technologique qu'humain.

Les thématiques de ces journées concernent aussi bien la technologie, la conception, le test ou la caractérisation associés aux performances et aux innovations des circuits micro- et nanoélectroniques, VLSI, de puissance ou de grande surface, ou encore des circuits hybrides, hyperfréquences ou pour les télécommunications. Mais une attention particulière doit porter sur les nouveaux besoins en compétences manifestés par la profession au sein de la Filière Électronique et de son Comité Stratégique (5), afin de répondre aux différentes applications sociétales, mais aussi avec un objectif de réduction de la consommation énergétique de l'ensemble du domaine numérique et de couverture des métiers en tension. Il s'agit en particulier des systèmes toujours plus intelligents, connectés et sécurisés, des cartes électroniques, et de l'électronique de puissance, appliqués en priorité à la mobilité mais aussi à la conversion d'énergie électrique et à l'ensemble des applications sociétales. Lors de cette édition les différents acteurs du réseau présenteront les activités innovantes s'inscrivant dans les besoins de la filière et des objectifs du projet INFORISM. Une attention sera aussi portée au domaine de l'électronique quantique, dans lequel certains collègues sont déjà impliqués, qui est actuellement très soutenu par la recherche, et qui pourrait présenter des avantages à long terme quant à ses performances de sécurité et de

calcul. Ce domaine devrait contribuer à réduire la consommation d'énergie encore trop élevée dans la configuration actuelle.

Dans un contexte d'extension du numérique, notamment vers les supports pédagogiques en ligne, compléments indispensables à l'approche de l'apprentissage en ligne de plus en plus dominante, un effort doit être fourni vers le savoir-faire des techniciens, ingénieurs et docteurs. Le réseau et les pôles s'inscrivent dans cette approche innovante accrue aussi bien en formation initiale qu'en formation tout au long de la vie.

Sous la forme d'exposés ou de démonstrations de réalisations destinés à la dissémination au sein du réseau, les innovations pédagogiques ont été complétées par des expériences de sensibilisation de notre discipline vers les lycées et collèges, et également vers le grand public et les entreprises, dans le cadre de la politique d'attractivité du GIP-CNFM et du Comité Stratégique de Filière. Cette action s'inscrit dans l'objectif d'accroître le vivier de compétences quantitativement et qualitativement dans tous les volets de la microélectronique et de ses applications, et pour tous les niveaux de formations, de diplômes et de certifications, du brevet de technicien au doctorat en passant par le Bachelor, le Master ou l'ingénierat.

Le numéro spécial des J3eA associé à cette conférence doit compiler les principaux articles s'inscrivant dans la stratégie du réseau CNFM en bénéficiant de la possibilité d'une présentation en ligne, et donc agrémentée d'outils dynamiques. Il constitue une vitrine des activités du réseau CNFM, du consortium du projet ANR-11-IDFI-0017-FINMINA (6) qui s'est terminé en 2020 mais dont les apports en innovation de plateformes techniques sont toujours opérationnels, et par le consortium du projet ANR-23-CMAS-0024-INFORISM, qui a débuté à l'automne 2023.

Les organisateurs remercient tous les rédacteurs de leurs contributions qui devraient enrichir cet évènement bisannuel. Celui-ci devrait contribuer à disséminer des innovations pédagogiques, à accroître l'attractivité élargie du domaine et à renforcer les échanges et savoir-faire au sein de la communauté des scientifiques et des techniciens du domaine.

## Références

1. GIP-CNFM : Groupement d'Intérêt Public - Coordination Nationale pour la Formation en Microélectronique et en nanotechnologies. Website: <http://www.cnfm.fr>
2. ACSIEL Alliance Electronique. Website: <http://www.acsiel.fr/en-GB/index.aspx> (dernière consultation octobre 2025)
3. J3eA, Volume 21 Hors-série, 12 juillet 2024, JPCNFM 2023 – 17<sup>èmes</sup> journées pédagogiques du CNFM (Coordination Nationale pour la Formation en Micro-électronique et en nanotechnologies)
4. INFORISM, INGénierie de FORMations Innovantes et Stratégiques en Microélectronique, projet ANR-23-CMAS-0024-INFORISM au titre du programme France 2030
5. Comité Stratégique de Filière, CSF, <https://www.filiere-electronique.fr/>
6. FINMINA : Formation Innovante en Microélectronique et Nanotechnologie, projet ANR-11-IDFI-0017-FINMINA au titre du programme Investissement d'avenir

# **Dix-huitièmes Journées Pédagogiques**

## **Comité National d'Organisation**

Jean-Luc Estienne	ACSIEL	ST Montrouge	Président
Olivier Bonnaud	GIP-CNFM	Grenoble	Directeur Général
Marc Respaud	AIME	Toulouse	Organisateur
Laurent Pichon	CCMO	Rennes	
Jean-Jacques Ganem	CEMIP	Paris Centre	
Ahmad Bsiesy	CIME	Grenoble	
Bruno Allard	CIMIRLY	Lyon	
Wilfried Uhring	MIGREST	Strasbourg	
Philippe Pannier	PACA	Marseille	
Jean Tomas	PCB PCM	Bordeaux	
Pascal Benoit	PLFM	Montpellier	
Virginie Hoël	PLM	Lille	
Bruno Barelaud	PLFM	Limoges	
Guillaume Agnus	PMIPS	Paris-Saclay	
Lorraine Chagoya-Garzon	GIP-CNFM	Grenoble	Secrétariat

## **Comité Local d'organisation**

Laurent Pichon	
Anne-Claire Salaün	
Hervé Lhermite	IETR Rennes
Fanny Le Boulch	
Fabienne Jégousse	



## PROGRAMME JPCNFM'2025

### MERCREDI 3 DECEMBRE 2025

11 h 00 ACCUEIL

12 h 00 DÉJEUNER

#### *Conseil d'Orientation*

**13 h 30 Ouverture du Conseil d'Orientation et accueil des participants**

O1

Laurent Pichon, Anne-Claire Salaün et Hervé Lhermite (organisateurs des JPCNFM, pôle CCMO), David Alis (Président de l'Université de Rennes, sa représentante Anne-Claude Tarot Vice-Présidente Vie Etudiante), Jean-Luc Estienne (Président d'honneur du CNFM), Olivier Bonnaud (Directeur général du GIP-CNFM)

**13 h 45 Intervention du Président du GIP-CNFM**

O2

Jean-Luc Estienne (Président d'honneur du CNFM)

**14 h 00 GIP-CNFM : bilan 2021-2025, prorogation du réseau et perspectives**

O3

**dans le cadre du nouveau contrat 2026-2030 et bilan intermédiaire INFORISM**

Olivier Bonnaud (Directeur général du GIP-CNFM), Ahmad Bsiesy (Directeur adjoint du GIP-CNFM), Pascal Benoit (responsable services nationaux du GIP-CNFM)

**15 h 00 Information ACSIEL : évolution et enjeux**

O4

Sandrine Beaufils (Déléguée générale ACSIEL)

**15 h 15 Table ronde : Stratégie à moyen terme**

T1

Animation : Michel Robert (Professeur Polytech Montpellier, Université de Montpellier)

Panelistes :

Sylvie Retailleau (Professeur à l'Université Paris-Saclay et ancienne Ministre)

Hugues Metras (Directeur Agence des programmes ASIC, CEA)

Pascal Benoit (Responsable de la plateforme CAO)

Virginie Hoël (Représentante du GIP-CNFM au CSF)

Sandrine Beaufils (Déléguée générale ACSIEL)

Olivier Bonnaud (Directeur général du GIP-CNFM)

**16 h 30 PAUSE CAFE**

**17h00 Table ronde : coordination des AMI-CMA**

T2

Animation : Olivier Bonnaud (Directeur général du GIP-CNFM)

Panelistes :

Sylvie Retailleau (Professeur à l'Université Paris-Saclay et ancienne Ministre)

Maxime Pelcat (AMI-CMA ESOS, Rennes) en visio

Fabien Ndagijimana (AMI-CMA FAME, Grenoble)

Simon Hémour (AMI-CMA CAP ELENA, Bordeaux)

Jamal Rammal (AMI-CMA ESLAP, Redon)

Eve Langlet (IPR Académie de Rennes)

**18 h 00 FIN DU CONSEIL D'ORIENTATION**

**JEUDI 4 DECEMBRE 2025**

**LA FILIERE DANS UN CONTEXTE DE DEVELOPPEMENT  
DURABLE ET RESPONSABILITE SOCIETALE**

<b>9 h 00</b>	<b>Data centers : le revers énergétique du numérique</b>	<b>O5</b>
M. Robert <i>Université de Montpellier</i>		<i>PCM</i>
<b>9 h 30</b>	<b>Fabrication de circuits intégrés durant des programmes doctoraux en technologie GaN et en 65nm : une accélération d'innovations</b>	<b>P1</b>
<sup>1</sup> L. Trojman, <sup>2</sup> E. Holquin, <sup>2</sup> N. Pozo, <sup>1,2</sup> K. Vicuna, <sup>2</sup> L.-M. Procel, <sup>3</sup> F. Crupi, <sup>1</sup> F. Amiel <sup>1</sup> LISITE, Institut supérieur d'électronique de Paris, Issy-Les-Moulineaux <sup>2</sup> Université San Francisco de Quito (USFQ), Quito, Equateur <sup>3</sup> Université de Calabres, UNICAL, Rende, Italie		<i>CEMIP</i>
<b>9 h 35</b>	<b>Une nouvelle approche de la stabilité des pérovskites pour une technologie photovoltaïque adaptée aux besoins énergétiques des objets numériques</b>	<b>P2</b>
<sup>1,2</sup> L.A Egbunu-David, <sup>1</sup> N. Doumit, <sup>2</sup> E. Ntsoenzok, <sup>1</sup> L. Trojman <sup>1</sup> LISITE, Institut supérieur d'électronique de Paris (Isip), 92130 Issy-les-Moulineaux <sup>2</sup> CEHMTI, Centre national de la recherche scientifique (CNRS), 45071, Orléans		<i>CEMIP</i>
<b>9 h 40</b>	<b>Formation pluridisciplinaire autour de l'assemblage en microélectronique proposée à l'EDOC SPI de Bordeaux : un pas vers le développement durable</b>	<b>P3</b>
<sup>1</sup> H. Debéda, <sup>1</sup> A. Gracia, <sup>2</sup> C. Brocho, <sup>2,3</sup> C. Bois, <sup>3,4</sup> N. Perry, <sup>1</sup> J. Tomas <sup>1</sup> Université de Bordeaux, Laboratoire IMS et pôle CNFM de Bordeaux (PCB), Talence <sup>2</sup> Université de Bordeaux, Laboratoire LCPO, Talence <sup>3</sup> Arts et Métiers Institute of Technology, CNRS, Bordeaux INP, Laboratoire I2M, Talence <sup>4</sup> Univ. Bordeaux, CNRS, Bordeaux INP, Laboratoire I2M, Talence		<i>PCB</i>
<b>9 h 45</b>	<b>TP In-Mold Electronics : Étude de circuits imprimés 3D avec encre à matrice organique biosourcée</b>	<b>P4</b>
<sup>1</sup> T. Gerges, <sup>1</sup> V. Semet, <sup>1</sup> P. Lombard, <sup>2</sup> J-Y Charneau, <sup>1</sup> B. Allard, <sup>1</sup> M. Cabrera <sup>1</sup> INSA Lyon, Université Claude Bernard Lyon 1, Ecole Centrale de Lyon, CNRS, Ampère, UMR 5005, Villeurbanne <sup>2</sup> INSA Lyon, IMP, UMR 5223, 01100 Bélgirate		<i>CIMIRLY</i>
<b>9h 50</b>	<b>Concevoir un GPU en projet microélectronique</b>	<b>P5</b>
C. Bou Tanos, J. Marqueti, L. Fesquet <i>Grenoble INP - Phelma, Université Grenoble Alpes, Grenoble</i>		<i>CIME-NANOTECH</i>

**Cybersécurité**

<b>9 h 55</b>	<b>Fautes intentionnelles ou non, depuis l'impact de l'environnement radiatif naturel jusqu'à la cyber sécurité : les enjeux de microélectronique</b>	<b>O6</b>
Y. Helen <i>DGA, Dpt MI 136 La Roche Marguerite, 35170 Bruz</i>		
<b>10 h 15</b>	<b>Simulation électrique de l'injection de faute par laser dans une cellule mémoire SRAM : une approche à la sensibilisation à la cybersécurité matérielle en BUT GEII</b>	<b>P6</b>
L. Pichon <i>IETR, IUT GEII, Rennes</i>		<i>CCMO</i>
<b>10 h 20</b>	<b>Injection de faute par laser sur microcontrôleur : du silicium à la programmation</b>	<b>P7</b>
L. Claudepierre, E. R. Ferrucho-Alvarez, L. Le Brizoual, L. Pichon <i>IETR, Université de Rennes, Rennes</i>		<i>CCMO</i>

**10 h 25 TERO-PUF optimisé pour l'étalonnage sur Intel MAX-10 pour des PUF faibles et robustes**

P8

<sup>1,2</sup>K. Vicuña, <sup>3</sup>K. Foglia, <sup>1</sup>B. Sreejith, <sup>1</sup>F. Amiel, <sup>1</sup>L. Trojman

<sup>1</sup>Institut Supérieur d'Électronique de Paris (Isep), LISITE, Paris

<sup>2</sup>Département d'informatique, de modélisation, d'électronique et de génie des systèmes, Université de Calabre, Italie

<sup>3</sup>Département de mathématiques et d'informatique, Université de Calabre, Italie

CEMIP

**10h30 PAUSE- DÉMONSTRATIONS - POSTERS**

*Services Centraux*

**11 h00 Rapport d'activité des Services Nationaux du CNFM**

O7

P. Benoit

PCM

CNFM-PCM / Université Montpellier

Formation au test industriel des circuits intégrés digitaux : une offre « clé en main »

P9

F. Azais, M. Comte, M.-L. Flottes, P. Leloup

PCM

LIRMM (UMR CNRS/Université de Montpellier), Montpellier

Enseignement de la conception des Circuits Intégrés Numériques à Polytech Montpellier  
J.-M. Gallière, P. Maurine, P. Benoit

P10

Polytech Montpellier, Université de Montpellier, Montpellier

PCM

**11h30 Nouveaux outils pour la conception des cartes**

O8

M. Brochet

Senior Executive Account Manager, Cadence Design Systems, France

**12 h DEJEUNER**

**13 h 45 EXCURSION MALOUINE**

*Technologie*

**16 h 00 La Fabrique du Nano : Le Jeu !**

P11

<sup>1</sup>N. Lidgi-Guigui, <sup>2</sup>J. Bobroff, <sup>2</sup>F. Bouquet, <sup>3</sup>N. Piñeros, <sup>2</sup>C. Hinnoveanu, <sup>2</sup>Z. Lemaire

<sup>1</sup>LSPM, CNRS – Université Sorbonne Paris Nord, Villeurbanne, France

<sup>2</sup>Université Paris-Saclay, CNRS, Laboratoire de Physique des Solides, 91405 Orsay

<sup>3</sup>Ludomaker LudoMaker, LLHS et laboratoire EXPERICE, Université Sorbonne Paris Nord, Villeurbanne

PMIPS

**16 h 05 Saé en salle blanche pour les étudiants de BUT3 GEII : fabrication et caractérisation d'un capteur de luminosité**

P12

<sup>1,2</sup>A.-C. Salaün, <sup>1,2</sup>R. Rogel, <sup>1</sup>C. Lebreton, <sup>1</sup>O. De Sagazan, <sup>1,2</sup>L. Pichon

<sup>1</sup>IETR et pôle CNFM de Rennes (CCMO), Université de Rennes

<sup>2</sup>IUT de Rennes, département GEII, Rennes

CCMO

**16 h 10 De la photolithographie chimique à la gravure laser : une nouvelle ère pour la réalisation de circuits RF au sein du Master Réseaux et Télécommunications**

P13

<sup>1</sup>P. Laly, <sup>2</sup>V. Hoel, <sup>2</sup>M. Abou Daher, <sup>2</sup>F. Khenfer-Koummich, <sup>3</sup>V. Picquet

<sup>1</sup>IEMN Pôle C2EM Cité Scientifique, Villeneuve d'Ascq

<sup>2</sup>PLFM CNFM Université de Lille, Cité Scientifique, Villeneuve d'Ascq

PLFM

**16 h 15 Fabrication et caractérisation de diodes Schottky GaN dans un TP innovant au sein du PLFM de Lille**

P14

M. Laddada, I. Nhaila, S. Ouendi, Y. Roelens, V. Hoel, M. Abou Daher

IEMN, Université de Lille, Villeneuve d'Ascq

PLFM

**16 h 20 Réalisation d'une fonction optique filtrante par dépôt de couches minces**

P15

M. Coué, G. Agnus

Université de Paris-Saclay, Palaiseau

PMIPS

**16 h 25 Lignes et résonateurs micro-ondes planaires commutables par dépôt VO<sub>2</sub> pour l'enseignement de la conception, des techniques de dépôt et de la caractérisation de dispositifs micro-ondes**

P16

<sup>1</sup>B. Henriot, <sup>2</sup>M. Gireau, <sup>1</sup>G. Mastouri, <sup>1</sup>O. Tantot, <sup>2</sup>F. Dumas-Bouchiat,

<sup>2</sup>C. Champeaux, <sup>1</sup>A. Périgaud, <sup>1</sup>D. Passerieux, <sup>1</sup>B. Barelaud, <sup>1</sup>S. Verdeyme

<sup>1</sup>XLIM, UMR 7252, Université de Limoges/CNRS, 123 av A. Thomas, 87060 Limoges

<sup>2</sup>IRCER, UMR 7315, Université de Limoges/CNRS, 12 Rue Atlantis, 87068 Limoges

PLM

**16 h 30 La station pédagogique et interactive « NanoEnactive » basée sur des jumeaux numériques d'échantillons à échelle nanométrique**

P17

<sup>1</sup>F. Marchi, <sup>2</sup>N. Castagné, <sup>3</sup>A. Bsiesy, <sup>3</sup>L. Mambert, <sup>3</sup>N. Guerre-Chaley, <sup>3</sup>A. Borget,  
<sup>3</sup>R. Paquet

<sup>1</sup>Institut Néel, Université Grenoble Alpes, Grenoble

<sup>2</sup>Université Grenoble Alpes, Grenoble INP, GIPSA Lab, Grenoble

<sup>3</sup>CIME Nanotech, Université Grenoble Alpes, Grenoble

CIME-NANOTECH

**16 h 35 L'apport des sciences cognitives pour l'apprentissage procédurale en salle blanche.**

P18

<sup>1,2</sup>M. Turpin, <sup>2</sup>C. Tordet, <sup>1</sup>F. Fabbri, <sup>2</sup>F. Zenasni, <sup>1</sup>G. Agnus

<sup>1</sup>Centre de Nanosciences et de Nanotechnologies (C2N), Université Paris-Saclay

<sup>2</sup>Laboratoire de Psychologie et d'Ergonomie Appliquée (LaPEA), Université Paris Cité

PMIPS

**16 h 40 La réalité virtuelle au service de l'apprentissage en salle blanche : le projet "Mission : Salle Blanche"**

P19

<sup>1</sup>C. Ternon, <sup>2</sup>K. Cauchois, <sup>3</sup>G. Cornu, <sup>4</sup>D. Constantin, <sup>3</sup>P. Arnaud

<sup>1</sup>Grenoble INP – Phelma, UGA, Grenoble

<sup>2</sup>Grenoble INP – Perform, UGA, Grenoble

<sup>3</sup>Maison Pour la Science en Alpes Dauphiné (MPLS-AD), Grenoble

<sup>4</sup>CIME Nanotech, Grenoble

CIME-NANOTECH

**16 h 45 Formation CMOS à l'AIME : évolution du procédé à l'aide de TCAD**

P20

R. Tan, J-B. Lincelles, M. Charnay, C. Capello, J. Schaeber, H. Azeroual,

I. Konate, O. Bernal, H. Tap, M. Respaud

AIME Toulouse

AIME

**16h 50 Procédé flash MOSFET : l'essentiel des procédés de micro-nanofabrication en deux photolithographies**

P21

G. Agnus, A. Hamadeh, R. Tan, Ch. Capello, Ch. Rouabhi, J. Schaeber, H. Azeroual,

I. Konate, J-B. Lincelles et M. Respaud

<sup>1</sup>Université de Paris Saclay, Palaiseau

<sup>2</sup>AIME, Toulouse

PMIPS/AIME

**16 h 55 Techniques et technologies d'assemblage des composants électroniques sur PCBA 2D vers les systèmes Plastronique 3D**

P22

P. Lombard, C. Orango, T. Gerges, B. Allard, M. Cabrera

Université de Lyon : Université Claude Bernard Lyon 1, CNRS, Ecole Centrale de Lyon, INSA de Lyon

Laboratoire AMPERE – UMR CNRS 5005 F-69621 Villeurbanne

CIMIRLY

**17 h 00 BOBIN'ATHLON : mise en pratique de la transmission d'énergie sans fil (WPT) par le défi compétitif et l'apprentissage tutoré**

P32

<sup>1</sup>S.Hémour, <sup>2</sup>F. Champion, <sup>2</sup>D. Blanchard, <sup>3</sup>S. Reverdy, <sup>4</sup>J. Tomas

<sup>1</sup>IMS, IUT Bordeaux, dpt GEII, Université de Bordeaux, Bordeaux

<sup>2</sup>IUT de Bordeaux (Université de Bordeaux), département GEII, Gradignan

<sup>3</sup>CAP ELENA (Université de Bordeaux), Bordeaux

<sup>4</sup>IMS (Université de Bordeaux) et GIP-CNFM, Bordeaux

**17 h 05 Conception d'un générateur de nombre aléatoire**

P28

M. Guérin, S. Meillère, P. Pannier, J. Postel-Pellerin, R. Laffont

Polytech Marseille, Technopôle de Château-Gombert, Marseille

PACA

**17 h 10 PAUSE - DÉMONSTRATIONS - POSTERS**

**Nouveaux outils – nouvelles formations**

**17 h 40 De la caractérisation à la construction de modèles de composants de puissance à semiconducteur à grand gap**

P23a

B. Niass Ndao, P. Brosselard, B. Allard

Ampère, INSA Lyon, Villeurbanne

CIMIRLY

**17 h 45 Banc Double-Impulsions pour la caractérisation de composants de semiconducteur puissance à grand-gap**

P23b

B. Niass Ndao, P. Brosselard, B. Allard

Ampère, INSA Lyon, Villeurbanne

CIMIRLY

<b>17 h 50</b>	Mise en œuvre d'une station sous pointes pour la caractérisation de composants intégrés silicium avec étalonnage de type SOLT	P24
K. Djebbar, D. Passerieux, B. Barelaud, O. Tantot, J. Lintignat <i>XLIM, UMR 7252, Université de Limoges/CNRS, 123 av A. Thomas, 87060 Limoges</i>		PLM
<b>17 h 55</b>	<b>Essais CEM en cage de Faraday</b>	P25
<sup>1,2</sup> D. Sleiman, <sup>1,2</sup> W. Uhring, <sup>1</sup> N. Collin <sup>1</sup> ICube Université de Strasbourg, Strasbourg <sup>2</sup> IUT de Haguenau (Université de Strasbourg), Haguenau		MIGREST
<b>18 h 00</b>	<b>Étudier l'intégrité du signal dans les PCBs : expérimentation et modélisation</b>	P26
T. Dubois, R. Boni Salifou, A. Duguet, G. Costa e Silva, S. Le Bihan <i>IMS, Université de Bordeaux, Bordeaux, France</i>		PCB
<b>18 h 05</b>	<b>International Summer School on Micro and Nano-fabrication tools for innovating applied electronics and fundamental research</b>	P27a
R. Tan, J. Harmel, C. Capello, C. Rouabhi, J. Schäuber, H. Azeroual, I. Konate, J. B. Lincelles, M. Mauguet, X. Marie, M. Respaud <i>AIME, Toulouse</i>		AIME
<b>18 h 10</b>	<b>Les technologies quantiques appliquées pour les capteurs à forte sensibilité et communication sécurisés</b>	P27b
Maxime Mauguet, André Ballochi, Cédric Robert, Thomas Boulier, Xavier Marie, M. Respaud <i>AIME, Toulouse</i>		AIME

### Actions CSF

<b>18 h 15</b>	<b>Les actions du CSF électronique pour l'emploi et le développement des compétences</b>	09
<sup>1</sup> S. Beaufils, <sup>2,1</sup> V. Hoël <sup>1</sup> CSF Electronique – GT emploi formation compétences <sup>2</sup> PLFM Pôle CNFM Lille et GIP-CNFM, Grenoble, France		

### 18 h 40 DÉMONSTRATIONS – POSTERS (Suite)

### 20 h 00 DÎNER

**VENDREDI 5 DECEMBRE 2025**

**Projets AMI-CMA**

<b>9 h 00</b>	<b>Présentation du projet AMI-CMA CAP ELENA</b> S. Hémour <i>IMS, IUT Bordeaux, dpt GEII, Université de Bordeaux, Bordeaux</i>	O10
<b>9 h 15</b>	<b>Présentation du projet AMI-CMA ESOS</b> V. Harel <i>INSA Rennes</i>	O11

**Conception**

<b>9 h 30</b>	<b>Conception automatisée d'oscillateurs configurables pour les systèmes sur puce : bilan d'un projet collaboratif et pédagogique</b> S. Feruglio, D. Galayko, F. Vallette, J-P. Chaput, M-M. Louérat <i>LIP6, CNRS UMR 7606, Sorbonne Université, Paris</i>	P29  CEMIP
<b>9 h 35</b>	<b>Migration NIOS II vers NIOS V sur carte DE10-Lite : un levier technique et pédagogique pour l'enseignement des systèmes embarqués.</b> V. Frick <i>ICube, Université de Strasbourg, Strasbourg</i>	P30  MIGREST
<b>9 h 40</b>	<b>Introduction à la Conception FPGA en Master 1</b> W. Pensac <i>Polytech Montpellier, LIRMM CNRS 5506, Université de Montpellier, Montpellier</i>	P31  PCM

**Attractivité**

<b>9 h 45</b>	<b>Kit pédagogique pour la sensibilisation aux métiers de la micro-électronique</b> ¹O.François, ¹L. Rousseau, ¹P. Poulichet, ¹J. Pagazani, ¹N. Pavy, ¹N. Ben Moussa, ²P. Auvray <i>¹ESIEE Paris, Université Gustave Eiffel, Noisy Le Grand ²Mindyllis, Caen</i>	P33  CEMIP
<b>9 h 50</b>	<b>Effets musicaux et circuits électroniques : une pédagogie active pour l'enseignement de l'électronique</b> R. Mohellebi, D.-K.G. Pham, K. Ben Kalaia, C. Jabbour <i>Equipe C2S, LTCI, Télécom Paris, Institut Polytechnique de Paris, Palaiseau</i>	P34  CEMIP
<b>9 h 55</b>	<b>Attractivité de l'électronique : des mallettes connectées pour les collégiens</b> ¹S. Avrillon, ²G. Debert, ²O. Demiraslan, ²S. Druart, ²D. Evellin, ³L. Boursier, ³A. Coquet, ³G. Griffon, ³M. Nouvel, ³T. Poitevineau <i>¹IETR, Université de Rennes, Rennes ²Enseignants de l'Académie de Rennes ³Elèves apprentis de l'ESIR, Rennes</i>	P35  CCMO

**10 h 00 PAUSE - DÉMONSTRATIONS - POSTERS**

<b>10:45</b>	<b>Présentation projet AMI-CMA INFORISM</b> O. Bonnaud - DG GIP-CNFM	O12
<b>10:55</b>	<b>Présentation projet AMI-CMA ASTEERICS-C2FM</b> O. Bonnaud DG GIP-CNFM	O13
<b>11:05</b>	<b>Echange sur les actions Attractivités futures des AMI-CMA</b> O. Bonnaud DG GIP-CNFM	T3
<b>11:15</b>	<b>CLOTURE DES JPCNFM 2025</b> O. Bonnaud , J.L. Estienne, A-C. Salaün et L. Pichon	

**12 h 00 DÉJEUNER**

**14 h 00 FIN DES JOURNEES**

# Fabrication de circuits intégrés durant des programmes doctoraux en technologie GaN et en 65nm : une accélération d'innovations

L. Trojman<sup>a</sup>, E. Holguin<sup>b</sup>, N. Pozo<sup>b</sup>, K. Vicuna<sup>a,c</sup>, L.-M. Procel<sup>b</sup>, F. Crupi<sup>c</sup>, F. Amiel<sup>a</sup>

<sup>a</sup>LISITE, Isep, Issy-Les-Moulineaux, France

<sup>b</sup> Université San Francisco de Quito (USFQ), Quito, Equateur

<sup>c</sup>Université de Calabres, UNICAL, Rende, Italie

Contact email : [lionel.trojman@isep.fr](mailto:lionel.trojman@isep.fr)

Dans un contexte où la micro et nanoélectronique reprend une position prédominante sur la scène internationale, nous avons dans notre laboratoire, le LISITE en collaboration avec nos partenaires de l'UNICAL et de l'USFQ dédié des programmes doctoraux dans des champs d'application innovant. Nous avons développé en électronique puissance en développant entre autres le concept de System-on-Chip de puissance en technologie GaN. Et sur les thèmes de la cryptographie exploité le concept des PUF en les rendant accessibles dans n'importe quel FPGA sans sacrifier sa performance. 80% de ces projets ont conduit à la fabrication d'un circuit intégré soit en technologie 180nm, 65nm ou p-GaN dans le cadre des programmes Europractice et Ascent+.

## I. Introduction

Les 5 dernières années ont été décisives pour les technologies micro et nanoélectronique. Tout d'abord la crise sanitaire du COVID19 a impulsé dans un large spectre des métiers et fonction sociales une utilisation accrue des outils numériques (1). Nous retrouvons essentiellement des applications reposant sur la digitalisation des contenus informatif (factuel et contextuelle) et leur stockage dans le cloud. Ensuite l'évènement de « l'IA générative » et sa diffusion au grand public en 2022 amenant à repenser le rapport entre les humains et les machines et soulevant par ailleurs beaucoup de question d'éthique (2).

Ces événements démontrent que les besoins en calcul vont continuer à croître pour rendre ces applications plus rentables pour l'industrie et mieux intégré aux sociétés humaines ; aujourd'hui NVIDIA montre un CA de \$5TnUSD (3) et TSMC prévoit la production du nœud A14 (1.4nm) pour 2028 (4). Les fournisseurs de solution IA se retrouvent aussi dans une situation de développement intense : Openai est devenu un organisme à but lucratif, Google et Microsoft veulent développer leur propre microprocesseur pour entraîner leur modèle d'AI (5). En parallèle l'industrie des semiconducteurs « devient » une technologie souveraine et cadence les enjeux géopolitique et géoéconomique de l'orient à l'occident autour de la nouvelle route la soie.

Face à cette nouvelle donne, des défis critique émergent, défis dont nous choisirons 2 plus spécifiquement. La stratégie énergétique pour alimenter ces systèmes est une question des plus critiques dans un contexte environnemental contraint par l'appauvrissement des ressources naturelle. Puis d'un autre côté, la digitalisation des informations et la virtualisation des systèmes soulèvent une question fondamentale sur la sécurité et la protection des données. A l'Isep dans notre laboratoire du LISITE nous nous sommes concentrés spécifiquement sur ces 2 axes pour développer nos projets de recherche sur ces 5 dernières années.

## I. Un Amplificateur Opérationnel frugal et performant en 180nm

Un incontournable de l'électronique analogique trouvant des applications dans le conditionnement des signaux provenant des capteurs pour de la mesure physique ou dans la conversion analogique et digital. Ce qui le rend puissant en design c'est certainement la possibilité de « modular » ses performances le rendant à la fois versatile et indémodable. Aujourd'hui on le retrouvera autant dans les systèmes embarqués ou les objets connectés pour assurer la précision et donc la stabilité en réponse des circuits, considérant le bruit de fonctionnement. Les besoins en système chaque fois plus performant à moindre « coût » de silicium et d'énergie, à motiver ce travail. L'idée (Fig. 1.a) a été de repartir d'un étage différentiel « sortie simple » (PMOS, M1-M2) avec une charge active (NMOS, M3-M4) en sortie pour constituer la boucle de gain (près de 50dB). La polarisation est fournie par le transistor M12 contrôlé par le miroir de courant (M11-M5). Cet étage est suivi d'un amplificateur en source commune qui boost le gain et dont la stabilité en fréquence est assurée par le réseau de Miller Cc1 et Cc2 jusqu'à une bande passante unitaire de près de 70MHz avec une confortable marge de phase de 86°. La résistance de sortie est définie par un buffer M8-M9 qui tient compte d'une très bonne linéarité. Le tout est alimenté avec par une source de 1V (rail à rail). Le layout (Fig. 1.b) a été fait avec une librairie PDK 180nm avec Cadence Virtuoso. Les figures de mérite (Fig. 2a) montrent que cette proposition de design fait partie des meilleures solutions lors de sa publication en 2021 (6). Le circuit a été fabriqué en 180nm dans le cadre d'un programme IEEE et Europractice (Fig. 2.b). Le packaging a été fait à l'université de Bar-Ilan. Il est prévu de l'utiliser aujourd'hui dans un système complexe de TCAM en technologie STT-MRAM.

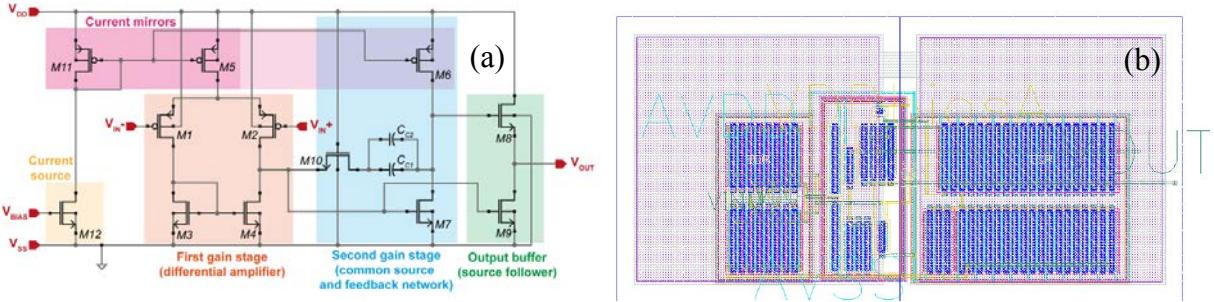


Fig.1. Schéma électrique de l'AOP avec les différents étages d'amplification (a) et le layout sous Cadence fait en utilisant une librairie PDK en 180nm de TSMC (b).

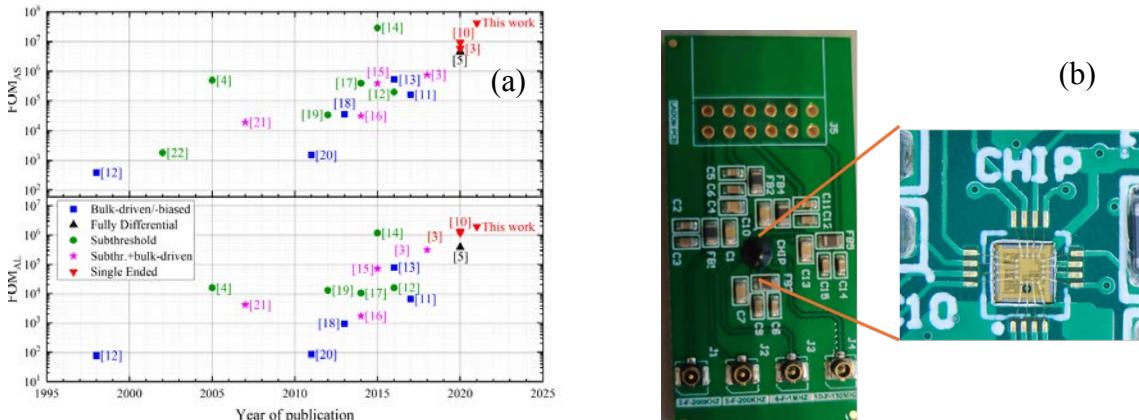


Fig.2. Figure de mérite pour petit (FOM<sub>AS</sub>) et large signaux (FOM<sub>AL</sub>) en (a) et le circuit fabriqué dans sa carte de test (packaging) et avec le wirebonding fait à l'université de Bar-Ilan (b).

## II. Gestion d'énergie en technologie GaN

### A. Circuit de gestion de puissance en GaN pour un récupérateur d'énergie MEMS capacitif

Les récupérateurs d'énergie ont un rendement qui dépend nettement de l'unité de gestion de puissance et de la charge de sortie. Dans le cas d'un récupérateur de type MEMS capacitif à fermeture de gap, le circuit mobilise une très grande quantité de charges provoquant des tensions de l'ordre de 45V (7-8). Dans de tels conditions, une technologie silicium conventionnelle n'est plus aussi performante d'où notre choix de se tourner vers une technologie GaN qui supporte des tensions plus élevées (état OFF) pour une dissipation énergétique plus basse (état ON) (9). Le circuit de gestion de puissance que nous considérons (Fig. 3) comprend un système de pompe de charge pour une conversion AC-DC suivi d'un comparateur basse puissance pour détecter les niveaux de tension en excès. Une fois activé le comparateur conduit et dirige les charges récupérées dans le condensateur d'accumulation. Le niveau de tension de référence du comparateur (VPR/D) est fixé par une tension externe fixée de façon proportionnelle à la tension de rectification.

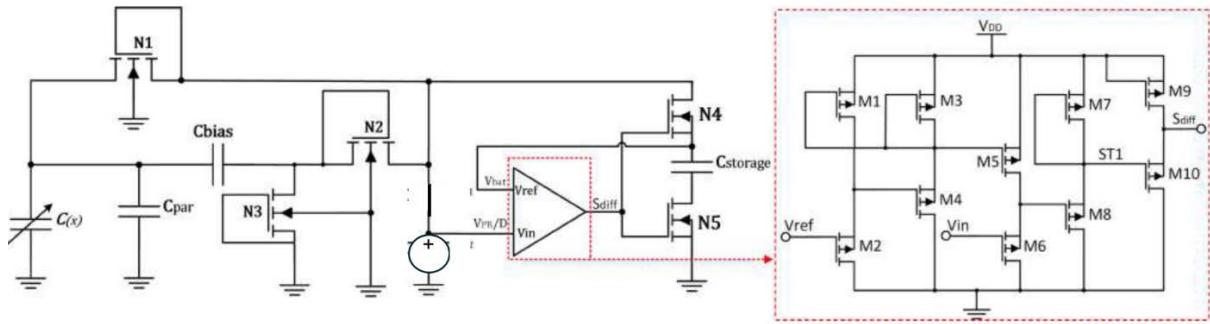


Fig.3. Schéma électrique de l'unité de gestion de puissance du MEMS capacitif. Ce dernier est représenté comme un condensateur variable avec la distance du gap. Le comparateur est explicité dans l'encadré en rouge où  $V_{in}$  = VPR/D propositionnel à la tension de rectification.

Le layout (Fig. 4.a) a été désigné en technologie p-GaN 200V provenant d'une librairie développée par Imec (10) en utilisant Cadence Virtuoso. Cette librairie à la particularité de proposer des HEMT en état normal OFF (dont la tension de seuil est positive). Cela nous a obligé à adapté le design du comparateur (Fig. 3, encadré rouge). Le circuit a été fabriqué dans le cadre du programme ASCENT+ (Fig. 4.b). L'inspection optique des échantillons montre un recouvrement complet par la couche de métal et un alignement correct de Pad avec un transfère précis de toutes les couches géométriques. Chaque die inclus 2 canaux indépendants pour les récupérateurs d'énergie de type MEMS. Les tests sous pointes sont en cours.

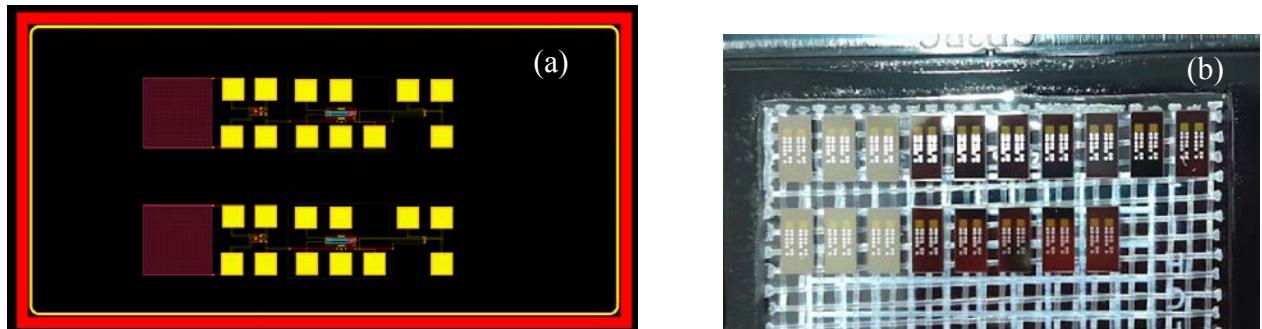


Fig.4. Layout du circuit de management puissance en (a) qui comprend 2 canaux indépendants et un pad pour la connexion au MEMS. Les échantillons des circuits fabriqués en GaN en (b).

## B. « System on Chip » (SoC) de puissance à base de technologie GaN avec un design restreint à des HEMT en E-mode

L'utilisation de circuit de gestion de puissance pour des récupérateur d'énergie nous a donné l'idée de généralisé ce concept à un système complet comprenant la boucle entre le dispositif de puissance au circuit de contrôle. Cette idée offre l'implémentation intégrale d'un système d'électronique de puissance qui peut exploiter toutes les performances de la technologie GaN et peut être utilisé pour des petites centrales de récupération d'énergie de type photovoltaïque. Rappelons que nous utilisons là encore la librairie de technologie p-GaN 200V développée par Imec qui ne propose que des HEMT à l'état normal OFF. Cela offre des performances plus équilibrées mais une logique complémentaire plus délicate à mettre en œuvre (11).

Le concept de System-on-Chip de puissance que nous mettons en œuvre dans ce projet, reprend celui du SoC faible puissance. Ce paradigme est alors appliqué à des technologies de haute puissance, on parle ici de 4kW géré par un circuit intégré sur 3mm<sup>2</sup>. Ce qui nous inspire dans cette démarche est le fait qu'en électronique de puissance existe 5 « niveaux d'intégration » (Fig. 5.a) chaque niveau assume une fonction électronique spécifique dans la chaîne de contrôle du dispositif de puissance. Un circuit en composants discrets, actifs et passifs limite les performances. On note entre autres les composantes parasites limitant la fréquence de fonctionnement, l'utilisation de bobines limitant la mise à l'échelle du circuit ou encore les problèmes de dissipation dans les résistances dû aux connexions. De plus ces circuits doivent être complétés par des systèmes auxiliaires utilisant une logique de détection de niveau. Ainsi, une solution complètement intégrée réduirait drastiquement ces effets négatifs et, en plus d'offrir des solutions dans les dimensions d'un microprocesseur, elle montrerait de très bonnes performances en fréquence. Dans cette perspective nous avons implémenté une solution complète de « SoC de puissance » qui comprend les 5 niveaux (Level 0 à Level 4) qui bien qu'à son niveau de développement initial, montre des performances très intéressante lors des simulations. Cette architecture que nous proposons intègre un interrupteur de puissance (Level 0), un gate driver (Level 1) (12), un détecteur à base de miroir de courant (Level 2) et un OCP basé sur un contrôle logique (Level 3) (13) et un circuit de control de boucle (Level 4). Non seulement il intègre les détecteurs mais il comprend en plus les systèmes auxiliaires de logique externe sur le même circuit intégré. La Fig. 5b montre le schéma hybride du SoC synoptique-électrique. Il indique la boucle fermée en cas d'excès de courant pour actionner la protection à titre d'exemple. Le Layout du SoC a été implanté en technologie p-GaN 200V sous Cadence Virtuoso (Fig. 6.a). Les simulations post layout montrent d'ores-et-déjà que ce système pourrait avoir un temps de réaction de 34ns, afin de limiter le courant à 12A et fonctionnerait à une fréquence 1MHz. Et rappelons qu'il pourrait supporter des puissances de l'ordre de 4kW pour une surface de GaN de 3mm<sup>2</sup>. Afin de vérifier ces performances plutôt exceptionnelles, le SoC a été fabriqué dans le cadre du programme ASCENT+ (Fig. 6.b). Le circuit suit une campagne de test en collaboration avec le laboratoire du GEEPS.

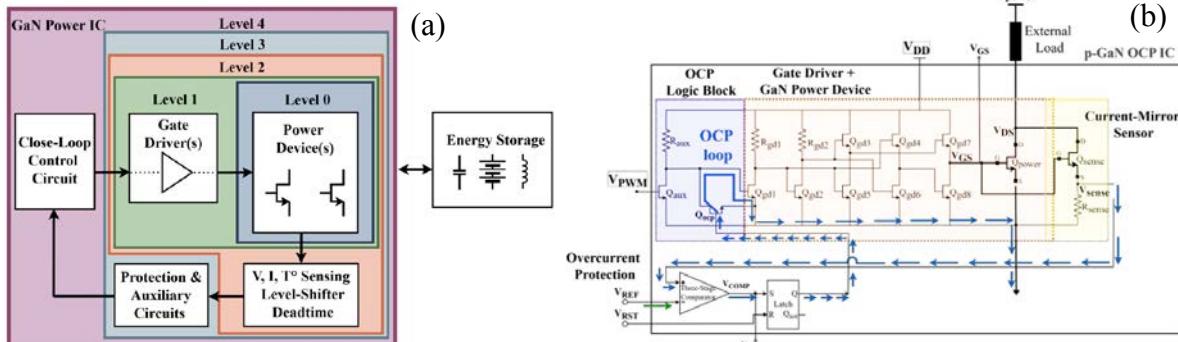


Fig.5. Architecture du System-on-Chip de puissance considérant tous les niveaux d'intégration d'un système en électronique de puissance adapté au concept de SoC. En (b) le schéma électrique propose le cas d'un excès de courant et la boucle de rétroaction pour protéger le dispositif de puissance avec une mise stand-by du circuit via le latch.

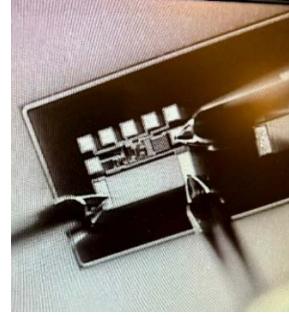
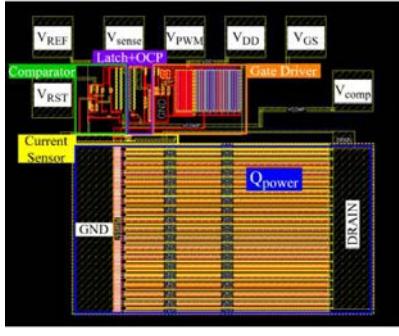


Fig.6. Le layout avec la description des connexions et des blocs fonctionnels de chaque niveau d'intégration du SoC en (a) et en (b) photographie du circuit intégré sous un microscope optique dans une station sous-pointe.

### III. L'empreinte digitale numérique : de l'ASIC 65nm à l'implémentation FPGA

La question de la sécurité des informations est soumise à une forme d'adaptation technologique qui surenchère de la complexité des systèmes. L'utilisation de fonctions mathématiques pour définir des protocoles en cryptographie en sont un exemple comme lorsque l'on passe du chiffre de César à Diffie-Hellman : le but reste le même mais les niveaux de complexité employé dans leur stratégie sont radicalement différents. Cependant les deux sont cassable si on y met les moyens de calcul suffisant et parfois si on trompe le système comme l'a montré Turing avec Enigma avec la cryptanalyse adéquate. Afin de dépasser ces limitations, un nouveau paradigme émerge en cryptographie qui se base sur les Physics Unclonable Functions (PUF). L'idée revient à exploiter la variabilité des process de fabrication responsable des variations en performance des dispositifs numériques et de l'associé à une empreinte digitale au sens humain du terme.

Dans ce travail (14) nous avons utilisé le principe de l'oscillateur en anneaux exploitant l'effet transitoire (TERO) explicité en Fig. 7.a. On comprend que suivant le chemin du signal l'oscillateur va collapser soit sur 1 soit 0 : ces délais sont des paramètres qui fluctuent en fonction de la variabilité du process de fabrication générant une réponse quasiment imprévisible. Nous avons développé le layout en 65nm (Fig. 7b) et les tests post layout montre une excellente unicité et reproductibilité avec le test de la distance de Hamming (Fig. 7c). L'utilisation d'une intégration ASIC offre plusieurs avantages comme BER natif proche de 0 et donc plus facile à calibrer, la rendant plus versatile : on peut configurer la PUF comme forte ou faible en plus d'une rapidité d'exécution. Le circuit a été fabriqué avec une technology TSMC dans le cadre du programme Europractice (Fig. 7.d) et en collaboration avec l'UNICAL (Italie).

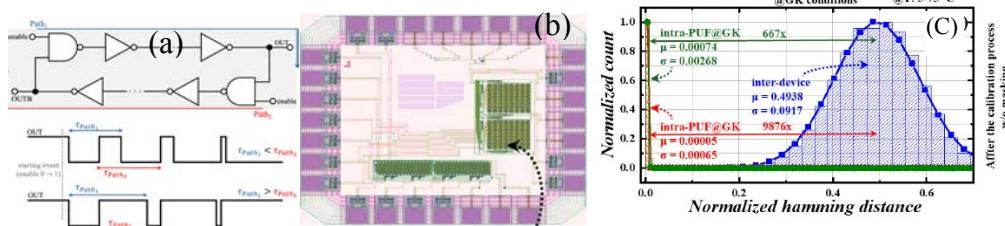


Fig.7. En (a) le principe de fonctionnement du TERO lorsque les délais sont proches la PUF devient aléatoire et son entropie est maximisé. En (b) le layout fait en 65nm, la portion verte correspond au TERO designer. En (c) la distance de Hamming où la distance inter (gaussienne bleu) la valeur moyenne est proche de 0.5 avec une faible variance (bonne unicité) et la distance intra (gaussienne rouge) proche de 0 avec une séparation de près de 1000x après calibration (667x avant). En (d) le chip dans son packaging prêt pour les tests en laboratoire.

### I. Conclusion

Nous avons montré dans cette publication des travaux de recherche dans le LISITE à l'Isep conduit par des doctorants et des élèves de master. Ces travaux ont tous pu conduire à la fabrication d'un

circuit intégrés dans différentes technologies : 180nm, 65nm, et p-GaN. Bien que les circuits aient bien été reçus, ils sont pour la plupart en campagne de test et nous pourrons publier ces travaux dans des revues internationales de haut niveau à l'issus de ces tests. Cela contribue à consolider la méthodologie qui conduit aux étudiant.e.s master et docteurs de conclure leurs travaux de recherche par circuits afin de démontrer les résultats de leurs travaux de façon expérimentales. Mais plus important, les doctorants ont ainsi proposé des circuits complètement innovants comme un système de gestion de puissance haute tension en GaN pour des MEMS capacitif, un SoC de haute puissance (4kW sur 3mm<sup>2</sup>) et une PUF TERO avec des performances exceptionnelles et dont le concept est transposable sur des systèmes FPGA. Aussi il est essentiel de favoriser un environnement qui permet aux étudiant.e.s de fabriquer leur innovation par des collaborations entre l'académie et l'industrie de la micro et nanoélectronique.

### Remerciements

Les auteurs et spécifiquement les doctorants, souhaitent remercier le GIP et donc de la DGESIP, et le projet INFORISM (AMI-CMA) financé par l'ANR, convention N°ANR-23-CMAS-0024 pour l'accès au logiciel CADENCE. Nous souhaitons également remercier le programme ASCENT+ qui ont financé la fabrication des circuits GaN et l'Isep qui a financé leur diecing. Enfin nous souhaitons remercier le programme Europractice, l'IEEE R8 pour le soutien dans la fabrication des circuits AOP en 180nm et l'université de Bar-Ilan pour le packaging et l'université de Calabres pour le financement du circuit PUF en 65nm. Sans eux leur thèse et leurs travaux n'aurait jamais pu obtenir le niveau d'excellence atteint aujourd'hui.

### Références

1. Calvino, F., C. Criscuolo and A. Ughi (2024), "Digital adoption during COVID-19: Cross-country evidence from microdata", *OECD Science, Technology and Industry Working Papers*, No. 2024/03, OECD Publishing, Paris, <https://doi.org/10.1787/f63ca261-en>.
2. Trabelsi MA (2024), "The impact of artificial intelligence on economic development". *Journal of Electronic Business & Digital Economics*, Vol. 3 No. 2 pp. 142–155, doi: <https://doi.org/10.1108/JEBDE-10-2023-0022>
3. <https://www.theguardian.com/technology/2025/oct/29/nvidia-first-company-5-trillion>
4. [https://www.tsmc.com/english/dedicatedFoundry/technology/logic/l\\_A14](https://www.tsmc.com/english/dedicatedFoundry/technology/logic/l_A14)
5. <https://www.wired.com/story/the-rise-of-ai-is-forcing-google-and-microsoft-to-become-chipmakers/>
6. K. Vicuña *et al.*, "A 180 nm Low-Cost Operational Amplifier for IoT Applications," *2021 IEEE Fifth Ecuador Technical Chapters Meeting (ETCM)*, Cuenca, Ecuador, 2021, pp. 1-6, doi: 10.1109/ETCM53643.2021 (travail qui a remporté le prix de NEWCASS workshop student)
7. E. Holguin, « IP d'autonomie énergétique à base de MEMS capacitif en technologie GaN-on-Si », PhD manuscript archived at Sorbonne University, <https://theses.fr/2023SORUS672>.
8. E. Holguin, L. Trojman, L. M. Procel, A. Brenes and A. Vladimirescu, "Design and optimization of a Vibrational MEMS-Based Energy Harvester," *2022 17th Conference on Ph.D Research in Microelectronics and Electronics (PRIME)*, Villasimius, SU, Italy, 2022, pp. 209-212, doi: 10.1109/PRIME55000.2022.9816839. (pix du Meilleur papier étudiant)
9. E. Holguín, L. M. Prócel, A. Brenes, A. Vladimirescu and L. Trojman, "Analysis and Design of a Self-Powered VEH System Based on ULP Comparator," *2023 IEEE 14th Latin America Symposium on Circuits and Systems (LASCAS)*, Quito, Ecuador, 2023, pp. 1-4, doi: 10.1109/LASCAS56464.2023.10108276.
10. [https://www.imec-int.com/drupal/sites/default/files/2019-05/GAN%20ICS%20for%20integration%20of%20power%20systems\\_updated2019.pdf](https://www.imec-int.com/drupal/sites/default/files/2019-05/GAN%20ICS%20for%20integration%20of%20power%20systems_updated2019.pdf)
11. N. Pozo, L. -M. Prócel and L. Trojman, "Enhancement-mode p-GaN Comparators for power applications," *2023 18th Conference PRIME*, Valencia, Spain, 2023, pp. 197-200
12. N. Pozo, L. -M. Prócel and L. Trojman, "Design of a Gate Driver Based-on E-mode p-GaN HEMTs Handling 650V/10A GaN Power Device," *2024 22nd IEEE Interregional NEWCAS Conference (NEWCAS)*, Sherbrooke, QC, Canada, 2024, pp. 333-337, doi: 10.1109/NewCAS58973.2024.10666324.
13. N. Pozo, L. -M. Prócel and L. Trojman, "All-GaN Integrated Overcurrent Protection Circuit Using Only Enhancement-mode p-GaN Devices," *2024 37th SBC/SBMicro/IEEE Symposium on Integrated Circuits and Systems Design (SBCCI)*, Joao Pessoa, Brazil, 2024, pp. 1-5, doi: 10.1109/SBCCI62366.2024.10703983.
14. K. Vicuña, M. Vatalaro, F. Amiel, F. Crupi and L. Trojman, "Highly Stable Reconfigurable TERO PUF Architecture for Hardware Security Applications," in *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 33, no. 10, pp. 2873-2882, Oct. 2025, doi: 10.1109/TVLSI.2025.3587502.

# Une nouvelle approche de la stabilité des pérovskites pour une technologie photovoltaïque adaptée aux besoins énergétiques des objets numériques

L.A Egbunu-David<sup>a,b</sup>, N. Doumit<sup>a</sup>, E. Ntsoenzok<sup>b</sup>, L. Trojman<sup>a</sup>

<sup>a</sup> LISITE, Institut supérieur d'électronique de Paris (Isep), 92130 Issy-les-Moulineaux, France,

<sup>b</sup> CEHMTI, Centre national de la recherche scientifique (CNRS), 45071, Orléans, France.

E-mail de contact : [lilian.david-egbunu@ext.isep.fr](mailto:lilian.david-egbunu@ext.isep.fr)

## Abstract

L'évolution rapide des dispositifs connectés et numériques exige des matériaux semi-conducteurs qui combinent des performances optoélectroniques élevées avec une stabilité opérationnelle à long terme. Les pérovskites aux halogénures métalliques, en particulier l'iodure de plomb de formamidinium ( $\text{FAPbI}_3$ ), offrent des propriétés exceptionnelles d'absorption de la lumière et de transport des porteurs de charge, mais restent limitées par la métastabilité de leur  $\alpha$ -phase noire photoactive, qui se transforme facilement en  $\delta$ -phase jaune non photoactive à température ambiante. Dans cette étude, des calculs de la théorie de la fonctionnelle de la densité (DFT) ont été effectués pour comprendre les propriétés électroniques et optiques intrinsèques du  $\alpha$ - $\text{FAPbI}_3$  tridimensionnel (3D) et de son analogue bidimensionnel (2D)  $\text{BA}_2\text{FAPb}_2\text{I}_7$ . La phase 3D présente un gap direct de 1,48 eV et une forte absorption de la lumière visible, tandis que la phase 2D présente un gap plus large de 2,09 eV et un confinement électronique amélioré. L'analyse de la densité d'états projetée confirme l'existence d'une compatibilité électronique Pb-I partagé, assurant une interface entre ces matériaux. Ces résultats démontrent comment les couches de pérovskite 2D peuvent stabiliser la phase  $\alpha$  de  $\text{FAPbI}_3$ , offrant une voie prometteuse pour le développement de matériaux durables et performants pour les dispositifs microélectroniques, photoniques et de capteurs de nouvelle génération.

## I. Introduction

L'augmentation exponentielle des objets connectés et, plus généralement, de l'utilisation de l'énergie électronique dans le fonctionnement des technologies modernes(1) soulève une question cruciale : comment pouvons-nous soutenir l'alimentation électrique et la consommation d'énergie de ces appareils ? Une façon de répondre à cette question est sans aucun doute de redesigner les circuits pour les rendre moins énergivores tout en conservant des performances adéquates. Cependant, cela ne freine pas la production croissante d'appareils numériques. Depuis plusieurs décennies, les récupérateurs d'énergie proposent une solution pour réduire la dépendance à une source d'énergie électrique centralisée, dont plus de 60 % est obtenue à partir d'énergies fossiles(2). Leur intégration dans les systèmes électroniques (SoC) est assez bien acceptée dans les conceptions, mais leur efficacité reste une question difficile à maîtriser, nous ramenant souvent aux propriétés physiques des matériaux et aux phénomènes qui s'y produisent à l'échelle atomique. Pour prendre l'exemple de la technologie de récupération d'énergie la plus répandue dans les systèmes électroniques, le Photovoltaïque repose sur l'effet photoélectrique, où l'interaction électron-photon

dépend de la nature du matériau utilisé. Dans le cas du silicium, le matériau le plus mature de cette technologie, l'efficacité quantique, c'est-à-dire le rapport d'énergie électrique obtenu pour un photon absorbé par le matériau, est d'environ 25 %. On peut alors se demander s'il ne serait pas judicieux de remplacer le silicium par un autre matériau plus performant. La réponse, bien sûr, dépend : 1) de sa stabilité et de sa fiabilité, et 2) de sa compatibilité avec le silicium et les systèmes électroniques.

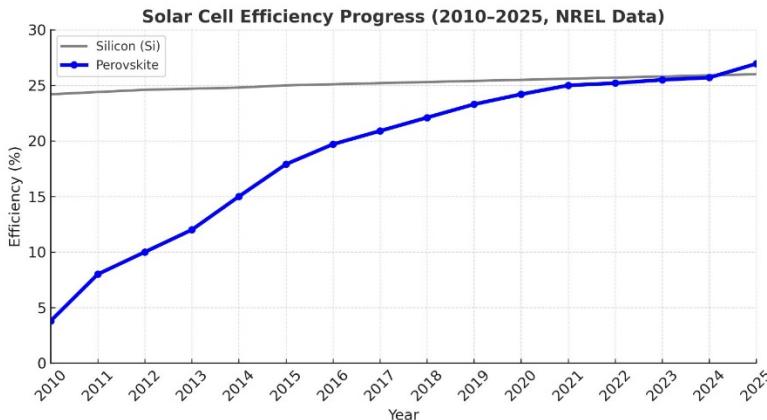


Fig. 1. Évolution technologique dans l'utilisation des matériaux semi-conducteurs, du silicium et des pérovskites. Les pérovskites ont suivi une tendance à la hausse, dépassant récemment la technologie du silicium(3).

Une revue de l'évolution de l'efficacité des matériaux photovoltaïques nous a amenés à nous intéresser aux matériaux pérovskites (Fig. 1). En effet, les dispositifs à pérovskite ont récemment montré une meilleure efficacité et un potentiel de croissance plus prononcé que ceux en silicium. Leurs performances exceptionnelles proviennent de leurs propriétés uniques : modulation du gap, coefficients d'absorption élevés, longues longueurs de diffusion des porteurs et mobilités élevées des porteurs de charge. Cependant, les matériaux à base de pérovskite présentent une faible fiabilité, ce qui s'explique par des problèmes de stabilité causés par l'humidité ambiante, entre autres (4).

Il peut cependant y avoir un moyen de les rendre plus stables. Les pérovskites ont une structure de type substrat, donc avec une configuration atomique 3D similaire au silicium, à la différence que plusieurs types de matériaux sont impliqués dans la structure cristalline, notamment des métaux, des halogénures et des cations organiques (Fig. 2a). De plus, ils sont parfaitement adaptés pour une intégration dans une pile (« stack ») de dispositifs optoélectroniques pour des applications photovoltaïques (Fig. 2b).

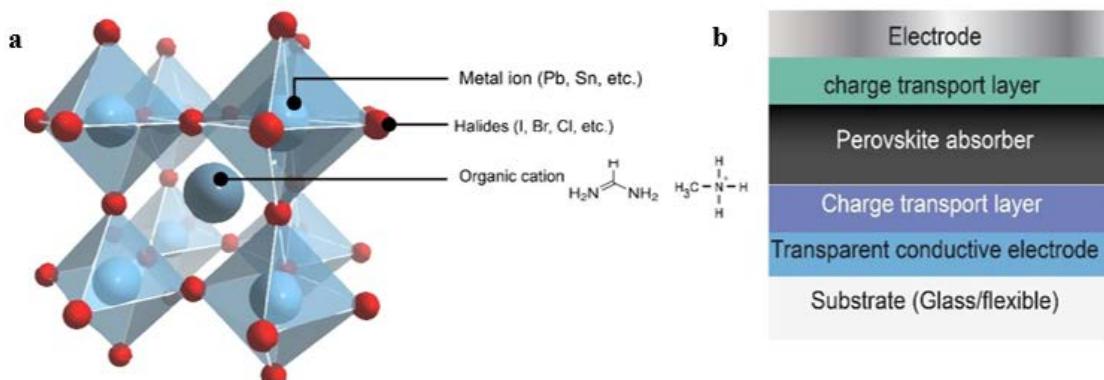


Fig. 2. Un exemple de cellule pérovskite primitive avec l'architecture « gate stack » dans un dispositif photovoltaïque(5).

Pour compenser l'instabilité des pérovskites, l'idée est de les recouvrir d'une couche de matériau 2D ayant une base atomique similaire pour « les contenir » et rendre le système plus stable. En effet les pérovskites 2D ont une structure en couches avec des cations d'espacement organiques volumineux, ce qui leur confère une bonne stabilité(6). Dans notre cas, nous avons décidé de travailler avec des pérovskites de configuration cristalline  $ABX_3$ , et plus particulièrement avec de l'iodure de plomb de formamidinium ( $FAPbI_3$ ) et l'iodure de plomb de butylammonium et de formamidinium 2D  $BA_2^+ FAPb_2^- I_7^-$  (Fig. 3).

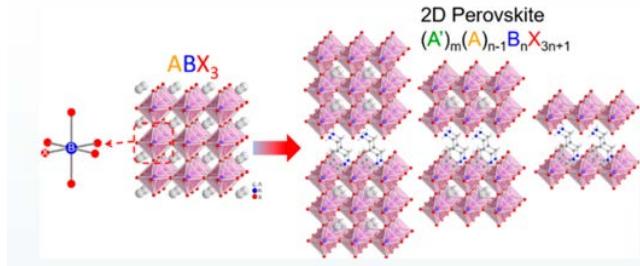


Fig. 3. Illustration schématique de la transformation structurelle de la pérovskite 3D  $ABX_3$  à la pérovskite 2D Ruddlesden-Popper en couches  $(A')_m(A)_{n-1}B_nX_{3n+1}$  (7)

Pour comprendre les interactions entre les substrats 3D et 2D et la faisabilité d'un dispositif à base de pérovskite, nous avons étudié les caractéristiques électriques de ces matériaux par le biais d'une analyse théorique pour comprendre leur structure électronique, leur densité d'états et leur diagramme de bande.

## II. Etude préliminaire à l'aide de la théorie de la fonctionnelle de la densité (DFT)

La DFT est une approche intéressante car elle permet une étude relativement précise de la structure électronique et permet de prédire les caractéristiques électroniques d'un matériau. La DFT intègre le concept de densité électronique, ce qui simplifie le problème complexe à N corps des électrons en interaction. La DFT réduit la complexité de calcul d'un problème à 3N dimensions (où N est le nombre d'électrons) à un problème à 3 dimensions en se concentrant sur la densité électronique plutôt que sur la fonction d'onde de chaque électron. Cette réduction améliore considérablement l'efficacité de calcul, ce qui permet d'étudier des systèmes atomiques plus grands(8). Les calculs DFT peuvent être utilisés pour mieux comprendre les effets de l'incorporation de la pérovskite 2D sur le gap, les masses effectives des porteurs de charge et les spectres d'absorption optique sur le  $FAPbI_3$ . La compréhension du mécanisme de stabilisation peut également être obtenue en clarifiant les interactions à l'interface  $BA_2FAPb_2I_7$  (2D) et  $FAPbI_3$  (3D).

Dans notre étude, nous avons choisi d'utiliser le logiciel Quantum ATK de la suite Synopsys. La stratégie consiste à utiliser les paramètres de structure électronique obtenus à partir de la DFT et à les intégrer dans un modèle physique pour la simulation au niveau du dispositif à l'aide de Sentaurus TCAD. Enfin, l'objectif est d'appliquer ce modèle physique à la simulation électrique avec CDesigner et de tester ses performances électriques dans un circuit dans des conditions quasi réelles. Les modifications du modèle physique peuvent ensuite être exportées pour diverses applications dans les circuits électriques afin d'évaluer la récupération d'énergie et son efficacité dans un contexte technologique donné.

## III. Résultats et discussion

Nous présentons ici l'analyse computationnelle des propriétés structurelles, électroniques et optiques des systèmes de pérovskites 3D  $FAPbI_3$  et 2D  $BA_2^+ FAPb_2^- I_7^-$ , et interprétons leurs

implications pour une cellule solaire à pérovskite stabilisée. Pour ces calculs nous avons utilisé la fonction d'échange-corrélation des électrons pour la pérovskite 2D à l'aide de la fonction d'approximation de gradient généralisée (GGA) développée par Perdew-Burke-Ernzerh (PBE). Le pseudopotentiel du pseudo Dojo et l'ensemble de base de la combinaison linéaire d'orbitales atomiques (LCAO) ont été utilisés et, une correction de dispersion D2 de Grimme a été incorporée pour tenir compte des interactions de Van der Waals. Nous avons utilisé la fonction hybride Heyd-Scuseria-Ernzerhof (HSE06) pour calculer les structures électroniques de la pérovskite 3D. Un milieu de base fixé par un pseudo potentiel de type Pseudo Dojo a été utilisé. L'échantillonnage de la zone Brillouin a utilisé une grille de points k Monkhorst-Pack ( $6 \times 6 \times 6$  pour la 3D,  $7 \times 7 \times 2$  pour la 2D), et une énergie de coupure de 300 eV. Les structures géométriques sont relaxées grâce à l'utilisation de l'optimiseur Broyden– Fletcher-Goldfarb-Shanno (LBFGS) à mémoire limitée.

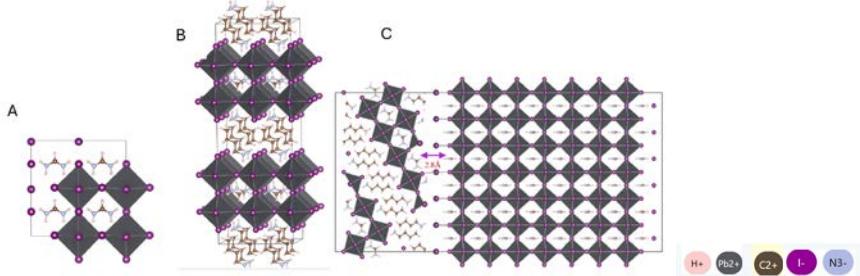


Fig. 4. Structures cristallines de, (A). 3D-FAPbI<sub>3</sub> (B) 2D-BA<sub>2</sub>FAPb<sub>2</sub>I<sub>7</sub> (C) Hétérostructure 3D/2D avec un vanderWaalsgap typique de 2,8 Å. Les octaèdres respectifs de PbI<sub>6</sub> sont marqués en gris, et les atomes sont marqués de Pb (gris), I (violet), C (marron), N (bleu) et H (rose). Les constantes du réseau de la structure 3D sont  $a=6.343\text{ \AA}$ ,  $b=6.343\text{ \AA}$ ,  $c=6.343\text{ \AA}$ ,  $\alpha=\beta=\gamma = 90^\circ$ , et celles de la structure 2D sont  $a=6.4884\text{ \AA}$ ,  $b=6.503\text{ \AA}$ ,  $c=19.0571\text{ \AA}$ ,  $\alpha=\beta=\gamma = 90^\circ$ .

Nous présentons d'abord la structure cristalline des pérovskites 2D, 3D et hybrides, et leur structure composite. Les structures prototypiques ont été obtenues à partir de calculs de structure électronique de type « first-principle » dans QuantumATK, comme le montre la Fig. 4.

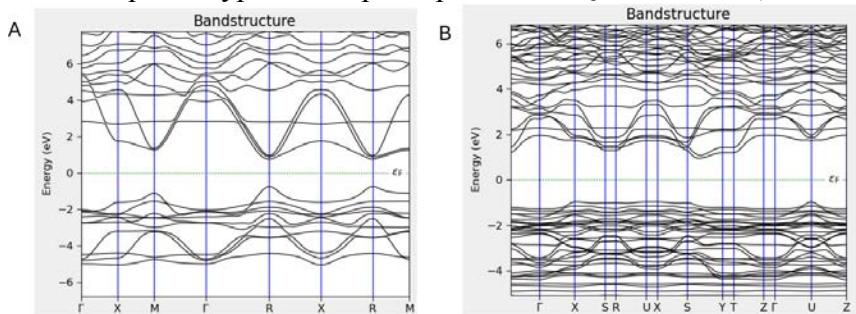


Fig. 5. Band Structure de (A) FAPbI<sub>3</sub> (B) BA<sub>2</sub> FAPb<sub>2</sub> I<sub>7</sub>

D'après la simulation sur QATK, la phase cubique FAPbI<sub>3</sub> présente un gap de 1,48 eV (Figure 5A) consistent avec des dispositifs à haut rendement(9-11). En revanche, la structure 2D BA<sub>2</sub> FAPb<sub>2</sub> I<sub>7</sub> à un gap plus grand de 2,09 eV (Fig. 5B). cette différence de gap est cohérente les effets diélectriques et confinement quantique dans les pérovskites stratifiées de Ruddlesden-Popper ; band gap  $\sim 2.0\text{-}2.3$  eV pour les compositions  $n = 2$  (spacieur/FA)(12)13). La structure de bandes électroniques montre une disparité de dispersion CB et VB relativement raide pour le FAPbI<sub>3</sub> 3D. En revanche le BA<sub>2</sub> FAPb<sub>2</sub> I<sub>7</sub> 2D montre des dispersions plus aplatis indiquant des masses effectives plus grandes et un confinement plus important, suggérant un rôle de couche stabilisatrice pour la FAPbI<sub>3</sub>. Nous retrouvons avec la DFT (QATK) un résultat conforme aux études théoriques précédentes sur les pérovskites où la dimensionnalité réduite augmente la masse effective et limite la mobilité des porteurs(14).

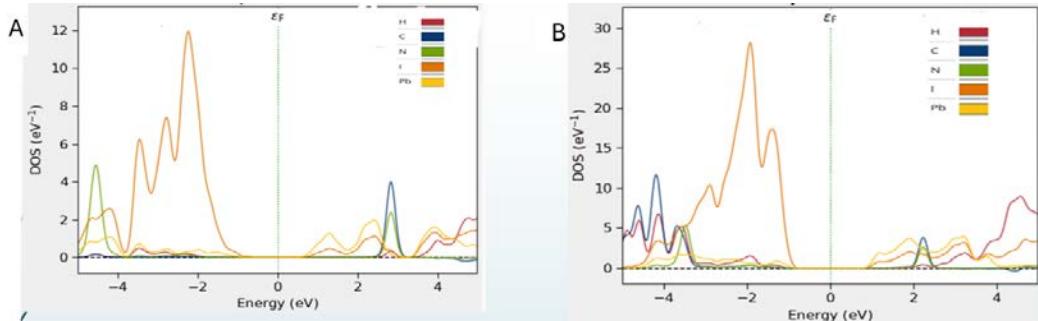


Fig. 6. Densité d'état projetée (PDOS) de (A)  $\text{FAPbI}_3$  (B)  $\text{BA}_2 \text{FAPb}_2 \text{I}_7$

Ces résultats sont confirmées la densité d'états projetée (PDOS) où le  $\text{FAPbI}_3$  (VB) montre une forte hybridation à travers la domination des états orbitaux p de l'iode (I-5P) sur le plomb (Pb-6s) alors que pour le  $\text{BA}_2 \text{FAPb}_2 \text{I}_7$  (VB) montre une faible hybridation des atomes organiques N et C qui réduit la mobilité pour un confinement plus important engendrant une meilleure stabilité structurelle contre l'humidité (13), (15). La CB est quant à elle dominé par des états 6p du plomb.

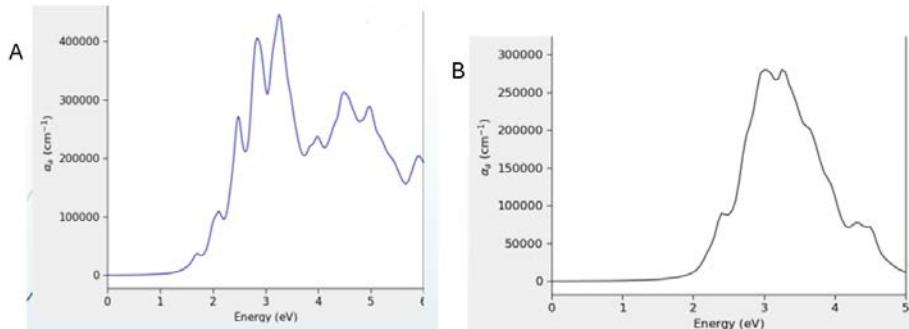


Fig. 7: Absorption optique de (A)  $\text{FAPbI}_3$  (B)  $\text{BA}_2 \text{FAPb}_2 \text{I}_7$  présente un coefficient d'absorption supérieur à  $4 \times 10^4 \text{ cm}^{-1}$  avec un début d'environ 1,5 eV, avec de multiples pics dans la gamme de 2 à 4 eV et une large absorption de la lumière visible.  $\text{BA}_2 \text{FAPb}_2 \text{I}_7$  a un coefficient plus faible ( $\sim 3 \times 10^4 \text{ cm}^{-1}$ ), un début à 2,0–2,1 eV et un spectre plus étroit.

Enfin l'absorption optique montre le décalage vers le bleu de la phase 2D, avec une absorption plus faible du rouge/proche infrarouge qui reflète ses effets sur le gap avec confinement plus larges. Cela soutient la stratégie d'utilisation de  $\text{BA}_2 \text{FAPb}_2 \text{I}_7$  comme couche stabilisatrice à large gap (absorbant moins de rouge/proche IR) tout en permettant à  $\text{FAPbI}_3$  d'agir comme l'absorbeur visible primaire(14)(16).

#### IV. Conclusion

Ce travail fournit une compréhension théorique détaillée des propriétés intrinsèques des pérovskites 3D  $\alpha\text{-FAPbI}_3$  et 2D  $\text{BA}_2 \text{FAPb}_2 \text{I}_7$ , des matériaux d'une importance croissante pour les dispositifs microélectroniques et optoélectroniques de nouvelle génération. Les résultats de la DFT révèlent que si  $\alpha\text{-FAPbI}_3$  possède un gap ou une bande interdite directe optimale et une forte absorption de la lumière visible (requises pour un fonctionnement photoélectrique actif), sa métastabilité structurelle dans les conditions ambiantes reste une limitation majeure. En revanche, la phase  $\text{BA}_2 \text{FAPb}_2 \text{I}_7$  en couches 2D, avec sa bande interdite plus large et son fort confinement électronique, offre une stabilité thermodynamique et environnementale supérieure.

Les travaux futurs étendront ces résultats pour inclure l'étude des propriétés électroniques de la pérovskite hybride 3D/2D, des effets interfaciaux et des effets de déformation afin de quantifier le rôle stabilisateur des couches supérieures 2D dans le maintien de la phase  $\alpha$  métastable de  $\text{FAPbI}_3$ . Il se concentrera également sur la validation expérimentale de l'hétérostructure 2D/3D par la fabrication de couches minces et des tests de stabilité de phase in situ dans des conditions ambiantes.

## V. Remerciements

Les auteurs souhaitent remercier le programme de Bourse PTDF pour le financement de la doctorante et le projet INFORISM (AMI-CMA) financé par l'ANR, convention N°ANR-23-CMAS-0024 pour l'accès au logiciel Quantum ATK de Synopsys.

## Références

1. S. Sinha, « Le nombre d'appareils IoT connectés augmente de 14 % pour atteindre 21,1 milliards ». Consulté le 10 novembre 2025. [En ligne]. Disponible : <https://iot-analytics.com/number-connected-iot-devices/>
2. J. L. Holechek, H. M. E. Geli, M. N. Sawalhah et R. Valdez, « Une évaluation mondiale : les énergies renouvelables peuvent-elles remplacer les combustibles fossiles d'ici 2050 ? », *Soutenir*. 2022, vol. 14, page 4792, vol. 14, n° 8, p. 4792, avr. 2022, doi : 10.3390/SU14084792.
3. « Graphique de la meilleure efficacité des cellules de recherche | Recherche photovoltaïque | NREL. Consulté le 10 novembre 2025. [En ligne]. Disponible : <https://www.nrel.gov/pv/cell-efficiency.html>
4. Y. Jiang, X. Wang et A. Pan, « Propriétés des excitons et des porteurs de charge photogénérés dans les pérovskites aux halogénures métalliques », *Adv. Mater.*, vol. 31, n° 47, p. 1806671, nov. 2019, doi : 10.1002/ADMA.201806671.
5. « Cellules solaires à pérovskite - Photovoltaïque imprimable. » Consulté le 10 novembre 2025. [En ligne]. Disponible : <https://research.csiro.au/printedpv/perovskite/>
6. G. Wu, R. Liang, M. Ge, G. Sun, Y. Zhang et G. Xing, « Passivation de surface à l'aide de pérovskites 2D vers des cellules solaires à pérovskites efficaces et stables », *Adv. Mater.*, vol. 34, n° 8, p. 2105635, févr. 2022, doi : 10.1002/ADMA.202105635.
7. L. Mao, C. C. Stoumpos et M. G. Kanatzidis, « Pérovskites hybrides bidimensionnelles aux halogénures : principes et promesses », *J. Am. Chem. Soc.*, vol. 141, n° 3, p. 1171-1190, janv. 2018, doi : 10.1021/JACS.8B10851.
8. J.-L. Bretonnet et J.-L. Bretonnet, « Bases de la théorie de la fonctionnelle de la densité », *AIMS Mater. Sci.* 2017 61372, vol. 4, no. 6, pp. 1372–1405, 2017, doi: 10.3934/MATERSCI.2017.6.1372.
9. M. T. Weller, O. J. Weber, J. M. Frost et A. Walsh, « Structure cubique de pérovskite de l'iodure de plomb de formamidinium noir,  $\alpha$ -[HC(NH<sub>2</sub>)<sub>2</sub>]PbI<sub>3</sub>, à 298 K », *J. Phys. Chem. Lett.*, vol. 6, no. 16, pp. 3209–3212, Aug. 2015, doi: 10.1021/ACS.JPCLETT.5B01432/SUPPL\_FILE/JZ5B01432\_SI\_002.MP4.
10. H. Moatassim, H. Zaari, A. El Kenz, A. Benyoussef, M. Loulidi et O. Mounkachi, « Étude théorique de l'efficacité de FAPbSnGeX<sub>3</sub> », *RSC Adv.*, vol. 12, n° 15, p. 8945-8952, mars 2022, doi : 10.1039/D2RA00345G.
11. H. Min *et al.*, « Cellules solaires efficaces et stables en utilisant la bande interdite inhérente à l'iodure de plomb de formamidinium en phase  $\alpha$  », *Sciences (80-.)*, vol. 366, no. 6466, pp. 749–753, Nov. 2019, doi: 10.1126/SCIENCE.AAY7044.
12. H. Banerjee, M. K. Nazeeruddin et S. Chakraborty, « Réglage des propriétés électroniques et optiques des interfaces 2D/3D de pérovskites hybrides par transfert de charge interfaciale : prédiction de cellules solaires d'interface à haut rendement à l'aide de méthodes DFT hybrides », *ACS Appl. Mater. Interfaces*, vol. 17, no. 13, pp. 19701–19711, Apr. 2025, doi: 10.1021/ACSAMI.5C00201.
13. R. K. Ulaganathan *et al.*, « Monocristal bidimensionnel de pérovskite aux halogénures de plomb d'un centimètre de long à base de formamidinium stable pour des applications optoélectroniques à longue durée de vie », *Adv. Funct. Mater.*, vol. 32, n° 15, p. 2112277, avr. 2022, doi : 10.1002/ADFM.202112277 ;
14. P. Chen, D. He, X. Huang, C. Zhang et L. Wang, « Hétérostructures de pérovskites bicouches 2D-3D pour des cellules solaires efficaces et stables », *ACS Nano*, vol. 18, n° 1, pp. 67-88, janv. 2023, doi : 10.1021/ACSNANO.3C09176.
15. S. Sidhik *et al.*, « Fabrication déterministe d'empilements de bicouches de pérovskite 3D/2D pour des cellules solaires durables et efficaces », *Sciences (80-.)*, vol. 377, n° 6613, p. 1425–1430, sept. 2022, doi : 10.1126/SCIENCE.ABQ7652.
16. X. Li *et al.*, « Avancées dans les cellules solaires à hétérostructure de pérovskite mixte 2D et 3D : une revue complète », *Nano énergie*, vol. 118, p. 108979, déc. 2023, doi : 10.1016/J.NANOEN.2023.108979.

# **Formation pluri-disciplinaire autour de l'assemblage en microélectronique proposée à l'EDOC SPI de Bordeaux : un pas vers le développement durable**

H. Debéda<sup>a</sup>, A. Gracia<sup>a</sup>, C. Brochon<sup>b</sup>, C. Bois<sup>b,c</sup>, N. Perry<sup>c,d</sup>, J. Tomas<sup>a</sup>

<sup>a</sup>Université de Bordeaux, Laboratoire IMS et pôle CNFM de Bordeaux (PCB), Talence, France

<sup>b</sup>Université de Bordeaux, Laboratoire LCPO, Talence, France

<sup>c</sup>Arts et Metiers Institute of Technology, CNRS, Bordeaux INP, Laboratoire I2M, Talence, France

<sup>d</sup>Univ. Bordeaux, CNRS, Bordeaux INP, Laboratoire I2M, Talence, France

Contact email : helene.debeda-hickel@u-bordeaux.fr

A l'université de Bordeaux, la découverte des processus de fabrication des assemblages en microélectronique est depuis plus de 20 ans proposée aux étudiants de filières technologiques ou généralistes. Il y a 3 ans, l'équipe pédagogique a souhaité étendre ces formations à des niveaux supérieurs d'études plus précisément pour les étudiants en formation doctorale. La première année, la formation était très similaire à celle suivie par les étudiants de la filière Master Systèmes Electroniques, centrée sur les assemblages 1<sup>er</sup> et 2<sup>nd</sup> niveau mais avec 2 nouveaux modules : électronique imprimée et fiabilité des assemblages. Les années suivantes, la formation s'est enrichie avec l'intervention de collègues chimistes et mécaniciens. Plus de pluri-disciplinarité a pu être introduite avec la mécanique des assemblages et la chimie autour la formulation des encres polymères. La criticité des matériaux et une introduction à l'analyse de cycle de vie appliquée aux systèmes microélectroniques ont aussi pu aussi être mises en avant pour sensibiliser les doctorants à l'empreinte environnementale des assemblages.

## **I. Introduction**

A l'université de Bordeaux, la découverte des processus de fabrication des assemblages en microélectronique est depuis plus de 20 ans proposée aux étudiants de niveau bac + 2 à bac + 5 , suivants des filières technologiques ou généralistes, en formation continue ou en alternance. Il y a 3 ans, l'équipe pédagogique a souhaité étendre ces formations à des niveaux supérieurs d'études plus précisément pour les étudiants en formation doctorale. Cette formation complémentaire s'inscrit en complément et en appui de la formation à la recherche par la recherche réalisée dans le cadre de la thèse. Le programme de formation doctorale demande en effet aux doctorants d'effectuer un minimum de 100 heures de formations complémentaires dont au moins 25% de formations disciplinaires, en vue de la formation scientifique et au moins 25% de formations d'ouverture ou formations transverses, en vue de la préparation à l'insertion professionnelle. Cette formation proposée autour des assemblages en microélectronique, qui fait ainsi partie des formations scientifiques disciplinaires des doctorants se veut aussi attractive car elle est inter/pluri-disciplinaire. Sa mise en place a d'ailleurs été fortement encouragée par les directions des 2 écoles doctorales (EDOC) concernées pour plusieurs raisons :

- le collège des écoles doctorales encourage des formations inter école doctorales,

- les étudiants manquent de formation de type travaux pratiques. Ils suivent en effet de plus en plus des formations en distanciel de type MOOC,
- les intervenants sont des enseignants de l'université de Bordeaux, ce qui permet de réduire le coût de la formation ;
- le contenu inter/pluri-disciplinaire est tout à fait adapté aux doctorants des écoles doctorales Sciences Physiques et de l'Ingénieur SPI (Spécialité électronique) et Sciences chimiques (Parcours matériaux avancés notamment)

La première année, cette formation était calquée sur les modules suivis par les Master des filières ISC ; c'est-à-dire centrée sur les premiers et seconds niveaux d'assemblage, avec cependant 2 nouveaux modules : électronique imprimée et fiabilité des assemblages. L'enseignement était proposé en anglais afin de donner l'opportunité aux doctorants anglophones de s'inscrire. Ensuite la formation a été les 2 années suivantes enrichie avec un objectif double : plus de pluridisciplinarité, mais aussi intégration du concept d'éco-conception et d'analyse de cycle de vie (ACV). L'évolution de l'intitulé de cette formation illustre bien ces nouveaux apports pédagogiques. La première année, il s'agissait de « *Electronic assembly: From smart materials design to component reliability* ». Cette année, le nouveau module autour de l'éco-conception et l'analyse de cycle de vie appliqués aux assemblages électroniques a conduit à cette nouvelle dénomination : *Electronic Assembly: From Smart Materials Design to Component Reliability and Sustainability*.

Cet article propose, une fois donnée la fiche d'identité complète de la formation, de détailler chacun des modules avant un retour d'expérience sur cette formation.

## **II. Fiche d'identité de la formation (année 2025)**

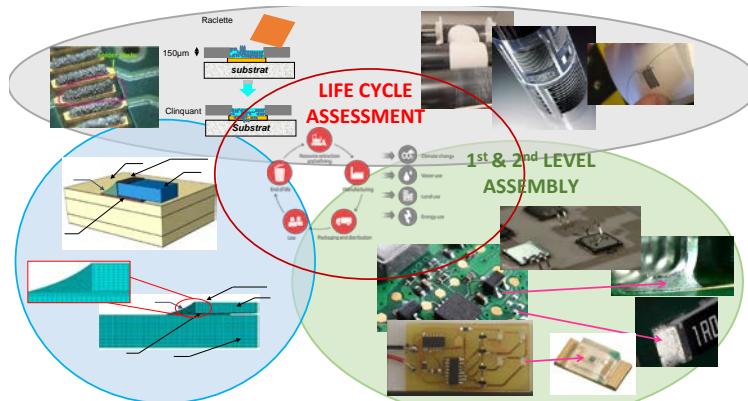
Cette formation est proposée en anglais et son intitulé est : « Electronic assembly: From smart materials design to component reliability and sustainability ». Les mots-clés saisis en anglais sont: “Printing techniques in microelectronics, Formulation of printing inks, 1<sup>st</sup> and 2<sup>nd</sup> levels of assembly, transfer techniques for components and interconnection supports, Assembly reliability, Modelling and simulation, Life Cycle assessment”. Les paragraphes suivants résument le contenu, détaillent l'organisation de cette formation et enfin les compétences acquises par les doctorants après ces 29 heures de formation sont mises en avant

### A. Résumé

L'objectif est de familiariser les participants avec les exigences de l'industrie électronique (« plus petit, plus léger, plus rapide, moins cher »), les contraintes technologiques et le choix des matériaux pour des assemblages performants et fiables. Ceci est illustré principalement par des exercices pratiques. L'accent sera mis sur les points suivants :

1. Techniques d'impression pour l'électronique et formulation d'encre intelligentes
2. Concepts des matériaux pour l'électronique (supports d'interconnexion composites, céramiques ou métalliques, pistes conductrices, joints d'assemblage) et conditionnement
3. Contraintes liées au choix des matériaux et aux procédés d'assemblage
4. Techniques de transfert de composants (soudure, collage, frittage) et techniques de connexion (câblage filaire)
5. Techniques d'impression pour le dépôt de couches microélectroniques (colle, soudure ou piste conductrice)
6. Fiabilité des assemblages électroniques
7. Modélisation et simulation par éléments finis
8. Compréhension de la méthode d'analyse du cycle de vie et des indicateurs environnementaux pour l'électronique

La plupart des travaux pratiques se déroulent dans les laboratoires de recherche de l'université de Bordeaux travaillant sur ces thèmes : IMS pour l'électronique (Laboratoire de l'Intégration du Matériau au Système), I2M pour la mécanique (Institut de Mécanique et d'Ingénierie) et le LCPO pour la chimie (Laboratoire de Chimie de Polymères Organiques).



Résumé graphique de la formation EDOC consacrée à l'assemblage électronique

### B. Déroulé

Les participants suivent 7 heures de cours et 22 heures de travaux pratiques répartis sur 2 semaines. Les cours sont d'un format de 1h pour chaque partie et sont dispensés dans cet ordre : 1. Techniques d'impression en microélectronique, 2. Formulation des encres d'impression, 3. 1er et 2e niveaux d'assemblage 4. Techniques de transfert pour composants et supports d'interconnexion, 5. Fiabilité de l'assemblage, 6. Modélisation et simulation pour les assemblages 7. , Analyse du cycle de vie et économie circulaire .

Chaque TP a une durée de 4h sauf le TP6 de 2h. Les groupes sont de 6 étudiants au maximum . Voici les intitulés de chaque TP

- TP 1 : Synthèse de conducteurs organiques (de type PEDOT-PSS), formulation d'encre, impression au racloir et caractérisation électrique et optique du film
- TP 2 : Techniques d'impression (préparation des écrans et encres, sérigraphie)
- TP 3 : 1<sup>er</sup> niveau d'assemblage : circuit redresseur de puissance sur substrat céramique (alumine)
- TP 4 : 2<sup>nd</sup> niveau d'assemblage : circuit chenillard sur substrat PCB (circuit imprimé époxy/verre)
- TP5 : Simulation des assemblages à l'aide du logiciel Abaqus® : mise en évidence de l'impact du choix des matériaux sur les contraintes thermomécaniques.
- TP6 : Analyse du cycle de vie : utilisation de l'outil IDEMAT, pour une analyse simplifiée du cycle de vie

### C. Compétences acquises

Cette formation permet dans le cadre d'une démarche de recherche et développement, d'études et prospective, de développer les compétences et capacités suivantes : brasage par refusion, câblage, sérigraphie, compositions et préparation d'encre et d'écrans de sérigraphie, notions sur les principaux matériaux utilisés en microélectronique et dans les boîtiers, essais de vieillissement accéléré, critères de défaillance, caractérisation des matériaux, notions de modélisation et de simulation, analyse du cycle de vie. Se référant aux blocs de connaissances définis au niveau national dans le cadre de la fiche RNCP, les deux compétences mobilisées font partie des blocs 1 et 2 et sont :

*Bloc 1 : Conception et élaboration d'une démarche de recherche et développement, d'études et prospective , Compétence : Disposer d'une expertise scientifique tant générale que spécifique d'un domaine de recherche et de travail déterminé*

### III. Focus sur les modules

#### A. Techniques d'impression et formulation d'encre

La première heure de cours se focalise sur les techniques d'impression en électronique et les encres [1], avec un focus sur la technique de sérigraphie depuis son historique jusqu'aux applications microsystèmes sérigraphiés. La composition, les propriétés rhéologiques et les traitements thermiques des encres sont décrites : encres basse température ( $<400^{\circ}\text{C}$ ) de type composite, haute température inorganiques et crèmes à braser. Pour la seconde partie du cours, il s'agira d'aller un peu plus loin en présentant les matériaux semiconducteurs organiques, dont les polymères, leurs techniques de mise en forme et les applications [2]. Un matériau polymère conducteur en particulier est développé dans cette partie, le PEDOT dopé, en suspension aqueuse (type PEDOT/PSS) [3]. La synthèse et la mise en forme de ce composé sera ensuite étudié en TP.

Pendant les TPs, les étudiants préparent à l'IMS leur propre encre inorganique à base de poudre micrométrique d'alumine ( $\text{Al}_2\text{O}_3$ ) et avec un liant à base d'éthylcellulose et de terpinéol avant de la sérigraphier. Pour le second TP au LCPO les étudiants réalisent la formulation d'une encre conductrice à base de PEDOT (à base aqueuse). Un film est ensuite réalisé par dépôt par enduction en salle blanche, sur un substrat souple transparent. L'épaisseur est mesurée, ainsi que la résistance surfacique. Enfin la transparence de l'électrode souple est mesurée par spectroscopie d'absorbance dans le visible.

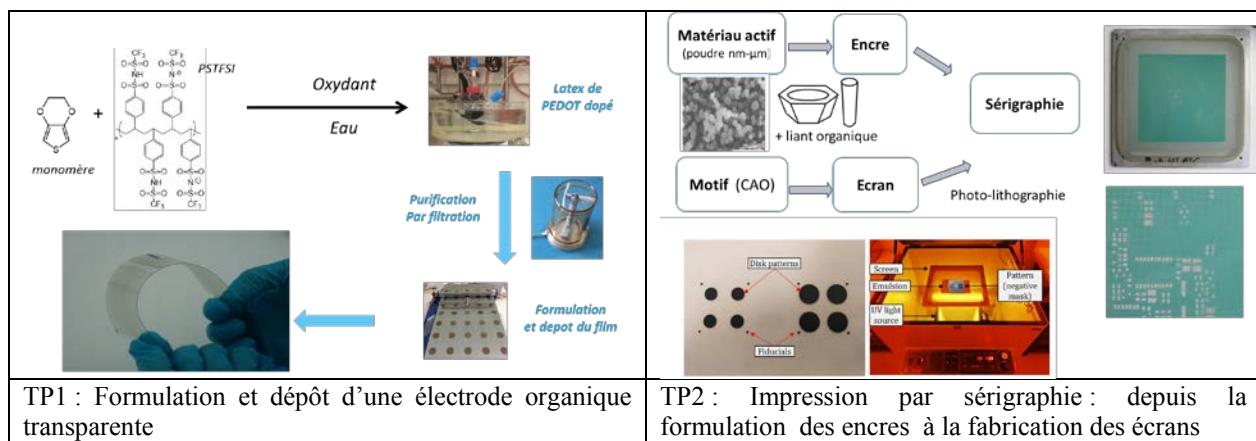


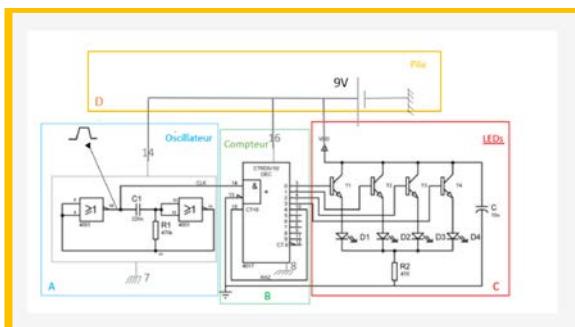
Fig.1. Illustrations de TP sur la formulation d'encre et les techniques d'impression

#### B. Premier et second niveau d'assemblage

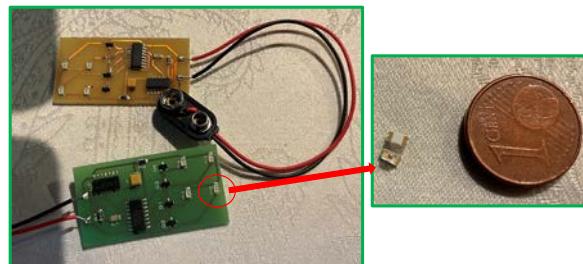
Pendant les 2 heures de ce cours, les différents procédés d'assemblage (collage, brasage, câblage, frittage), les moyens associés (four, machine de câblage, presse de frittage), les supports d'interconnexion (circuits imprimés et leurs finitions, substrats céramiques etc) et les familles de composants sont présentés et illustrés à travers plusieurs exemples [4]. Les objectifs visés sont de savoir identifier les niveaux d'assemblages, des boîtiers électroniques et des supports d'interconnexions, de connaître la composition de la brasure, les techniques de report sur carte ou fond de boîtier des puces nues, le procédé de refusion et les ordres de grandeurs (dimensions et température de procédé). A noter cette volonté de l'équipe de familiariser les doctorants inscrits avec les exigences de l'industrie électronique (« Smaller, Lighter, Faster, Cheaper »), les contraintes technologiques et le choix des matériaux pour des assemblages performants et fiables, afin d'être en adéquation avec l'industrie. Après ces cours, s'ensuivent deux TP (2 x 4heures) donc les objectifs sont multiples : une meilleure compréhension de réalisation des joints puce/piste,

broches/piste, une reconnaissance des boîtiers CMS et l'utilisation des substrats d'interconnexion les plus utilisés. Deux circuits sont réalisés afin d'illustrer ces 2 niveaux d'assemblage :

- *TP 2<sup>nd</sup> niveau* (report de CMS sur carte d'interconnexion): circuit chenillard. Ce circuit se veut ludique et pédagogique ; le rôle de chaque sous bloc du système est explicité, et les étudiants, en manipulant les boîtiers peuvent mieux se rendre compte de leurs tailles et aussi du positionnement qui doit tenir compte du schéma électrique et de la polarisation du composant (cathode/anode d'une diode, borne polarisée d'un condensateur).
- *TP 1<sup>er</sup> niveau* (report de circuits intégrés nus dans fond de boîtier ou sur carte : redresseur sur alumine (brasage de diodes, câblage et tests) ; ce circuit permet de mettre en évidence les contraintes multiples dans la conception de ce module hybride : géométrie, choix des matériaux (propriétés électriques et thermiques)



a) Schéma de principe du circuit chenillard



b) Photos des circuits chenillards fabriqués sur PCB FR4 (époxy/verre)

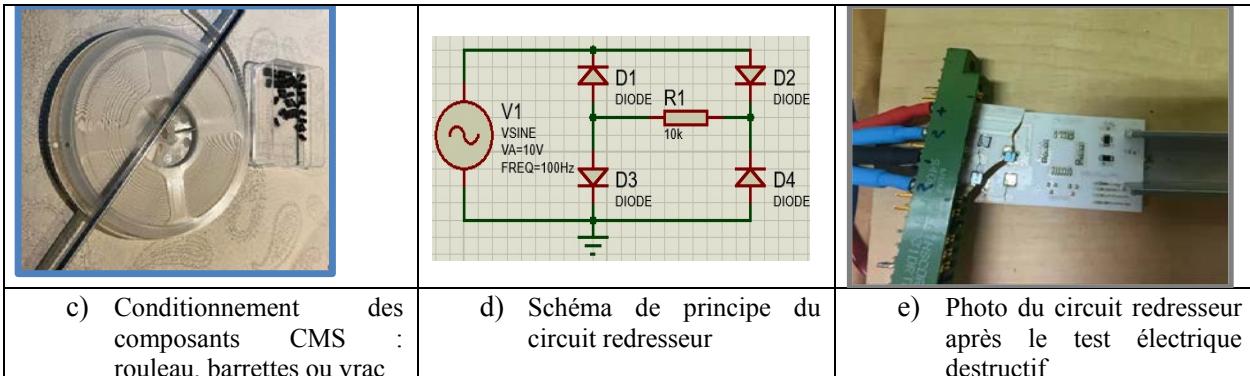


Fig.2. TP assemblage 2<sup>nd</sup> niveau et 1<sup>er</sup> niveau avec la fabrication des circuits chenillard et redresseur

### C.Fiabilité et modélisation/simulation des assemblages

Ce volet de la formation porte sur la fiabilité des assemblages électroniques [5]. Tout d'abord la méthodologie d'analyse de fiabilité est présentée dans sa globalité avec deux grandes parties : expérimentale et simulation. Puis la partie expérimentale est détaillée, afin de présenter les différentes contraintes influençant la durée de vie des cartes électroniques et d'introduire le vocabulaire lié à ce domaine. Une étude de cas est développée pour illustrer les notions théoriques. Les méthodes de simulation des structures multi-matériaux que représentent les assemblages électroniques sont également présentées en cours avant d'être mises en pratique lors d'un TP. Lors de ce TP, les étudiants, qui découvrent pour la plupart un logiciel d'analyse par la méthode des éléments finis, travaillent sur un modèle existant qu'ils modifient pour déterminer l'état de contrainte généré par les dilatations différentielles induites par un champ thermique.

## D.Analyse de cycle de vie

Cette partie du module a permis d'aborder les enjeux d'impacts environnementaux (et sociaux) des composants et systèmes en microélectronique, avec une attention particulière sur les sujets de criticités de matériaux, et les limites fortes des filières de recyclage à ce jour. Ainsi les différentes phases de vie des produits ont été balayés en lien avec les matériaux critiques [6] : l'extraction de matière première, en commençant par une mise en contexte sur l'extraction minières (ses conséquences environnementales et sociales), les impacts liés aux procédés de fabrication, les faibles performances des procédés de recyclage. Nous avons poursuivi par l'introduction à la démarche d'analyse de cycle de vie (ACV) [7] en utilisant la base de donnée IDEMAT [8] par une approche de reconstruction des impacts des composants d'une petite carte électronique de référence. Ce travail a permis de découvrir les impacts environnementaux proposé par le Profil Environnementale de Produit prôné par l'UE (PEF). Il a de plus a permis d'argumenter les besoins de fiabilité longue durée des assemblages et composants, mais aussi de questionner les solutions de réparation ou récupération de composants.

## **IV. Retour d'expérience**

Le nombre d'inscrits depuis le démarrage de cette formation (12 max par session ; 32 au total) est une satisfaction pour l'équipe pédagogique. Les doctorants ont des formations initiales variées (électronique, mécanique, chimie) et sont en thèse dans différents laboratoires du campus Bordelais : IMS, I2M, ICMCB, ISM ou LP2N. La pertinence et l'attractivité de cette formation interdisciplinaire est confirmée. Le sondage effectué après chaque session de formation témoigne d'un taux de satisfaction élevé qui nous conforte dans nos choix organisationnels et scientifiques.

## **Remerciements**

Les auteurs souhaitent remercier : les 2 directrices des écoles doctorales de l'université de Bordeaux SPI (Nathalie Malbert) et SC (Corinne Matonnière) de Bordeaux et la gestionnaire Mme Brigitte Bordes ; l'accompagnement du pôle PCB-GIP CNFM à travers le programme AMI-CMA : INFORISM [59; l'accueil dans les salles de réunion de l'IMS pour les cours ; l'accueil dans la plateforme assemblage de l'IMS ou dans les salles de TP du Centre de Ressources Mécanique Ingénierie (CRMI) ; le personnel du LCPO pour l'aide sur la synthèse du PEDOT (Mélanie Bousquet).

## **Références**

1. L. Sanchez-Duenas *et al.*. Review on Sustainable Inks for Printed Electronics: Materials for Conductive, Dielectric and Piezoelectric Sustainable Inks, *Materials*, 16(11), 3940 (2023)
2. G. Poupon, Procédés de packaging et d'interconnexion de composants électroniques, *Techniques de l'ingénieur* (2023)
3. C. Brochon , E. Cloutet, Les Polymères se font semi-conducteurs, *Industries et technologies*, mai 2022, pp 53-58 <https://www.usinenouvelle.com/article/cahier-technique-les-polymeres-se-font-semi-conducteurs.N1999612>
4. M. DeFranceschi, Polymères organiques conducteurs, influence de la chimie, de la formulation et de la structuration, *Techniques de l'ingénieur*(2013)
5. J.H. Lau, State of the art of lead-free solder joint reliability. *Journal of Electronic Packaging*, vol. 143, no 2, p. 020803 (2021)
6. S. Bobba *et al.*. Critical raw materials for strategic technologies and sectors in the EU. A Foresight Study (2020)
7. M. Finkbeiner *et al.* The new international standards for life cycle assessment: ISO 14040 and ISO 14044. *The international journal of life cycle assessment*, 11(2), 80-85 (2006).
8. C. Bakker. *Fast-Track LCA. Sustainable Design from Vision to Action*, p. 125 (2025)
9. French national program (France 2030): INFORISM (Engineering of Education Innovative and Strategic in Microelectronics), AMI-CMA, ANR-23-CMAS-0024, June 2024, <https://www.cnfm.fr>

# TP In-Mold Electronics : Étude de circuits imprimés 3D avec encre à matrice organique biosourcée

Tony Gerges<sup>a</sup>, Vincent Semet<sup>a</sup>, Philippe Lombard<sup>a</sup>, Jean-Yves Charmeau<sup>b</sup>, Bruno Allard<sup>a</sup>, Michel Cabrera<sup>a</sup>

<sup>a</sup>INSA Lyon, Université Claude Bernard Lyon 1, Ecole Centrale de Lyon, CNRS, Ampère, UMR 5005, 69621 Villeurbanne, France

<sup>b</sup>INSA Lyon, IMP, UMR 5223, 01100 Béllignat, France

Pôle CNFM de Lyon-Saint-Etienne – CIMIRLY, INSA Lyon, Villeurbanne, France

Plateforme technique, scientifique et pédagogique :

« Technologies de packaging fonctionnalisé et plastronique 3D »

Contact email : tony.gerges@insa-lyon.fr

Ce TP initie les étudiants à la plastronique, en se focalisant sur le procédé *In-Mold Electronics* (IME). Les étudiants fabriquent des pistes conductrices sur des films polymères par sérigraphie, suivies d'un recuit thermique et d'un thermoformage sous vide pour obtenir des structures électroniques tridimensionnelles. La mesure de la résistance électrique permet d'analyser l'effet de la température de recuit et de l'elongation mécanique sur la conductivité électrique des pistes conductrices. L'utilisation d'une encre conductrice biosourcée met en évidence des alternatives durables à la fabrication classique de PCB. Ce TP de 4 heures offre une expérience pratique combinant procédés industriels matures et approches scientifiques, tout en sensibilisant à l'intégration de systèmes électroniques dans des objets polymères 3D.

## I. Introduction et contexte du TP

L'accélération du progrès technologique et la forte production mondiale rendent essentielle la réduction de l'impact environnemental de la fabrication électronique. Face à la pollution et aux difficultés de recyclage des PCB (FR4 notamment), de nouvelles alternatives émergent, comme la fabrication par les méthodes plastroniques.

À l'interface entre plasturgie et électronique, la plastronique offre de nouvelles opportunités pour miniaturiser et intégrer de façon optimale des systèmes et circuit électroniques dans des objets polymères tridimensionnels (3D). Parmi les méthodes utilisées en plastronique, l'électronique Structurelle Surmoulée (ESS) également appelé IME (In Mold Electronics) (1) présente l'avantage de pouvoir produire à grande échelle des dispositifs de différentes dimensions, en s'appuyant sur des procédés déjà matures tels que la sérigraphie pour l'impression de l'encre conductrice, le thermoformage pour la mise en forme 3D, et le surmoulage pour la protection du dispositif final (Fig. 1). De plus, cette méthode ne nécessite pas d'installations chimiques pour assurer le dépôt du

circuit conducteur, contrairement à la technologie LDS ou à la bi-injection, deux des procédés les plus utilisés en plastronique et utilisant la métallisation autocatalytique (2).

Les encres conductrices constituent un élément clé de ces procédés. Elles doivent offrir, d'une part, une conductivité électrique élevée et, d'autre part, une élasticité suffisante lors du thermoformage, afin d'assurer la continuité électrique sans augmenter significativement la résistivité du réseau conducteur. La conductivité est assurée par une charge conductrice généralement composée de particules d'argent, tandis que, l'élasticité et l'adhésion sont généralement assurées par la matrice organique de l'encre, constituée d'un liant et d'un solvant, habituellement non biosourcés.

La plateforme plastronique (3) a bénéficié récemment, en collaboration avec la société Encres Dubuit (4), d'une encre conductrice à base de constituants biosourcés et biodégradables, dédiée à l'IME (5,6). Cette encre sera utilisée dans le cadre du TP présenté dans ce papier, afin de permettre aux étudiants de travailler sur une encre verte spécialement conçue pour l'IME.

Ce papier présente un TP d'une durée de 4 heures, ayant pour objectif de familiariser les étudiants avec la plastronique, et en particulier avec le procédé IME. Ce TP permet de se former à des procédés tels que la sérigraphie et le thermoformage, et de réaliser une étude sur la variation de la résistance électrique des pistes conductrices en fonction de leur élongation après thermoformage. Il est adapté à des étudiants de niveau IUT, Licence 3 et Master, issus de différentes spécialités telles que la plasturgie, les matériaux et l'électronique.

Des groupes de trois ou quatre étudiants réalisent ce TP qui se déroule en trois étapes : i) sérigraphie des pistes avec l'encre conductrice, ii) recuit thermique et caractérisation électrique initiale, iii) thermoformage et caractérisation électrique après stress mécanique.

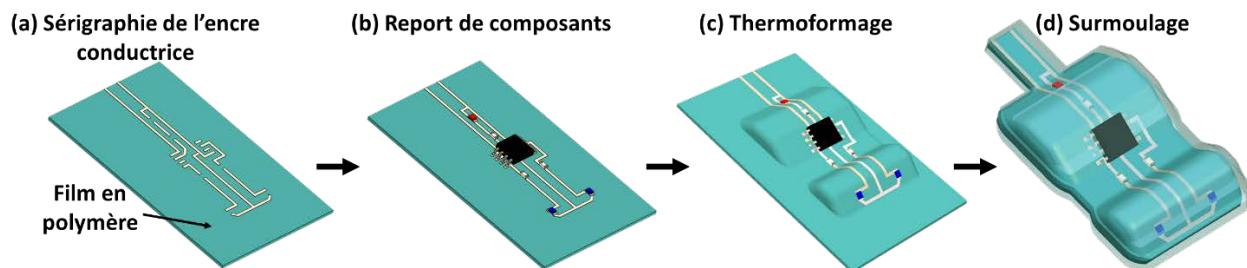


Fig. 1. Schéma de principe du procédé IME.

## II. Déroulement du TP

### A. Sérigraphie de l'encre sur un film polymère

Le TP débute par l'impression des pistes conductrices sur un film polymère, généralement en polycarbonate (PC). Le motif d'impression utilisé dans ce TP est constitué de plusieurs lignes parallèles (Fig. 2a), chacune d'une largeur de 1 mm (Fig. 2b) et d'une longueur de 16 cm. Les lignes sont imprimées par sérigraphie à l'aide d'une machine semi-automatique (Fritsch Semi-automatic Stencil Printer printALL210) (Fig. 2c), en suivant un manuel d'utilisation simplifié. Pour se faire, les étudiants utilisent l'encre conductrice à composants biosourcés préparée préalablement pour eux. La formulation de l'encre dépasse le cadre du TP mais doit constituer un élément de forte curiosité de la part des étudiants.

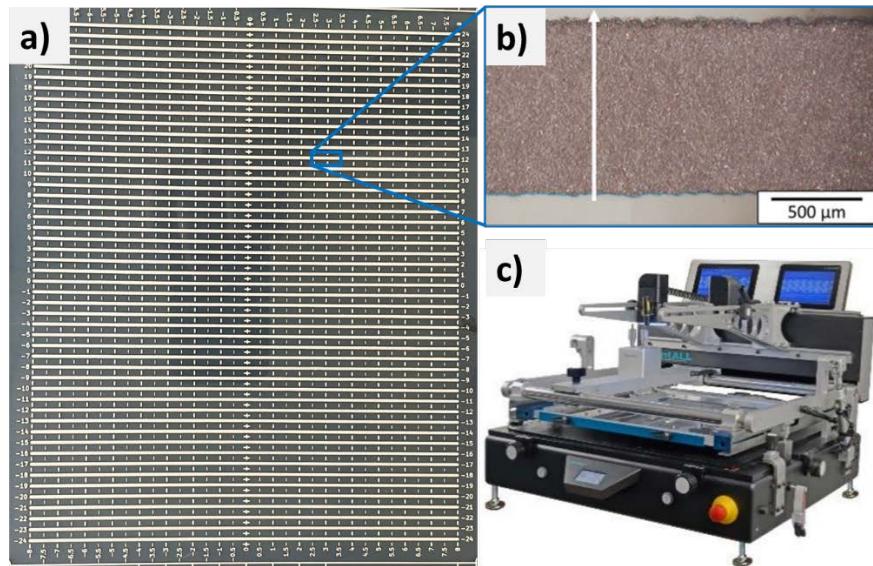


Fig. 2. a) Réseaux de lignes conductrices imprimées, b) image microscopique d'une piste, c) machine de sérigraphie.

### B. Recuit thermique et caractérisation électrique

Après l'impression, une étape de séchage par recuit thermique est nécessaire afin de permettre à l'encre d'acquérir ses propriétés finales, notamment la conductivité électrique.

Pour cela, les étudiants réalisent des recuits thermiques à différentes températures, allant de 25 °C (température ambiante) à 150 °C, afin d'étudier l'influence des conditions de recuit sur la conductivité électrique. Ils procèdent ensuite à la mesure de la résistance des lignes pour chaque température à l'aide d'un sourcemètre (Keithley 2450). Par la suite, ils mesurent l'épaisseur des pistes imprimées avec un profilomètre confocal (NPS) et calculent la résistivité en  $\mu\Omega \cdot \text{cm}$  en appliquant la loi d'Ohm :

$$\rho = \frac{R * A}{l} \quad (1)$$

Les étudiants constateront, lors du traçage de la courbe de la résistivité en fonction de la température de recuit (Fig. 3), que la résistivité électrique diminue avec l'augmentation de la température de recuit. Ils en déduiront qu'un recuit à plus haute température favorise une meilleure évaporation des solvants de l'encre, ce qui assure une meilleure connectivité entre les particules d'Ag qui la constituent.

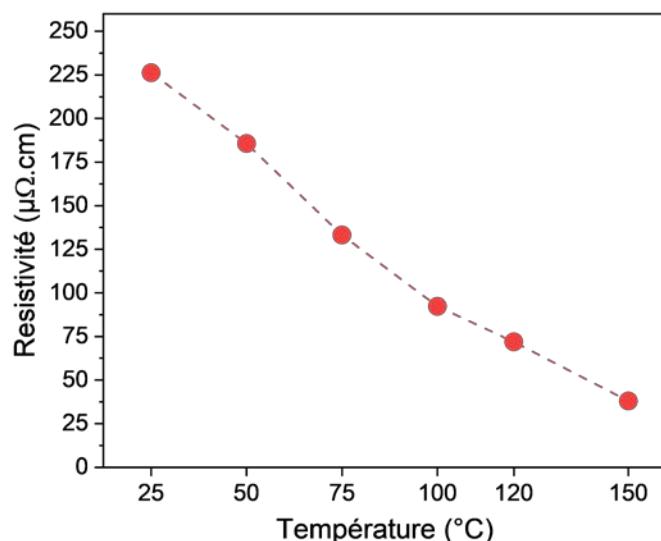


Fig. 3. Variation de la résistivité électrique des pistes en fonction de la température du recuit thermique.

### C. Thermoformage et caractérisation électrique.

Le thermoformage est une étape clé du procédé IME, au cours de laquelle le film contenant le circuit électronique est transformé en une forme 3D. Dans cette étape, les étudiants thermoformeront les films sérigraphiés contre un moule de thermoformage en forme de cône étagé, permettant d'obtenir des déformations par pas de rayon de courbure de 5 mm, allant jusqu'à 30 mm (Fig. 4a). Ils sont formés à l'utilisation d'une machine de thermoformage sous vide (1820 CR Clarke, UK) (Fig. 4b), et les opérations de thermoformage sont réalisées sous la supervision de l'encadrant du TP.

Après thermoformage, des mesures de résistance électrique sont réalisées sur les pistes présentant différents niveaux d'élongation (Fig. 4c). La courbe de la variation de la résistance en fonction de l'élongation des pistes est ensuite tracée (Fig. 4d). Les étudiants observeront que la résistance électrique des pistes augmente avec l'élongation, ce qui s'explique par l'augmentation des distances inter-particules d'argent, réduisant ainsi la connectivité électrique et donc la conductivité des pistes.

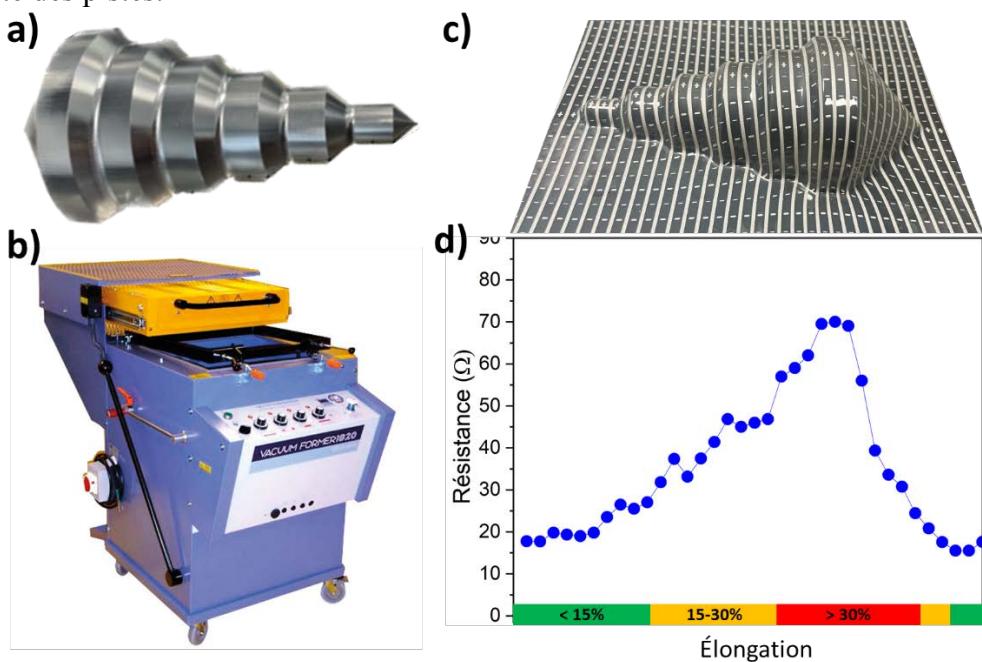


Fig. 4. a) Moule conique étagé avec des rayons de courbure allant de 5 mm à 30 mm, b) thermoformeuse, c) image d'un film sérigraphié thermoformé, d) variation de la résistance électrique des pistes en argent en fonction de l'élongation.

## III. Conclusion

Ce TP a permis aux étudiants de se familiariser avec le procédé IME et la plastronique, à l'interface entre plasturgie et électronique. À travers la sérigraphie, le recuit thermique et le thermoformage, ils ont expérimenté la fabrication de circuits conducteurs sur des films polymères 3D et observé l'impact des traitements thermiques et des déformations sur les propriétés électriques des pistes.

L'utilisation d'une encre conductrice biosourcée a sensibilisé aux alternatives durables dans la fabrication électronique. Les résultats ont montré que la résistivité diminue avec le recuit et augmente avec l'élongation, montrant le rôle de la connectivité entre particules d'argent. Les

étudiants ont été incités à considérer des polymères alternatifs, tels que le PLA biosourcé et biodégradable, et à explorer des méthodes de recuit plus performantes, comme le recuit photonique.

En résumé, ce TP a offert une expérience pratique complète, combinant procédés industriels matures et notions scientifiques essentielles, tout en introduisant les étudiants aux enjeux de l'électronique durable et à la miniaturisation des systèmes électroniques dans des objets polymères 3D.

### Remerciements

Les auteurs remercient tout particulièrement le Ministère français de l'Enseignement supérieur, de la Recherche et de l'Innovation ; la Région Auvergne Rhône-Alpes et la Communauté du Haut-Bugey. Les auteurs sont reconnaissants au GIP-CNFM (7) et aux projets IDEFI-FINMINA (8) et ANR AMI CMA INFORISM (9)

### Références

1. Lombard P, Gerges T, Charneau JY, Allard B, Cabrera M. Procédé plastronique Electronique Structurelle Surmoulée (ESS, IME – In Mold Electronics) dans un projet de mise en œuvre pratique. J3eA. 2022 Jun 10;21:1012.
2. Gerges T, Lombard P, Allard B, Cabrera M. TP découverte : métallisation d'une pièce en polymère. J3eA. 2022 Jun 10;21:1017.
3. Activités de la plateforme Plastronique : <https://hal.science/search/index?q=plastronique+ampere>.
4. La société Encres DUBUIT : <https://www.encresdubuit.com/>.
5. Thomas Guérin. thèse, Développement d'encre fonctionnelles pour l'In-Mold Electronics ref. HAL (NNT : 2024ISAL0089). (tel-04921555). INSA de Lyon; 2024.
6. Gerges T, Guérin T, Semet V, Lombard P, Masse G, Charneau JY, et al. Bio-based silver conductive ink for Flexible Printed Electronics, and In-Mold Electronics. Flexible and Printed electronics. 2025;
7. GIP-CNFM: Groupement d'Intérêt Public - Coordination Nationale pour la formation en Microélectronique et en nanotechnologies. Website: <http://www.cnfm.fr> (last access June 2025).
8. ANR IDEFI-FINMINA: Initiative d'Excellence - Formation Innovante en Microélectronique et Nanotechnologies, ANR-11-IDFI-0017. Le projet est échu en 2022.
9. INFORISM, INgénierie de FORmations Innovantes et Stratégiques en Microélectronique, projet ANR-23-CMAS-0024-INFORISM au titre du programme France 2030. Ce projet à 5 ans a démarré au cours de l'année académique 2023-2024.



# Concevoir un GPU en projet microélectronique

C. Bou Tanos, J. Marqueti, L. Fesquet

Grenoble INP - Phelma, Université Grenoble Alpes, Grenoble, France

Contact email : joao.marqueti@grenoble-inp.org

Ce projet présente la conception d'un processeur graphique (GPU) simple implanté sur FPGA, capable de gérer une résolution de  $256 \times 256$  pixels avec une profondeur de couleur de 12 bits et un *Z-buffer* sur 8 bits. Le GPU supporte des primitives géométriques de base (points, lignes, triangles, etc.) et des fonctionnalités avancées comme le remplissage en dégradé, le test de profondeur, et une exécution parallèle des instructions de rasterisation. L'architecture repose sur trois blocs principaux : le *Frame Calculator*, le bloc de rasterisation, et le *Data Writer*. L'architecture ping-pong utilisée pour les mémoires assure une génération fluide des images. Le système, synthétisé sur FPGA Altera Cyclone V, atteint une fréquence de 12,2 MHz et peut afficher environ 11 images par seconde avec profondeur et dégradé. Le circuit obtenu produit un affichage 3D temps réel adaptable à des environnements embarqués.

## I. Contexte

L'école d'ingénieurs en physique, électronique et matériaux (Phelma) de Grenoble INP possède de nombreuses filières dont certaines sont spécialisées dans le domaine de la conception microélectronique. La filière par apprentissage « Microélectronique et Télécoms (MT) » et la filière « Systèmes Electroniques Intégrés (SEI) » proposent une solide formation théorique et pratique en conception analogique et numérique. La scolarité est organisée autour d'enseignements classiques (cours, TD, TP) mais aussi de projets de conception microélectronique dont l'objectif est la prise en main des méthodes et des flots de conception. Par ailleurs, ces travaux réalisés en binôme ou en équipe plus large (1) permettent de donner un premier aperçu du métier de designer et de constituer les premières armes de nos étudiants qui pourront valoriser quasi-immédiatement dans l'industrie les savoir-faire acquis lors de ces séances de projets. Lors de la création de la maquette pédagogique de la filière SEI, l'équipe enseignante a souhaité que la formation soit fondée sur de solides bases théoriques d'une part, mais aussi qu'elle soit largement pratique d'autre part. Ainsi, après l'acquisition des premières connaissances pra-

tiques et théoriques effectuées au premier semestre de la seconde année de Phelma (semestre S7), les étudiants sont invités à concevoir, dans le cadre d'un projet de conception microélectronique analogique ou numérique, un bloc matériel (IP) en partant d'une spécification ou d'une norme. Ce travail est en effet essentiel pour nos étudiants car il poursuit deux buts :

- donner confiance à nos élèves dans leur capacité à devenir des designers,
- et répondre au plus près aux besoins des industriels (2).

En procédant de la sorte, nous nous efforçons de répondre au mieux aux besoins socio-économiques en formant des ingénieurs capables de développer des puces électroniques dédiées (3) dans des secteurs aussi variés que l'informatique, l'aéronautique, l'automobile, les télécommunications, le médical, la sécurité, la domotique, l'environnement...

## II. Introduction au projet GPU

Les élèves de la filière SEI travaillent en binôme sur les plateformes du CIME Nanotech autour d'un projet de conception d'un circuit intégré qui est réalisé soit sur FPGA, soit jusqu'au dessin des masques. Grâce à l'environnement technique du CIME Nanotech, les étudiants bénéficient d'un accès très large aux outils de la CAO microélectronique pour concevoir des blocs matériels analogiques, numériques ou de les planter sur FPGA. C'est cette dernière option qui a été retenue par les élèves qui ont développé un GPU "from scratch". Cette approche leur a notamment permis de visualiser de façon concrète leur travail en affichant directement les images et vidéos produites sur un écran au standard VGA.

Les étudiants ont initialement démarré leur projet en étudiant la façon d'implémenter un bloc Z-Buffer. Après quelques essais, ils se sont rendus compte qu'ils avaient la possibilité de développer le concept plus en avant. Ainsi, ils ont défini une architecture et un jeu d'instruction s'apparentant à un processeur graphique, plus connu sous l'acronyme de GPU (Graphical Processor Unit).

## III. Architecture

L'architecture choisie se divise en trois grandes parties.

- La génération de *frames* permet de transformer un monde 3D en une image 2D.
- Le rasteriseur transforme ensuite les formes géométriques en pixels, qui pourront, grâce au dernier bloc, être affichés à l'écran.
- Enfin, le *Z-buffer* et le *frame buffer* contribuent à produire une image dans la mémoire vidéo qui pourra ensuite être affichée sur un écran.

On retrouve ci-dessous un schéma présentant les principaux blocs utilisés, suivi d'une brève explication de chacun d'eux.

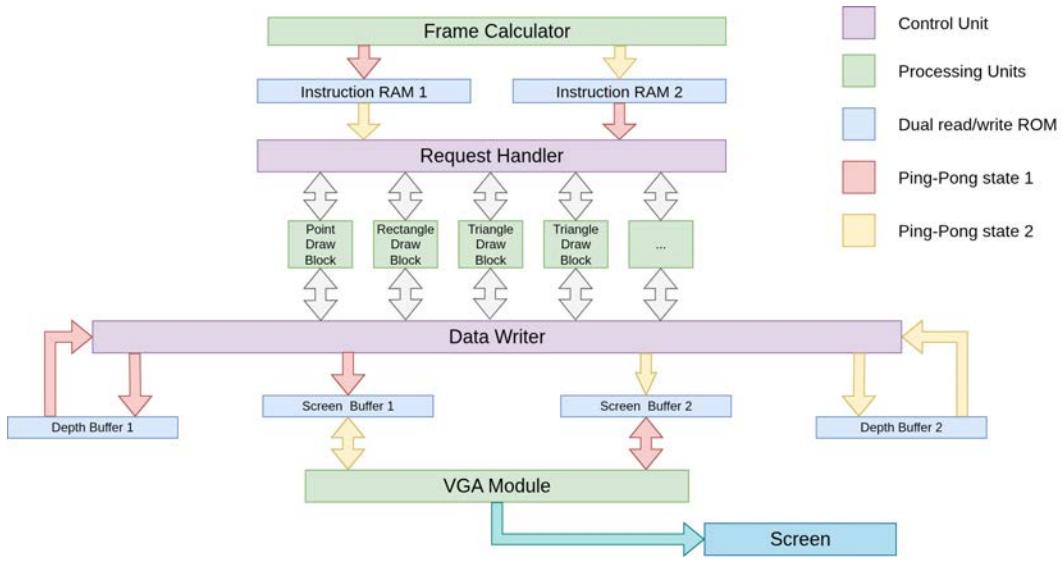


FIG. 1. Schéma blocs du GPU

### A. Génération de frames

Pour le stockage de notre environnement 3D, nous nous sommes inspirés des formats utilisés dans les jeux vidéo. Nous stockons donc des triangles (3 points dans un espace 3D), puis des formes qui sont des ensembles de triangles, puis une vue d'ensemble (carte mémoire ou *memory map* en anglais) qui regroupe plusieurs objets dans l'espace. Dans l'environnement 3D final, chaque objet est stocké avec sa matrice de transformation  $4 \times 4$ , définissant sa position, sa taille et son orientation.

Nous effectuons ensuite une transformation du monde 3D vers le monde 2D en prenant en compte la position et l'orientation de la caméra, ainsi que la vue d'ensemble sélectionnée, afin d'obtenir une liste d'instructions de dessin en 2D.

### B. Rasteriseur à pipelines parallèles

Plusieurs modules permettent de créer les objets (points, lignes, triangles et rectangles). Certaines formes (comme le triangle avec gradient) sont complexes à dessiner. Il faut plusieurs cycles avant d'écrire un pixel en mémoire. Il était donc intéressant de paralléliser ces modules de génération d'objets.

Un *instruction set* spécifique a été créé pour contrôler ces blocs. Avec une instruction de 128 bits, il est possible de choisir tous les paramètres (position, profondeur, gradient, couleur, type de forme) et de propager via le bloc *request handler* l'instruction sur le module de rastérisation adéquat.

Le bloc sélectionné exécute donc l'instruction et communique avec le bloc *Data Writer* pour demander la modification d'un pixel en mémoire. L'accès concurrent des blocs de rastérisation à la mémoire est géré grâce à un protocole par poignée de main. Plus précisément, le *Data Writer* utilise un ordonnancement avec une priorité

de type *Round Robin*.

### C. Z-buffer, Frame buffer et sortie VGA

Le *Z-buffer* est implémenté à l'aide d'une mémoire à double accès, ce qui permet de lire et d'écrire simultanément. Le *Data Writer* écrit dans le *frame buffer* les modifications à apporter, tout en communiquant avec le *Z-buffer* afin de respecter les contraintes de profondeur. Les informations sont ensuite stockées au format *RGB unpacked*, et le *Z-buffer* est mis à jour si nécessaire. La mémoire est ensuite lue par le module VGA qui permet l'affichage à l'écran.

### D. Optimisation de l'architecture

Pour assurer la lecture d'une *frame* totalement correcte, on ne souhaite pas lire dans une RAM dans laquelle on est encore en train d'écrire. On utilise donc un système de basculement de mémoires, connu sous le nom d'architecture ping-pong. Ce dispositif est piloté par un contrôleur qui assure le bon séquencement et le passage d'une mémoire à l'autre. Ainsi, en introduisant cette logique ping-pong, la fréquence d'affichage est doublée en garantissant de plus que les informations affichées à l'écran ne sont jamais partiellement mises à jour.

## IV. Rasterisation de triangles

Une fois les sommets projetés dans l'espace, il faut déterminer quels pixels doivent être affichés pour représenter chaque triangle à l'écran. Cette étape s'appelle la **rasterisation**. Elle repose ici sur deux outils principaux : les fonctions de bord pour savoir si un pixel est à l'intérieur du triangle, et les coordonnées barycentriques pour interpoler les attributs comme la couleur et la profondeur.

### A. Fonctions de bord

Pour déterminer si un pixel appartient à un triangle, on doit trouver tous les pixels constituants ses arêtes. Soit un triangle défini par trois sommets dans le plan 2D :  $(x_0, y_0), (x_1, y_1), (x_2, y_2)$ . Pour chaque arête allant de  $v_i$  à  $v_{i+1}$ , on définit la fonction de bord :

$$E_i(x, y) = (y_{i+1} - y_i)(x - x_i) - (x_{i+1} - x_i)(y - y_i)$$

Cette fonction donne un résultat :

- positif si le point  $(x, y)$  est d'un côté de l'arête,
- négatif s'il est de l'autre côté,
- nul s'il est exactement sur l'arête.

Pour un triangle orienté dans le sens horaire, un pixel est considéré à l'intérieur du triangle si les trois fonctions de bord sont négatives. Ce test est simple, rapide, et très adapté à une exécution en parallèle sur du matériel.

## B. Gradients

Une fois qu'un pixel est confirmé comme appartenant au triangle, on doit interpoler ses attributs (couleur, profondeur, etc.). Pour cela, on utilise les coordonnées barycentriques, qui permettent de pondérer la contribution de chaque sommet.

Les poids barycentriques sont :

$$\lambda_0 = \frac{A_0}{A}, \quad \lambda_1 = \frac{A_1}{A}, \quad \lambda_2 = \frac{A_2}{A}$$

Ces poids permettent d'interpoler n'importe quelle grandeur  $f$  (couleur, profondeur, etc.) à l'intérieur du triangle :

$$f(x, y) = \lambda_0 f_0 + \lambda_1 f_1 + \lambda_2 f_2$$

Soit l'aire signée du triangle :

$$A = \frac{1}{2} [x_0(y_1 - y_2) + x_1(y_2 - y_0) + x_2(y_0 - y_1)]$$

Pour un pixel  $(x, y)$ , on calcule les aires des trois sous-triangles formés avec ce point, puis les pondérations barycentriques, par exemple :

$$A_0 = \frac{1}{2} [x(y_1 - y_2) + x_1(y_2 - y) + x_2(y - y_1)]$$

Cette méthode est utilisée dans notre GPU pour appliquer des dégradés de couleur et assurer une interpolation linéaire de la profondeur, nécessaire pour le test de visibilité avec le Z-buffer.

## V. Présentation des transformées successives

Pour afficher correctement des objets 3D à l'écran en tenant compte de la position de la caméra, les sommets doivent être transformés à travers une série d'espaces de coordonnées. Cette chaîne de transformations permet de passer des coordonnées globales d'un objet aux coordonnées rastérisées utilisées pour l'affichage des pixels. Dans notre projet, les étapes sont optimisées pour une résolution fixe, et certaines phases comme les NDC (*Normalized Device Coordinates*) sont volontairement ignorées pour des raisons de simplicité. Voici un aperçu des différents espaces de coordonnées utilisés :

- **Local** : Coordonnées propres à chaque objet (mesh).
- **Global** : Position globale de l'objet dans l'espace.
- **Local caméra** : Coordonnées relatives à la caméra, qui devient le centre de l'univers.

- **Écran** : Coordonnées projetées en 2D à l'aide d'une projection en perspective.
- **Rastérisé** : Coordonnées finales en pixels, prêtes à être affichées.

#### A. Du global au local (inverse caméra)

Cette étape convertit les coordonnées globales en coordonnées relatives à la caméra. Elle comprend deux sous-étapes :

- **Translation** : on soustrait la position de la caméra aux sommets :

$$x' = x - cameraX, \quad y' = y - cameraY, \quad z' = z - cameraZ$$

- **Rotation** : on aligne la scène avec l'orientation horizontale de la caméra. Une simple rotation 2D dans le plan XZ suffit :

$$\begin{bmatrix} x'' \\ z'' \end{bmatrix} = \begin{bmatrix} \cos(\theta) & \sin(\theta) \\ -\sin(\theta) & \cos(\theta) \end{bmatrix} \cdot \begin{bmatrix} x' \\ z' \end{bmatrix}$$

Le résultat est un repère où la caméra est à l'origine, regardant vers l'axe  $+Z$ .

#### B. Du local à l'écran (projection en perspective)

La projection en perspective est utilisée pour simuler la profondeur et la diminution apparente de taille avec la distance. On suppose que la caméra est centrée, et que la projection se fait selon le principe de similarité des triangles.

$$x_{screen} = \frac{x''}{z''}, \quad y_{screen} = \frac{y''}{z''}$$

Le champ de vision (FOV) détermine l'angle de vue. Un FOV large donne un effet "fish-eye", tandis qu'un FOV étroit rapproche la scène. Cette étape ne borne pas les coordonnées à l'écran. Il ne faudra donc conserver que les sommets visibles dans la fenêtre.

#### C. De l'écran à l'image rastérisée

Les coordonnées de l'écran sont converties en pixels selon la résolution cible (ici  $256 \times 256$ )<sup>1</sup> :

$$x_{raster} = \left( \frac{x_{screen} + 1}{2} \right) \cdot \text{largeur} \quad y_{raster} = \left( \frac{1 - y_{screen}}{2} \right) \cdot \text{hauteur}$$

1. Le pipeline implémenté ne permet pas de supporter le *clipping*. Si un sommet est en dehors de l'écran ou si  $z < 0$ , le triangle est simplement rejeté.

## VI. Implémentation

### A. Vérification

La validation fonctionnelle de l'architecture a été assurée au moyen d'une suite d'outils Python jouant le rôle de *testbench* logiciel. Ces scripts ont permis de générer les *stimuli*, de fournir les jeux de données de référence (*golden data*) et d'analyser les résultats produits par chaque bloc matériel. La génération des données de test comprend notamment la construction de cartes 3D servant de scènes d'entrée, ainsi que la création d'instructions spécifiques à notre format interne, avec la possibilité d'annotations et de contrôles de cohérence.

L'analyse et la visualisation des résultats incluent la lecture et le rendu graphique des *dumps* mémoire du *frame buffer*, la transformation d'un lot d'instructions en image 2D pour comparaison avec la sortie attendue, ainsi que la visualisation tridimensionnelle des cartes 3D pour valider les positions, les orientations et les maillages avant la génération des *frames*.

### B. Synthèse

La carte Altera Cyclone V 5CSEMA5F31C6 FPGA a été utilisée, les résultats de synthèse sont montrés dans le tableau 1.

TABLEAU 1. Résultats de synthèse FPGA.

Ressource	Quantité	Utilisation
Logic Utilization (ALMs)	9149	29%
Memory Bits	3,145,728	77%
PLLs	2	33%
DSP Blocks	54	62%

### C. Implémentation sur FPGA

Le circuit ainsi synthétisé a été placé et routé avant d'être chargé sur le FPGA. L'exécution du programme de test a permis de visualiser une petite séquence vidéo sur un écran VGA composée d'éléments géométriques simples se déplaçant dans l'espace (cf. Figure 2)

Le système, synthétisé sur FPGA Altera Cyclone V, atteint la fréquence de 12,23 MHz et permet un taux de rafraîchissement d'environ 11 images par seconde avec la gestion de la profondeur et des dégradés. Le circuit, bien que perfectible, valide une solution de rendu 3D temps réel fonctionnelle et adaptable sur un environnement embarqué.

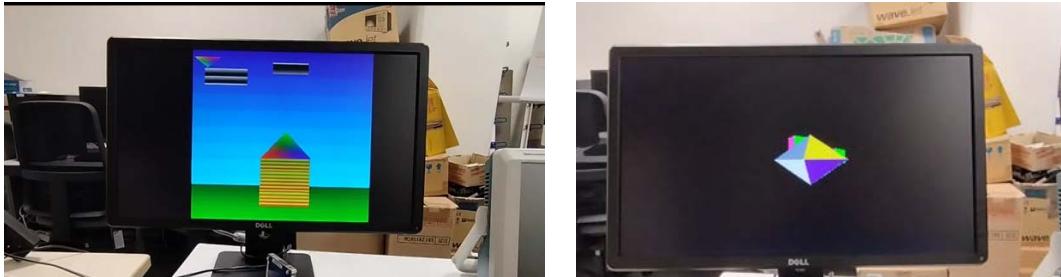


FIG. 2. Vues extraites de la séquence vidéo

## VII. Conclusion

Ce projet a permis d'aborder la conception d'une architecture de type GPU, disposant d'un jeu d'instructions propriétaires (ce qui permet de relâcher de nombreuses contraintes). L'usage du FPGA constitue pour ce type de projet un plus car il permet aux étudiants de visualiser directement le bon fonctionnement de leur GPU sur un simple écran VGA. Au-delà de l'aspect visuel, un tel projet permet aux étudiants d'acquérir de solides connaissances sur l'architecture des processeurs, les étapes de transformation d'une vue 3D en une vue 2D rastérisée et la gestion efficace de bancs mémoire. De plus, ce travail permet également l'acquisition des méthodes nécessaires à la conception d'un bloc matériel au niveau RTL, de sa synthèse et de son portage sur une plateforme FPGA.

## Remerciements

Nous remercions le CIME Noanotech et le GIP-CNFM pour le support et la mise à disposition des logiciels et du matériel, ainsi que Grenoble INP–Phelma pour sa formation, qui nous ont permis d'acquérir les connaissances nécessaires pour mener à bien ce travail.

## Références

1. Grégoire Lehouque, Antoine Costani, Michele Portolan, Laurent Fesquet, *L'apprentissage par projet en microélectronique numérique - vers l'acquisition d'un savoir-faire*, Journal J3EA, <https://doi.org/10.1051/j3ea/20221015>
2. Olivier Bonnaud, Laurent Fesquet, *Communicating and Smart Objects : multidisciplinary topics for the innovative education in microelectronics and its applications*, 14th International Conference on Information Technology Based Higher Education and Training, ITHET 2015, 11-13 June, 2015, Caparica, Lisbon, Portugal, pp 1 - 5, DOI : 10.1109/ITHET.2015.7217961.
3. Olivier Bonnaud, Laurent Fesquet, *Microelectronics at the heart of the digital society : technological and training challenges*”, 34th SBMicro – Symposium on Microelectronics and Devices, August 26 to 30, 2019, São Paulo, Brasil
4. S. Haykal, *An Optimized Triangle Rasterizer*, Master's Thesis, DigiPen Institute of Technology, 2017. [Online].
5. P. Greczner, *Two-Dimensional Graphics Card (GPU) on an Altera FPGA*, Final Project Report, Cornell University, 2010. [Online].
6. Branch Education, *How do Video Game Graphics Work ?*, YouTube, 2021. [Online].

# **Simulation électrique de l'injection de faute laser dans une cellule mémoire SRAM : une approche à la sensibilisation à la cybersécurité matérielle en BUT GEII**

a,b L. Pichon

<sup>a</sup> IETR et pôle CNFM de Rennes (CCMO), Université de Rennes, France

<sup>b</sup> IUT de Rennes, département GEII, Rennes, France

Contact email : laurent.pichon@univ-rennes.fr

Cet article décrit un TP de simulation électrique de l'injection de fautes par laser responsable de l'inversion d'un bit dans une cellule SRAM. Il constitue une approche simple et innovante pour sensibiliser les étudiants de BUT GEII aux problématiques de l'évaluation de la vulnérabilité des systèmes d'information par l'injection de faute par laser.

## **I. Introduction**

L'injection de fautes est une technique utilisée en cybersécurité matérielle pour perturber le fonctionnement des circuits électroniques et des systèmes embarqués afin d'analyser leur robustesse ou d'exploiter leurs vulnérabilités. Il existe plusieurs méthodes d'injection de fautes. Citons parmi les plus connues : l'injection de fautes par laser [1] [2], l'injection de fautes électromagnétiques [3], les glitches d'alimentation [4] ou les glitches d'horloge [5].

D'une manière générale, ces techniques peuvent être utilisées pour identifier les faiblesses de sécurité des systèmes cryptographiques et des cartes à puce, afin de permettre l'extraction de clés secrètes ou le contournement de mécanismes de protection, ou éventuellement pour évaluer la résistance des composants aux perturbations et aux attaques physiques.

Dans le cas de l'injection de fautes par laser, la méthode consiste à diriger un faisceau laser pulsé (nano- ou pico-seconde) focalisé vers une région spécifique du circuit, provoquant une perturbation temporaire du mode de fonctionnement des transistors, responsable d'une inversion de bit appelée « bitflip », pouvant être exploitée à des fins malveillantes. L'origine physique de ce dysfonctionnement est la création d'un photocourant temporaire dû à l'absorption de photons laser dans le substrat silicium.

L'injection de fautes par laser offre plusieurs avantages. Elle est très précise tant sur le plan spatial que temporel. Elle cible une zone précise, elle n'est pas intrusive et permet un contrôle précis de l'injection de fautes, ce qui entraîne des défauts localisés spatialement et temporairement. L'efficacité de cette méthode dépend également des paramètres du laser utilisé (longueur d'onde, puissance incidente, durée d'impulsion compatible avec le signal d'horloge du circuit).

## **II. Contexte et motivations**

Ce TP s'inscrit dans le cadre d'une sensibilisation des étudiants de 3<sup>e</sup> année de BUT GEII (parcours Electronique des Systèmes Embarqués) de l'IUT de Rennes à la cybersécurité matérielle, à travers la technique de l'injection de faute par laser. En complément, ces mêmes étudiants suivent un module en physique des semiconducteurs et des composants électroniques, au cours duquel ils suivent un TP en salle blanche proposé par le CCMO (Centre Commun de Microélectronique de l'Ouest), Pôle CNFM de Rennes, sur la fabrication d'une photodiode en technologie silicium. Le mécanisme de fonctionnement de la photodiode est directement associé au processus de l'injection de faute sous illumination laser. Ainsi l'objectif est de permettre aux étudiants de comprendre par

une approche ascendante les phénomènes physiques et électroniques associés à l'injection de fautes par laser dans les systèmes électroniques. Cette approche, quasiment inexistante dans les filières de formations de l'enseignement supérieur liées à la cybersécurité, constitue un atout dans la formation de futurs experts du domaine de la sécurité des composants.

### III. Injection de faute par laser : principe et méthodologie

En raison des multiples niveaux d'interconnexions métalliques sur la face supérieure d'un circuit intégré de technologie silicium récente, ou plus largement sur les systèmes électroniques complexes (microcontrôleurs, FPGA...), l'injection de fautes par laser s'avère inefficace sur la face supérieure de la cible. Dans ce cas, la faute est injectée depuis la face arrière de la cible préalablement décapée et amincie, afin d'optimiser le nombre de photons absorbés dans la zone active des parties sensibles (canal du transistor MOSFET, voir fig. 1). Dans ces conditions, le faisceau laser est focalisé dans la partie active de la cible [6]. Ainsi, les photons incidents responsables du photocourant doivent pénétrer le plus profondément dans le substrat avec le coefficient d'absorption,  $\alpha$ , le plus faible, pour être absorbés au niveau des composants constituant le circuit électronique ciblé. Dans le cas d'un substrat de silicium, le laser doit avoir une longueur d'onde,  $\lambda$ , inférieure à 1,1 µm. Dans ce travail  $\lambda = 1064$  nm et  $\alpha = 10 \text{ cm}^{-1}$  [6]. Typiquement, les sources laser utilisées sont des lasers pulsés nanosecondes voire picosecondes. L'approche consiste à balayer le faisceau laser sur la zone d'intérêt pour détecter les vulnérabilités et/ou analyser les blocs architecturaux du circuit ciblé.

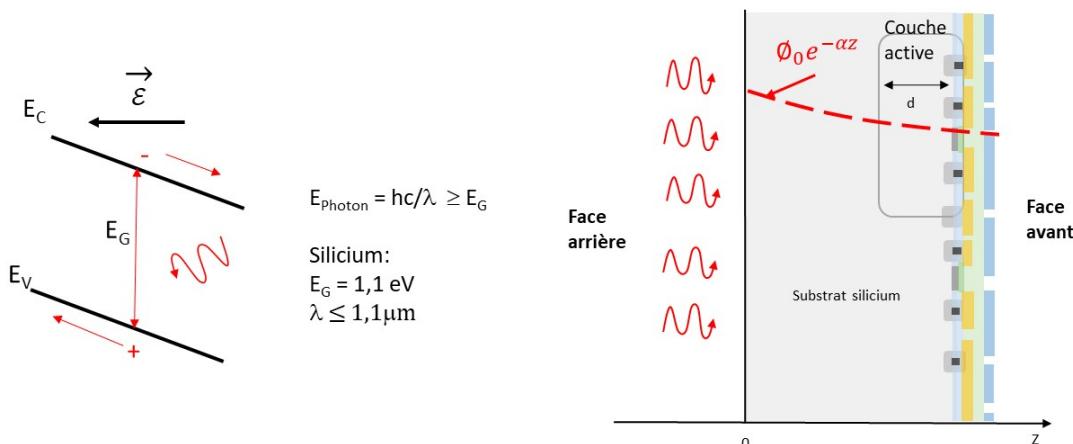


Fig. 1. Représentation schématique de l'absorption de photons par la face arrière responsables de l'injection de faute par laser dans un circuit électronique intégré

Le photocourant résultant est dû à la génération de paires électron/trou au niveau de la jonction drain/canal polarisée en inverse du transistor MOS fonctionnant en mode bloquant [6] dans l'inverseur CMOS (fig. 2). Ce courant a pour effet de faire passer le transistor MOS de l'état bloquant à l'état passant, inversant ainsi l'état de la tension de sortie de l'inverseur. L'effet qui en résulte est le changement de valeur d'un bit, appelé « bitflip », dans une cellule mémoire SRAM composée des deux inverseurs CMOS couplés assurant la fonction mémoire du bit. Lorsque que le bit ( $\bar{Q}$ ) passe de la valeur 1 à 0 on « reset » le bit, quand il passe de 0 à 1 on « set » le bit.

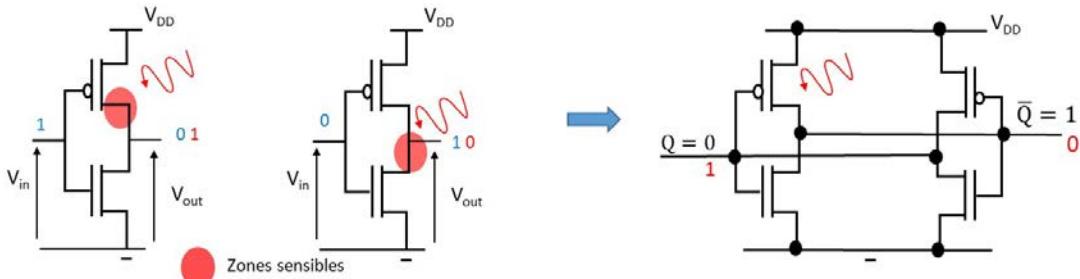


Fig. 2. Illustrations des zones sensibles (dans les MOSFET en mode Off) de l'inverseur CMOS sous illumination laser. Exemple d'inversion du bit ( $\bar{Q}$ ) résultante dans une cellule de mémoire SRAM (transistors d'accès pour les opérations d'écriture et de lecture ne sont pas représentés).

#### IV. Simulation électrique du bitflip

Les simulations électriques de l'injection de fautes par laser ont été menées à l'aide du logiciel Proteus [12] à disposition des étudiants au sein du département GEII de l'IUT de Rennes. Le modèle électrique pour les simulations est celui proposé dans le modèle théorique du photocourant induit dans un inverseur CMOS sous illumination laser [6], où le MOSFET en mode bloquant est considéré comme un phototransistor (fig. 3). Ce modèle électrique est associé au transistor bipolaire parasite dans le MOSFET. Les régions Source, Canal et Drain de chaque MOSFET en mode bloquant constituent respectivement l'Émetteur, la Base et le Collecteur. La photodiode est la jonction drain/canal polarisée en inverse connectée entre le collecteur (drain)/la base (canal) du transistor bipolaire parasite. Dans cette configuration, la photodiode agit comme un générateur de photocourant et le transistor bipolaire comme un amplificateur. Ainsi le MOSFET en mode Off de l'inverseur sous illumination laser induit un basculement de la tension de sortie de l'inverseur CMOS.

La simulation électrique est réalisée sur cellule mémoire SRAM CMOS alimenté en 0-5V. Un signal de tension d'horloge 0-5V de fréquence 2 MHz est appliquée à l'entrée. Une diode électroluminescente IR de puissance sous alimentation pulsée réglée à 15 V pendant 50 ns est utilisée pour simuler la source laser.

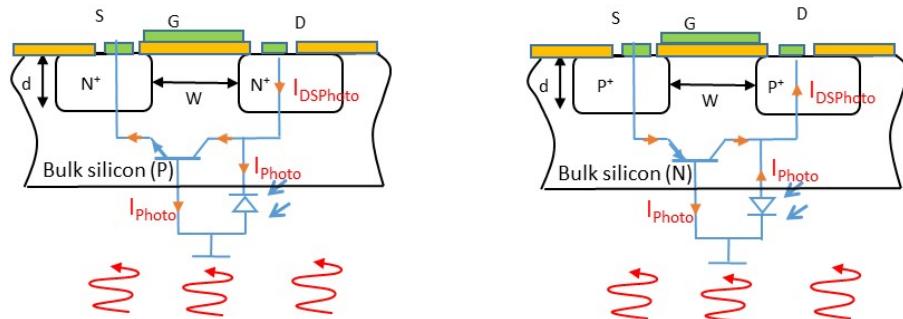


Fig. 3. Modèle électrique des MOSFET N et P en mode Off sous illumination laser. Chaque transistor se comporte comme un phototransistor bipolaire. Pour les technologies FD SOI, une couche de SiO<sub>2</sub> enterrée peut être ajoutée.

L'injection de faute par laser dans une cellule mémoire SRAM a été simulée à 400 ns pendant 50 ns. Deux configurations de fautes injectées ont été envisagées : le « set » du bit ( $\bar{Q} = 0 \rightarrow 1$ ) et le « reset » du bit ( $\bar{Q} = 1 \rightarrow 0$ ), comme le montrent respectivement les figures 4 et 5. Avant de simuler l'injection de faute, la mémorisation des bits a été fixée par une impulsion de courant (-1 mA et 1 mA pendant 1 ns pour  $\bar{Q} = 0$  et  $\bar{Q} = 1$  respectivement). Les chronogrammes représentés

sur les figures 4 (b) et 5 (b) pour les deux configurations montrent la commutation de la valeur du bit (bitflip) sous l'impulsion électrique simulant l'injection de faute par laser dans la mémoire à cellules SRAM.

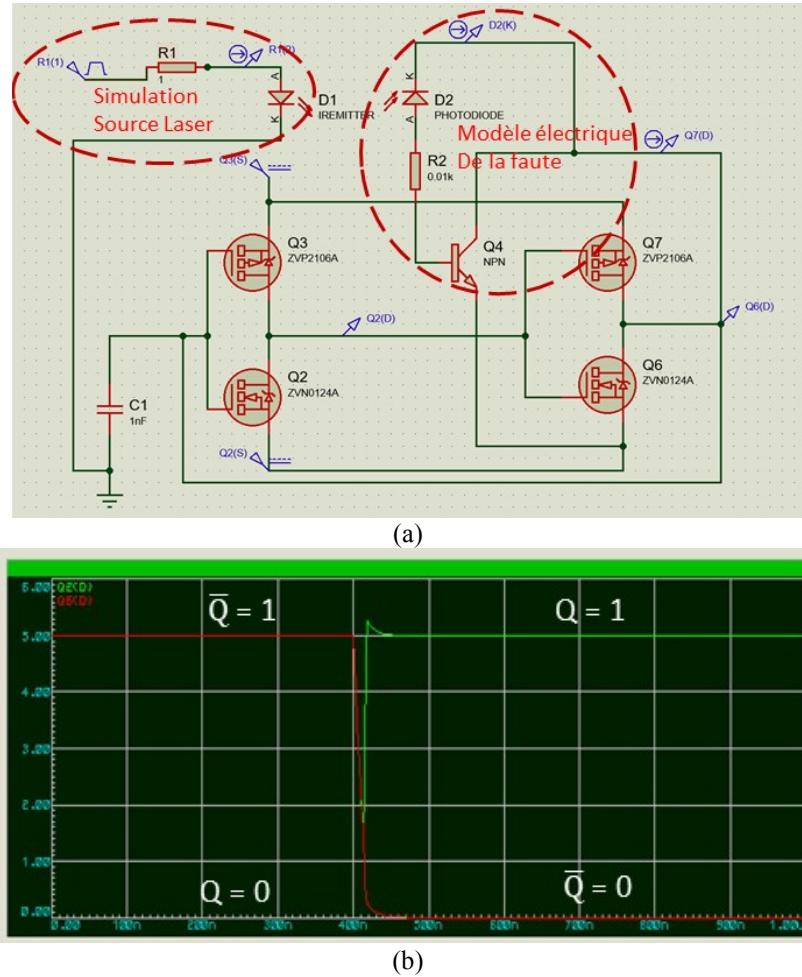


Fig. 4 . Simulation électrique de l'injection de faute dans une cellule mémoire SRAM  $\bar{Q} = 1 \rightarrow 0$ : (a) circuit électrique, (b) « reset » du bit

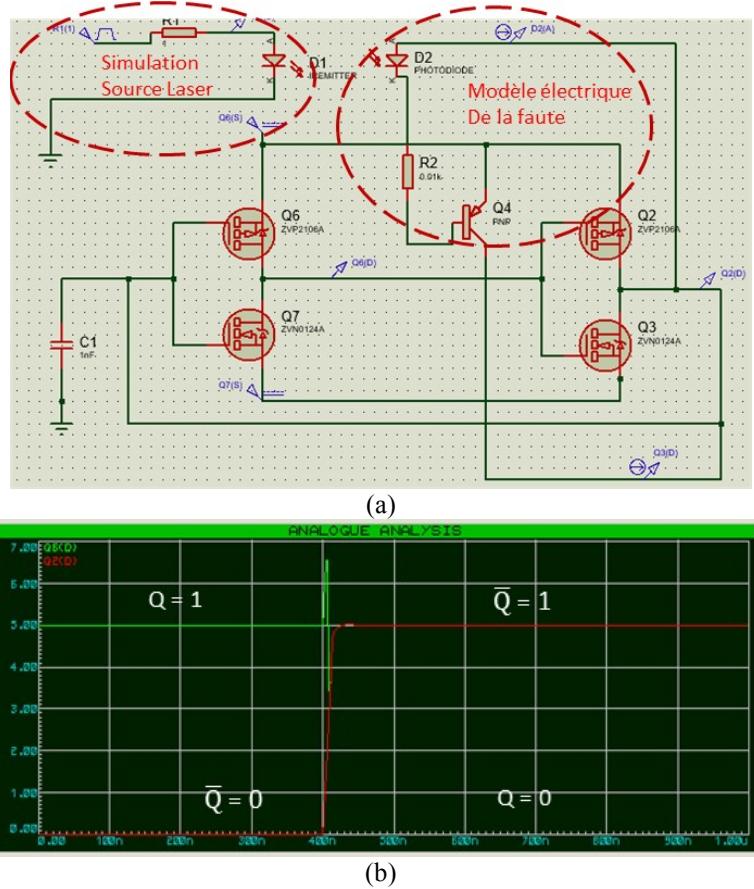


Fig. 5 . Simulation électrique de l'injection de faute dans une cellule mémoire SRAM  $\bar{Q} = 0 \rightarrow 1$ : (a) circuit électrique, (b) « set » du bit

## V. Conclusion

Ce type de travail est une sensibilisation à la cybersécurité matérielle par le biais de l'injection de fautes par laser dans un contexte d'évaluation de la vulnérabilité des systèmes d'information. Il peut être destiné à des étudiants des cursus de niveau L3 à Master ou cycle d'ingénieur des filières électronique et de physique appliquée. L'étude associée à ce travail peut être proposée sous forme de projet tuteuré, accompagné d'une étude bibliographique de l'injection de fautes par laser sur les systèmes électroniques, ou encore sous forme de TP de simulation numérique en lien avec un cours d'introduction sur les méthodes d'attaques utilisées pour tester la robustesse des systèmes électroniques.

## Remerciements

L'auteur remercie le Département Génie Electrique et Informatique Industrielle de l'Institut Universitaire de Technologie de Rennes pour l'utilisation du logiciel de simulation PROTEUS

## Références

1. B. Colombier *et al.*, ‘Multi-Spot Laser Fault Injection Setup: New Possibilities for Fault Injection Attacks’, in *Smart Card Research and Advanced Applications*, V. Grosso and T. Pöppelmann, Eds., Cham: Springer International Publishing, pp. 151–166 (2022)
2. J.-M. Dutertre *et al.*, ‘Sensitivity to Laser Fault Injection: CMOS FD-SOI vs. CMOS Bulk’, *IEEE Transactions on Device and Materials Reliability*, vol. 19, no. 1, pp. 6–15, doi: 10.1109/TDMR.2018.2886463 (2019)

3. O. Meynard, D. Réal, F. Flament, S. Guilley, N. Homma, and J.-L. Danger, ‘Enhancement of simple electromagnetic attacks by pre-characterization in frequency domain and demodulation techniques’, in *2011 Design, Automation & Test in Europe*, Mar. 2011, pp. 1–6. doi: 10.1109/DATe.2011.5763163 (2011)
4. M. Tehranipoor, N. Nalla Anandakumar, and F. Farahmandi, ‘Voltage Glitch Attack on an FPGA AES Implementation’, in *Hardware Security Training, Hands-on!*, M. Tehranipoor, N. N. Anandakumar, and F. Farahmandi, Eds., Cham: Springer International Publishing, pp. 219–234. doi: 10.1007/978-3-031-31034-8\_12 (2023)
5. I. Alshaer, B. Colombier, C. Deleuze, V. Beroule, and P. Maistri, ‘Microarchitectural Insights into Unexplained Behaviors Under Clock Glitch Fault Injection’, in *Smart Card Research and Advanced Applications*, S. Bhasin and T. Roche, Eds., Cham: Springer Nature Switzerland, pp. 3–22. doi: 10.1007/978-3-031-54409-5\_1 (2024)
6. L. Pichon, L. L. Brizoual, H. Djeha, E. F. Alvarez, L. Claudepierre, and J. L. Autran, ‘Theoretical Model of Transient Current in CMOS Inverter Under IR Laser Pulse Responsible of Bitflip in FDSOI Technology’, *IEEE Transactions on Electron Devices*, pp. 1–7 doi: 10.1109/TED.2025.3538002 (2025)
7. C. Godlewski, V. Pouget, D. Lewis, and M. Lisart, ‘Electrical modeling of the effect of beam profile for pulsed laser fault injection’, *Microelectronics Reliability*, vol. 49, no. 9, pp. 1143–1147, doi: 10.1016/j.microrel.2009.07.037 (2009)
8. A. Douin, V. Pouget, F. Darracq, D. Lewis, P. Fouillat, and P. Perdu, ‘Influence of Laser Pulse Duration in Single Event Upset Testing’ (2005)
9. C. Champeix, N. Borrel, J.-M. Dutertre, B. Robisson, M. Lisart, and A. Sarafianos, ‘SEU sensitivity and modeling using pico-second pulsed laser stimulation of a D Flip-Flop in 40 nm CMOS technology’, in *2015 IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems (DFTS)*, pp. 177–182. doi: 10.1109/DFT.2015.7315158 (2015)
10. N. Buard, F. Miller, C. Ruby, and R. Gaillard, ‘Latchup effect in CMOS IC: a solution for crypto-processors protection against fault injection attacks?’, in *13th IEEE International On-Line Testing Symposium (IOLTS 2007)*, pp. 63–70. doi: 10.1109/IOLTS.2007.42 (2007)
11. F. Liu, I. Ionica, M. Bawedin, and S. Cristoloveanu, ‘Extraction of the Parasitic Bipolar Gain Using the Back-Gate in Ultrathin FD SOI MOSFETs’, *IEEE Electron Device Letters*, vol. 36, no. 2, pp. 96–98 doi: 10.1109/LED.2014.2385797 (2015)
12. ‘PCB Design and Circuit Simulator Software - Proteus’. Accessed: Apr. 09, 2025. [Online]. Available: <https://www.labcenter.com/>

# **Injection de faute par laser sur microcontrôleur : du silicium à la programmation.**

L. Claudepierre<sup>a</sup>, E. R. Ferrucho-Alvarez<sup>a</sup>, L. Le Brizoual<sup>a</sup>, L. Pichon<sup>a</sup>

<sup>a</sup> IETR et pôle CNFM de Rennes (CCMO), Université de Rennes, Rennes, France

Contact email : ludovic.claudepierre.1@univ-rennes.fr

Cet article présente un TP sur l'injection de faute par laser proposé par le CCMO en s'appuyant sur les outils de la plateforme CYBER-ELEC de l'IETR. Cette plateforme est récente et permet des études approfondies et précises de la sécurité matérielle des microcontrôleurs. Ce domaine est très peu connu par les étudiants. Nous proposons ce TP afin de les familiariser avec les notions d'injection de faute à différents niveaux d'abstraction du microcontrôleur.

## **I. Introduction**

La cybersécurité est devenue un enjeu important ces 20 dernières années. La multiplication des objets connectés donne la possibilité d'un accès facile à des appareils transportables et recélant de plus en plus de données personnelles. Dans ce contexte, en plus de la sécurité logicielle implémentée, la sécurité matérielle est devenue essentielle en particulier sur les microcontrôleurs. Les voies d'attaque des couches physiques sont diverses : le glitch d'alimentation (1), glitch d'horloge(2)(3), l'injection électromagnétique (4), l'injection laser (5). Les perturbations physiques produisant un dysfonctionnement du microcontrôleur sont appelées *fautes*. Ces fautes se propagent de la couche physique jusqu'à la couche logicielle où des effets sont visualisables sur les sorties du programme attaqué. Cela fait de la cybersécurité matérielle une discipline transverse difficilement attractive.

En effet, il n'existe pas de formation complète permettant d'avoir à la fois des compétences en programmation, en microarchitecture, en électronique et en physique du semi-conducteur. Cela donne l'impression aux étudiants ne pas être assez qualifiés pour poursuivre dans cette voie. Proposer des travaux pratiques permettant d'élargir la vision des étudiants par rapport à leur cursus pourrait éveiller des vocations et les amener à davantage vouloir rejoindre le monde de la cybersécurité matérielle.

C'est dans cette optique que nous proposons un TP-cours centré sur l'injection de faute laser sur la mémoire flash d'un microcontrôleur et faisant le lien entre la structure de cette mémoire et les fautes produites.

## II. Visualisation du microcontrôleur

Grâce au banc d'injection laser de la plateforme CYBER-ELEC (6) (Figure 1), nous pouvons observer les puces (microcontrôleurs, FPGA) en lumière infrarouge et envoyer des impulsions laser sur celle-ci. Le banc dispose de 3 objectifs avec des grossissements de 5x, 20x et 50x. Ces objectifs ainsi que la fibre optique permettant l'injection laser sont montés sur une colonne optique motorisée sur 3 axes (x ; y ; z). La mise au point se fait avec un pas de  $0.1 \mu\text{m}$ .

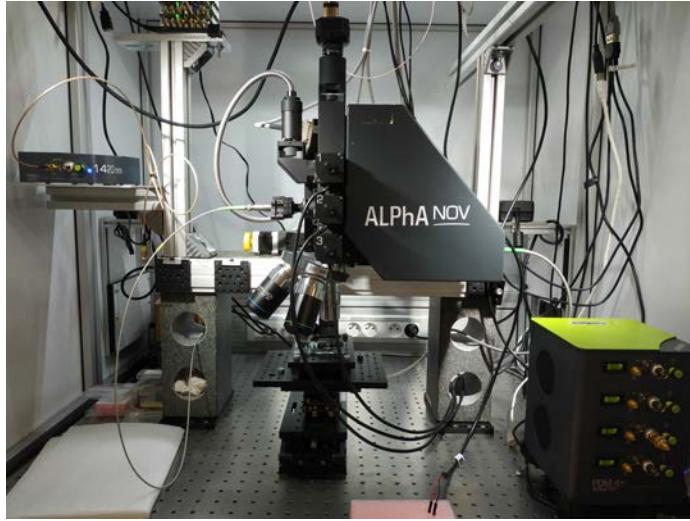


Fig. 1. Plateforme d'injection de fautes CYBERELEC.

Après une mise au point, on observe le microcontrôleur Figure 2. On peut facilement délimiter les différentes zones : la partie analogique (bleu) avec notamment le système d'horloge, la RAM (vert) où sont stockées certaines données pendant l'exécution du programme, la mémoire flash (rouge) où est stocké le programme à exécuter, la partie logique (jaune) qui charge, décode et exécute les instructions contenues dans la mémoire flash.

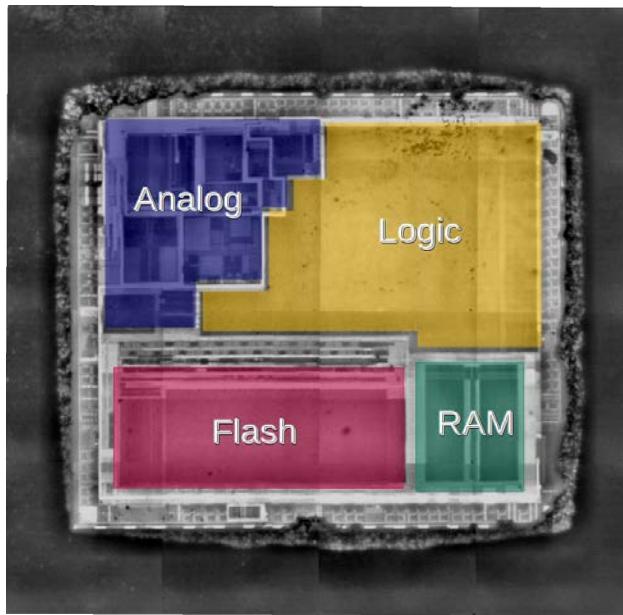


Fig. 2. Image infrarouge du microcontrôleur étudié avec identifications des diverses zones.

Le microcontrôleur étudié est de type Cortex-M3. Dans ce type d'architecture les instructions sont traitées dans un pipeline 3 étages (Figure 3). Les instructions contenues dans la mémoire flash sont chargées dans un prefetch buffer par mots de 32 bits pouvant contenir un mélange d'instructions de 32 bits et de 16 bits. Chaque mot est ensuite consommé par l'étage de décode qui transmet les instructions à l'étage d'exécution. Lorsque l'on injecte des fautes en envoyant des pulses laser dans la mémoire flash (7), c'est donc l'étape de transfert de la mémoire flash vers le prefetch buffer qui est fautée.

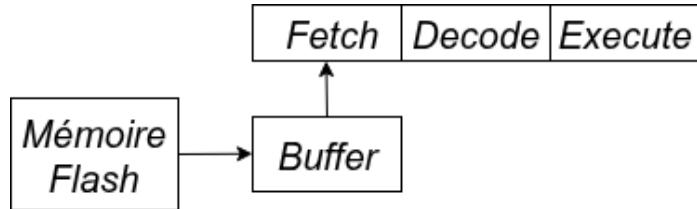


Fig. 3. Pipeline en 3 étages permettant le chargement, le décodage et l'exécution des instructions programmées dans la mémoire flash.

### III. Injection de faute laser sur une instruction

Lorsque qu'une instruction est fautée de cette manière, on observe le changement d'état logique de certains bits et plus précisément un bit-set *i.e* le passage de '0' à '1' d'un ou plusieurs bits. On peut donc changer la nature de l'instruction et altérer le fonctionnement du code pendant son exécution.

Pour réussir ce genre d'attaque, les paramètres optimaux doivent être trouvés. Dans notre cas, une injection de faute sur la flash fonctionne pour l'objectif 5x avec un pulse de largeur 400 ns et de puissance 100 mW. La localisation du spot influe quant à elle sur le bit fauté. L'idée est de faire varier cette position et de voir l'influence sur le résultat obtenu.

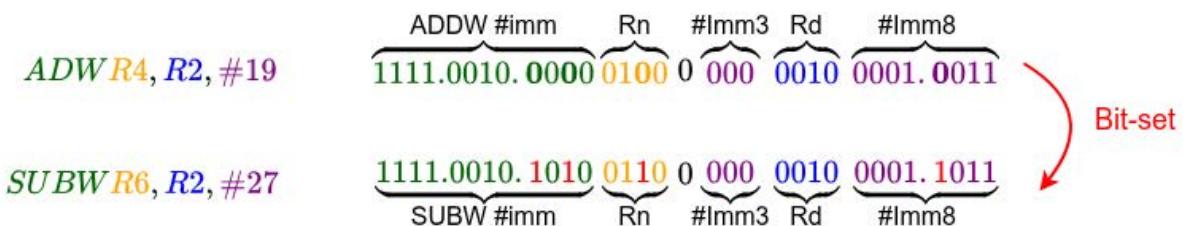


Fig. 4. Exemple de la transformation de l'opcode d'une instruction par bit-set.

Sur la Figure 4, les différentes parties de l'opcode représentant l'instruction sont identifiées. La partie verte correspond au type d'instruction. Si on set un bit on peut transformer une addition (ADDW) en soustraction (SUBW). On peut également changer le registre d'origine *Rn*, le registre de destination *Rd* ou l'immédiat qu'on additionne à *Rn*.

Une première expérience consiste à observer ce changement sur le code test (Listing 1). Pour un délai d'injection donné, on déplace le spot sur la flash suivant la direction horizontale (selon l'orientation de la Figure 2). On observe une modification des valeurs des registres en sortie du code. On peut alors en déduire l'endroit où se situe le bit ciblé.

```
subw R0 ,R0 ,#16
addw R3 ,R3 ,#1
addw R1 ,R1 ,#32
subw R4 ,R4 ,#4
subw R2 ,R2 ,#64
addw R5 ,R5 ,#8
```

Listing 1. Code à attaquer contenant des instructions arithmétiques simples

#### IV. Faute sur des instructions de tailles variables

Comme nous avons précisé dans la section II., notre microcontrôleur traite les instructions par mot de 32 bits. Dans la section précédente nous nous sommes limités à fauter des instructions 32 bits. Nous pouvons ensuite fauter une alternance de mots contenant 2 instructions de 16 bits et de mots contenant 1 instruction de 32 bits tel que détaillé dans le Listing 2. Chaque instruction arithmétique s'exécute en 1 cycle, on en déduit donc (colonne de gauche) la durée d'exécution du mot complet.

<b>Code assembleur :</b>	<b>Temps d execution:</b>
NOPW	1 cycles
...	...
addw R0 , R0 , #16	1 cycle
subw R3 , R3 , #1	1 cycle
add R1 , R1 , #32	2 cycles
sub R4 , R4 , #4	
add R2 , R2 , #64	2 cycles
sub R5 , R5 , #2	
addw R6 , R6 , #20	1 cycle
sub R1 , R1 , #8	2 cycles
add R4 , R4 , #40	
subw R0 , R0 , #6	1 cycle
subw R3 , R3 , #10	1 cycle
subw R6 , R6 , #7	1 cycle
...	...
NOPW	1 cycle

Listing 2. Code assembleur contenant des instructions de tailles variables et temps d'exécution de chaque mot.

Le premier objectif de cette expérience est de savoir dans quelle ordre les instructions de 16 bits sont ordonnées dans le mot de 32 bit. Les 2 possibilités sont illustrées sur la Figure 5 pour le troisième mot (en orange sur le Listing 2) : soit la première instruction, dans l'ordre du programme, est encodée sur les bits de poids forts (cas a) soit sur les bits de poids faibles (cas b) et inversement

pour la deuxième instruction. En réalisant pour un délai fixe, une série d'injections de fautes on pourra localiser chaque bit des 2 instructions et en déduire leur emplacement dans la mémoire flash. Expérimentalement on constate que c'est l'agencement a) qui est valide.

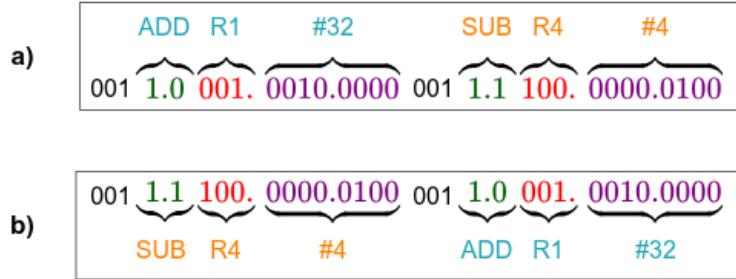


Fig. 5. Agencements possibles des instructions 16 bits dans un mot de 32 bits stocké dans la mémoire flash.

Le deuxième objectif est d'observer l'évolution du timing de faute selon la taille des instructions contenues dans un mot. A chaque fois qu'un mot est consommé par l'étage de décode, un nouveau mot est chargé depuis la mémoire flash pour de nouveau remplir le prefetch buffer. Connaissant ce mécanisme, on peut supposer que le transfert des mots de la mémoire flash vers le buffer se fera au même rythme que l'exécution de ces mots. On réalise une campagne d'injection en faisant varier le délai d'injection par pas de 125 ns (ce qui correspond à une période du signal d'horloge dans notre cas).

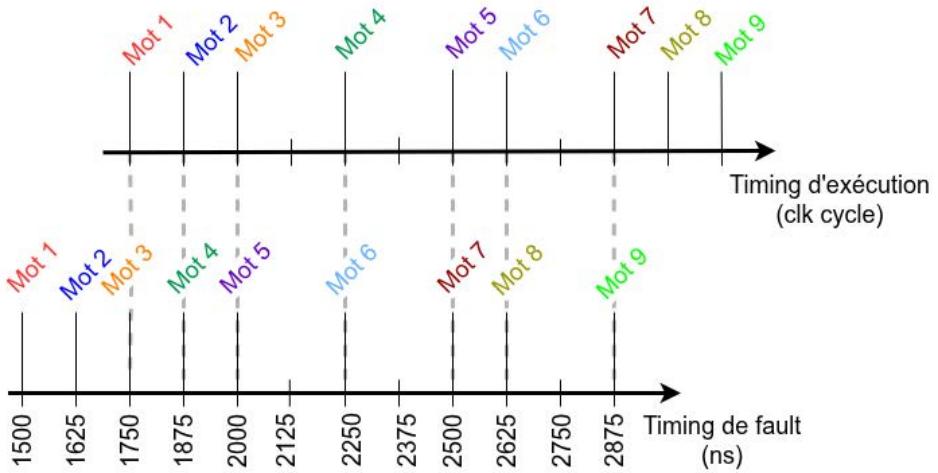


Fig. 6. Comparaison du timing d'exécution (haut) et du timing de faute (bas) pour le code test.

Sur la Figure 6, la partie du haut on représente les mots et leur timing relatif d'exécution en nombre de cycle. Sur la partie du bas on représente à quel cycle les mots ont été fautés. On constate qu'entre le timing d'exécution des mots et le timing où ils sont fautés, on retrouve le même rythme mais avec un décalage. Par exemple le mot en vert s'exécute en 1 cycle mais il y a 2 cycle entre le moment où on le faute et le moment où on faute le mot suivant. En analysant ce décalage sur chaque mot, on trouve que 2 mots ont le temps d'être exécutés entre le moment où on faute un mot et le moment où celui-ci est exécuté.

## V. Conclusion

Ce TP propose une manière de faire le lien entre le côté physique de l'injection laser et les conséquences observables pendant l'exécution du code. Après avoir réalisé ces expériences, les participants sont sensibilisés à la cybersécurité matérielle et en particulier aux attaques par injection de fautes. Ils ont également un aperçu de la manière dont les fautes se propagent de la couche physique, vers la couche logicielle.

On pourrait étendre ce TP en ajoutant une comparaison entre le timing obtenu par injection laser avec celui obtenu par un autre moyen d'injection, par exemple une plateforme de clock-glitch. Cela permettrait aux étudiants de découvrir un autre moyen d'injection de faute.

## Remerciements

Merci du soutien apporté par le CREACHLAB et le projet INFORISM.

## Références

1. Barenghi *et al.* "Low Voltage Fault Attacks to AES and RSA on General Purpose Processors", in Cryptology ePrint Archive 2010
2. I. Alshaer *et al.* "Microarchitectural Insights into Unexplained Behaviors Under Clock Glitch Fault Injection", in CARDIS 2023
3. L. Claudepierre *et al.* "TRAITOR: A Low-Cost Evaluation Platform for Multifault Injection", in ASSS 2021
4. Amine Dehibaoui *et al.* "Electromagnetic Transient Faults Injection on a Hardware and a Software Implementations of AES", in Workshop on Fault Diagnosis and Tolerance in Cryptography
5. Jean-Max Dutertre *et al.* "Laser fault injection at the CMOS 28 nm technology node: an analysis of the fault model", in 14th Workshop on Fault Diagnosis and Tolerance in Cryptography 2018
6. <https://www.ietr.fr/cyber-elec>
7. B. Colombier *et al.*, "Laser-induced Single-bit Faults in Flash Memory: Instructions Corruption on a 32-bit Microcontroller", in HOST 2019

# TERO-PUF optimisé pour l'étalonnage sur Intel MAX-10 pour des PUF faibles et robustes

K. Vicuña<sup>a,b</sup>, K. Foglia<sup>c</sup>, B. Sreejith<sup>a</sup>, F. Amiel<sup>a</sup>, L. Trojman<sup>a</sup>

<sup>a</sup> Institut Supérieur d'Électronique de Paris (Isep), LISITE, Paris, France

<sup>b</sup> Département d'informatique, de modélisation, d'électronique et de génie des systèmes,  
Université de Calabre, 87036 Arcavacata di Rende, Italie

<sup>c</sup> Département de mathématiques et d'informatique, Université de Calabre, Via P. Bucci, 30B,  
87036, Arcavacata di Rende, CS, Italie

Email de contact : [kevina.vicunabarriga@dimes.unical.it](mailto:kevina.vicunabarriga@dimes.unical.it)

Nous présentons une méthodologie simple et accessible pour réaliser des fonctions physiquement non clonables (PUF) « faibles » sur des FPGA. L'implémentation de cette méthode utilise une cellule binaire TERO avec quatre retards de phase sélectionnables et un placement symétrique ; l'implémentation est faite sur un Intel MAX-10. Un calibrage à température ambiante pour chaque cellule permet de sélectionner le retard qui minimise l'écart-type des cycles avant que le RO collapse (CTC) à après 500 évaluations, tandis qu'un NIOS II effectue la lecture en temps réel d'un réseau de 128 bits. Le calibrage sur dix cartes sur une température allant de 5 °C à 75 °C montre une stabilisation qui optimise la réponse : réduction taux d'erreur binaire (BER) en fonction de la température, préserve l'unicité inter-appareils à une valeur quasi-idéale et élargit la séparation entre les distributions des distances de « Hamming (HD) » entre les dispositifs et à l'intérieur. Avec un masque dérivé à partir de la dispersion CTC, on obtient un  $BER < 10^{-3}$ , sans vote temple ni post-traitement hors puce et avec un coût compact de 2 blocs de réseau logique (LAB) par bit. Cette approche offre une voie pratique vers des TERO-PUFs robustes sur FPGA.

## I. Introduction

La croissance rapide de l'Internet des objets (IoT) et la décentralisation de l'informatique ont élargi la surface d'attaque et exacerbé les problèmes de confiance au niveau du système (1), (2), (3). Les stratégies conventionnelles qui reposent sur la génération de clés hors puce et le stockage dans la mémoire non volatile (NVM) augmentent les coûts de production et restent exposées aux menaces d'inspection physique et de rétro-ingénierie (4). Dans ce contexte, la fonction physiquement non clonable (PUF) est apparue comme une primitive matérielle qui, lorsqu'elle est stimulée par un challenge, produit une réponse spécifique au dispositif, formant une paire challenge-réponse (CRP) adaptée à l'identification et à la dérivation de clé (5), (6). L'adéquation d'une PUF aux applications de sécurité est généralement évaluée à l'aide de mesures établies, notamment l'unicité des dispositifs, leur stabilité face au bruit et à la dérive environnementale, et le caractère aléatoire pour limiter les corrélations spatiales. Ces considérations motivent les architectures qui favorisent la dérivation sur puce des secrets sans stockage permanent des clés et avec une robustesse quantifiable dans des conditions de fonctionnement réalistes.

Du point de vue du système de sécurité, les PUF sont classées en fonction de la cardinalité de leur espace CRP en PUF fortes et faibles PUF, les premières offrant un nombre exponentiel de CRP pour une authentification à faible coût et les secondes un nombre linéaire de CRP où la stabilité par bit est primordiale.

Au sein des PUF faibles basées sur FPGA, plusieurs familles représentatives illustrent les compromis entre l'utilisation des ressources, la contrôlabilité et la fiabilité. L'architecture d'Anderson exploite les registres à décalage, les tables de recherche et les chaînes de transport pour propager les problèmes vers une bascule, fournissant des implémentations compactes au détriment de l'effort d'atténuation des biais. Les conceptions basées sur les verrous SR résolvent la métastabilité grâce à de petites asymétries de retard entre les branches couplées croisées, ce qui permet une utilisation modeste des ressources mais nécessite généralement un soin manuel de la mise en page pour contrôler l'asymétrie. Les PUF d'oscillateur en anneau (RO) comparent les fréquences d'oscillateurs nominalement identiques et sont largement utilisés pour leur simplicité et leur bonne unicité, mais leur fiabilité est pénalisée car les comparaisons de fréquences sont sensibles au bruit et à la migration environnementale. Ces familles démontrent collectivement comment l'entropie basée sur le retard peut être récoltée sur les FPGA tout en soulignant la nécessité d'architectures qui tempèrent la sensibilité aux variations de processus de fabrication, de tension et de température (PVT). Un examen discipliné de ces alternatives définit la motivation d'approches qui poussent la stabilité dans la physique cellulaire plutôt que de s'appuyer principalement sur le post-traitement numérique. Dans cet article nous démontrons que l'utilisation du concept de PUF basé sur la variabilité des processus de fabrication exploité dans une implémentation ASIC peut s'implémenter sur un FPGA, réduisant les coûts et proposant une flexibilité d'utilisation sans sacrifier les performances.

## II. PUF à base de cellule TERO

La cellule TERO (Transient Effect Ring Oscillator) est basée sur deux oscillateurs en anneau à couplage croisé qui, après le front montant de *enable*, traversent une phase oscillatoire transitoire, puis collapse et atteint l'un des deux états stables. La Fig. 1 esquisse ce mécanisme : deux trajets de retard nominalement équivalents (Path\_1, Path\_2) propagent des événements dont l'asymétrie relative cause par les variabilités de processus détermine le rapport cyclique transitoire ; Le bit est fixe lorsqu'un chemin dépasse l'autre, ce qui donne « 0 » si  $\tau_{\text{Path1}} < \tau_{\text{Path2}}$  ou « 1 » sinon. Contrairement aux RO-PUF classiques, la décision est prise à l'intérieur de la cellule, évitant ainsi l'utilisation de comparateurs externes qui atténuent la sensibilité instantanée au bruit par intégration sur la durée transitoire (7), (8), (9).

Le paramètre essentiel est donc le nombre de cycles avant que le RO collapse (cycle to collapse ou CTC), défini comme le nombre de demi-cycles observés à la sortie avant que l'état stable ne soit atteint. Conceptuellement, la CTC agit comme une mesure de la « distance temporelle » entre les chemins : les petits déséquilibres ont tendance à induire des CTC plus grands, tandis que les déséquilibres plus importants raccourcissent le transitoire (7), (8), (9).

D'un point de vue stochastique, la réponse TERO peut être modélisée comme une variable de Bernoulli dont la valeur attendue dépend du déséquilibre de retard normalisé par sa dispersion effective : lorsque les moyennes du chemin sont égales, elle tend vers 0,5 (entropie maximale) ; Au fur et à mesure que le déséquilibre normalisé augmente, la probabilité se déplace vers l'un des états stables, ce qui renforce la reproductibilité des bits au prix d'une divergence de l'uniformité par rapport à l'idéal (10).

En ce qui concerne les critères de calibrations, la première approche consiste à configurer la plus petite valeur moyenne CTC ( $\mu$ ) calculée sur les tests effectués. Même s'il donne un faible BER, ce critère s'est avéré sous-optimisé (11). L'incorporation de l'écart-type CTC ( $\sigma$ ) améliorerait la prédiction de la stabilité de la réponse : pour des moyennes proche ou égale à  $\mu$ , le choix de la configuration avec l'écart-type le plus faible réduit systématiquement le BER (12). Il est prévu d'appliquer des outils de théorie du contrôle et de l'optimisation pour identifier les configurations qui permettent d'obtenir un compromis équilibré entre la moyenne CTC et la variance, sous des

contraintes BER explicites ; les premières expériences sont encourageantes, montrant un BER plus faible avec une variabilité réduite.

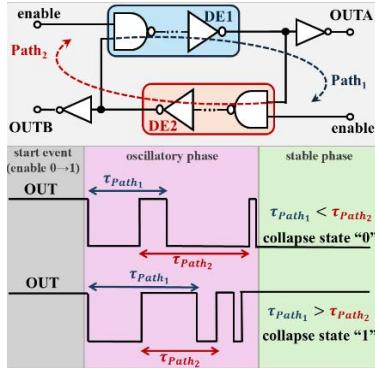


Fig.1. TERO bit-cell et timing : *enable* déclenche le transitoire ; CTC compte les demi-cycles jusqu'à ce que l'oscillateur collapse ; La sortie est 0 si et 1 sinon.  $\tau_{Path1} < \tau_{Path2}$ .

### III. TERO reconfigurable (FPGA) principe de fonctionnement

La Fig. 2 montre la cellule binaire TERO reconfigurable composée de deux oscillateurs en anneau à couplage croisé avec des trajets nominalement équivalents  $Path_1$  &  $Path_2$ . Chaque chemin contient deux éléments de retard sélectionnables  $(DE1, DE2)$  et  $(DE3, DE4)$ . Les lignes de contrôle  $CTRL[0]$  et  $CTRL[1]$  conduisent les blocs apparié MUX-DEMUX qui activent l'une des quatre compositions  $(DE1; DE3), (DE1; DE4), (DE2; DE3), (DE2; DE4)$ , sans modifier le couplage ou les nœuds de lecture  $OUTA$  et  $OUTB$ . Un front ascendant « enable » injecte l'événement qui déclenche la phase oscillatoire transitoire ; Le nombre de demi-cycles jusqu'à ce que l'oscillateur collapse définit le CTC, que nous utilisons comme mesure de marge de synchronisation et proxy pour la stabilité de la lecture (10), (11).

La Fig. 2 détaille également le mappage physique sur un périphérique Intel MAX 10 qui permet l'implémentation de la PUF. CHAIN1–2 est placé dans LAB1 et CHAIN3–4 dans LAB2, avec le buffer de sortie centré entre les deux régions. Les fonctions NAND et inverter sont implémentées en tant que LCELL avec un placement fixe via des fichiers vectoriels et un routage local déterministe. Ce placement permet d'obtenir une symétrie géométrique élevée et de réduire l'asymétrie de routage entre  $Path_1$  et  $Path_2$ , ce qui atténue le déséquilibre systématique dans la décision de la cellule. La nécessité d'une symétrie et d'un place-and-route contrôlés dans les implantations TERO sur FPGA est bien établie dans la littérature (8), (9).

Chaque configuration ( $CTRL[1:0] \in \{00, 01, 10, 11\}$ ) obtenue est évaluée 500 fois à température ambiante afin d'estimer, pour chaque cellule et configuration, la moyenne  $\mu_{CTC}$  et l'écart-type  $\sigma_{CTC}$ . Deux politiques de sélection sont prises en compte :

1. Basé sur la moyenne : choisir la configuration avec la plus faible  $\mu_{CTC}$ , cohérente avec le critère classique rapporté pour les cellules TERO (10).
2. Basé sur la dispersion : choisissez la configuration la plus faible  $\sigma_{CTC}$ , en privilégiant la reproductibilité du transitoire plutôt que le simple raccourcissement de sa durée moyenne (9), (11).

La Fig. 2a définit les degrés de liberté fonctionnels de la cellule bit-cell et la Fig. 2b montre le placement symétrique sur un MAX 10 qui permet une calibration cohérente.

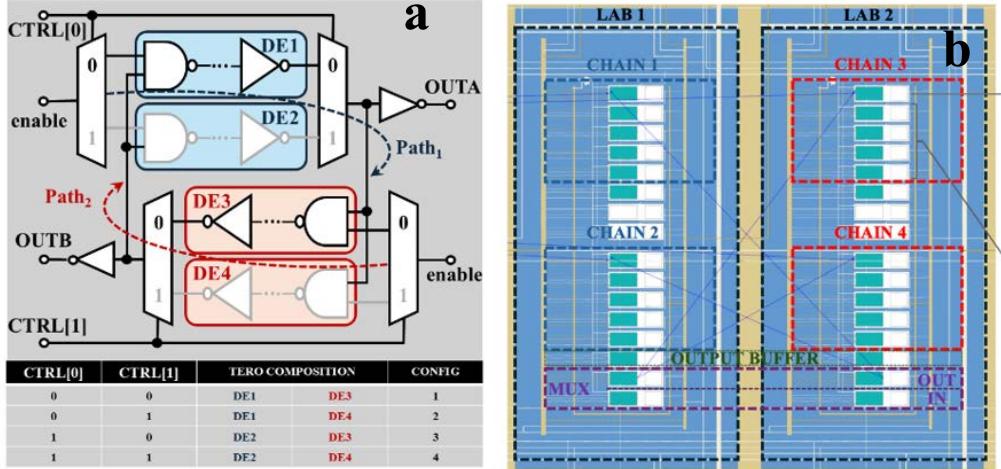


Fig.2. Implémentation configurable de la pile binaire TERO et de l'Intel MAX 10 (a) et routage de la PUF dans la FPGA en (b).

#### IV. Mesures et performances

Les mesures ont été effectuées sur dix appareils Intel MAX-10 10M50DAF484C7G placés dans le même four que celui utilisé dans notre configuration précédente, avec une température de balayage de 5 °C à 75 °C. Un processeur NIOS II a été utilisé pour la lecture de la matrice de 128 bits en temps réel avec un accès parallèle de huit bits. Le temps de lecture de l'ensemble du réseau était d'environ 11,2 ms, ce qui correspond à environ 1,428 kHz ou 11,42 kb/s. Les conditions de la clef d'or (ou golden key, GK) étaient :  $V_{DD} = 1.2$  V &  $T = 25^\circ\text{C}$

Chaque cellule de bit prend en charge quatre configurations CTRL[1:0]. Pour chacune, nous avons effectué 500 évaluations par cellule. La Fig. 2b indique que le rapport de bit instable (Unstable Bit Ratio ou UBR) et le taux d'erreur binaire (BER) sont fonction du nombre d'évaluations.

Soit la longueur de la clé  $N_{bit} = 128$  et  $r_i^{(k)} \in \{0,1\}$  le -ième bit à l'évaluation de  $k = 1, \dots, M$ . UBR est la fraction de bits qui change d'état au moins une fois au cours de la campagne,

$$UBR(\%) = \frac{100}{N_{bit}} \sum_{i=1}^{N_{bit}} 1 \left\{ \exists k \in [2, M] : r_i^{(k)} \neq r_i^{(1)} \right\}$$

Soit  $R_j^{(k)} \in \{0,1\}^{128}$  la réponse de 128 bits de la puce à l'évaluation k et  $R_j^{\text{ref}}$  sa référence à la GK. Alors le BER est la fraction d'erreur moyenne sur la clé complète de 128 bits,

$$BER(\%) = 100 \cdot \frac{1}{N_{chip} M} \sum_{j=i}^{N_{chip}} \sum_{k=1}^M \frac{HD(R_j^{\text{ref}}, R_j^{(k)})}{N_{chip}}$$

$HD(\cdot, \cdot)$  où désigne la distance de Hamming et  $N_{chip} = 10$ .

Toutes les courbes (Fig. 3a) présentent un court transitoire et atteignent ensuite un plateau après environ 50 à 100 évaluations, c'est pourquoi nous adoptons  $M = 500$  pour les statistiques stationnaires. À  $M = 500$ , la dispersion entre les configurations est nette. Le taux de rentabilité se situe autour de 16,99 %, 14,84 %, 24,02 % et 26,95 % pour les CONFIG1 à CONFIG4, tandis que le BER se situe respectivement à environ 2,74 %, 2,47 %, 5,01 % et 5,24 %. Cela motive le choix de la configuration avant d'évaluer la robustesse à la température (Fig. 3b).

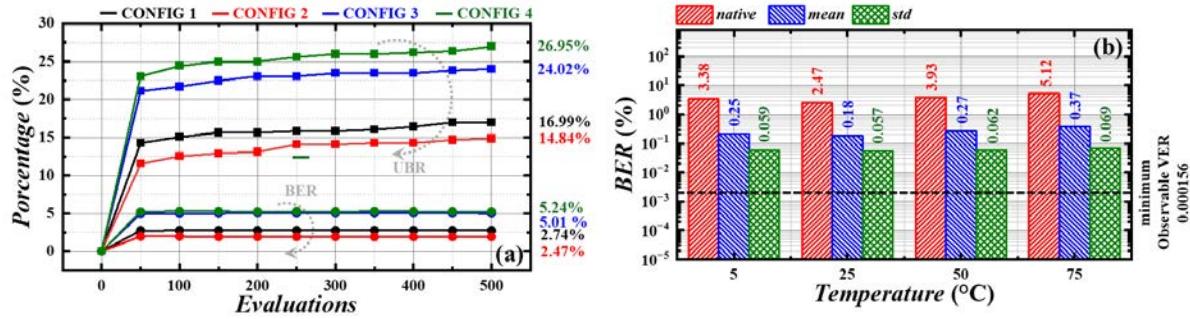


Fig.3. Ceci Mesure des matrices PUF sur dix appareils dans des conditions GK. (a) UBR et BER pour le nombre différent d'évaluations et (b) BER moyen sur dix 10M50DAF484C7G.

L'étalonnage est exécuté à GK en évaluant chaque cellule 500 fois sous les quatre compositions CTRL[1:0] et en sélectionnant la composition qui minimise l'écart-type des CTC, noté  $\sigma_{CTC}$ . La Fig. 4 (b) montre le BER obtenu au-dessus de 5, 25, 50 et 75 °C pour trois cas : sélection native basée sur la moyenne à l'aide de  $\mu_{CTC}$ , et sélection basée sur l'écart-type à l'aide de  $\sigma_{CTC}$ . Le BER « natif » se situe dans la fourchette de 3,88 à 5,12 %. La politique basée sur  $\mu_{CTC}$  produit une réduction du BER dans une fourchette de 0,18-0,57% pour toutes les températures. La politique basée sur  $\sigma_{CTC}$  produit une réduction supplémentaire du BER à une fourchette de 0,057-0,069 %, ce qui est proche du BER minimum observable i.e.  $1.56 \times 10^{-4}$  pour le paramètre statistique adopté (128 bits, dix dispositifs, 500 évaluations). En conclusion la calibration améliore le BER d'un à deux ordres de grandeur par rapport au BER natif, le critère basé sur le  $\sigma_{CTC}$  étant constamment plus performant que le critère basé sur le  $\mu_{CTC}$ . La distance de Hamming (HD) appliquée aux CRP de chaque dispositif permet d'analyser l'unicité (inter-PUF HD) et la reproductibilité (intra-PUF HD). Sur la Fig. 5 (a-c), les lobes bleus restent proches de des cibles (0.5 et faible variance) ce qui montre une bonne unicité. La reproductibilité est calculée sur l'ensemble de la clé de 128 bits en comparant la réponse à la GK à celle de chaque température. Une distribution intra-PUF idéale concentrerait une moyenne proche de zéro et une variance minimale. Sur la Fig. 4, le lobe rouge s'effondre lorsque la stabilisation est appliquée. Les facteurs de séparation correspondants entre les inter-lobes et les intra-lobes sont respectivement d'environ 20×, 175× et 808×.

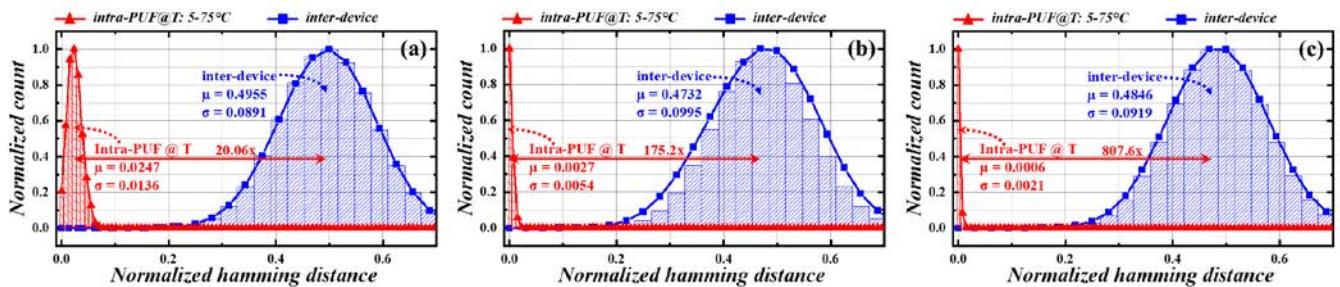


Fig.4. Distribution de la HD normalisé à travers les 10 dispositifs INTEL MAX10. Les courbes bleues montrent l'inter HD des PUF (unicité) pour 10.000 CRP avec des mots de 32bit. Les courbes rouges montrent l'intra HD des PUF (reproductibilité) sur des mots de 128bits sur une fourchette de température de 5 à 75C. En (a) nous avons les PUF « native », en (b) après la calibration  $\mu_{CTC}$  et en (c) après la calibration  $\sigma_{CTC}$ . L'Inter HD es proche de 0.5 (unicité idéal) et l'intra HD montre une concentration des gaussienne près de 0 augmentant la séparation attendue pour la reproductibilité.

## V. Conclusion

Nous avons démontré une fonction d'oscillateur en anneau à effet transitoire physiquement non clonable (TERO-PUF) sur Intel MAX-10 avec un placement symétrique et une politique d'étalonnage à température ambiante qui minimise l'écart-type des CTC en utilisant 500 évaluations par composition. Sur dix puces et une température de 5 à 75 °C, la méthode a réduit le taux d'erreur binaire (TEB) de niveaux natifs d'environ 2,5 à 5,2 % à 0,057 à 0,069 % sans masquage, tout en maintenant l'unicité entre les appareils près de l'idéal et en comprimant la distance intra-appareil vers zéro. La séparation entre les distributions inter- et intra-PUF a augmenté de plus de deux ordres de grandeur, permettant une identification fiable sous un seul seuil global. L'architecture préserve un encombrement compact de 2 LAB par bit et fonctionne sans vote temporel lourd ni post-traitement hors puce. Les travaux futurs intégreront des outils de contrôle et d'optimisation pour co-concevoir la sélection de la configuration et le masquage sélectif, en ciblant un compromis de principe entre la moyenne et la variance de CTC et de BER sous des excursions PVT plus larges.

## Remerciements

Les auteurs souhaitent remercier le projet INFORISM (AMI-CMA) financé par l'ANR, convention N°ANR-23-CMAS-0024.

## Références

1. M. Alioto, *Enabling the Internet of Things: From Integrated Circuits to Integrated System*. Cham, Switzerland: Springer, 2017.
2. I. Verbauwhede, “Security adds an extra dimension to IC design: Future IC design must focus on security in addition to low power and energy,” *IEEE Solid State Circuits Mag.*, vol. 9, no. 4, pp. 41–45, Fall. 2017.
3. K. Yang, D. Blaauw, and D. Sylvester, “Hardware designs for security in ultra-low-power IoT systems: An overview and survey,” *IEEE Micro*, vol. 37, no. 6, pp. 72–89, Nov. 2017
4. M. Alioto, “Trends in hardware security: From basics to ASICs,” *IEEE Solid State Circuits Mag.*, vol. 11, no. 3, pp. 56–74, Summer. 2019.
5. B. Halak, *Physically Unclonable Functions: From Basic Design Principles to Advanced Hardware Security Applications*. Cham, Switzerland: Springer, 2018.
6. C. Herder, M.-D. Yu, F. Koushanfar, and S. Devadas, “Physical unclonable functions and applications: A tutorial,” *Proc. IEEE*, vol. 102, no. 8, pp. 1126–1141, Aug. 2014.
7. K. Liu, X. Chen, H. Pu, and H. Shinohara, “A 0.5-V hybrid SRAM physically unclonable function using hot carrier injection burn-in for stability reinforcement,” *IEEE J. Solid-State Circuits*, vol. 56, no. 7, pp. 2193–2204, Jul. 2021.
8. J. Park and J.-Y. Sim, “A reconfigurable LDO-assisted physically unclonable function achieving a zero-BER with 14% masking,” *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 70, no. 8, pp. 3244–3253, Aug. 2023.
9. A. Rullo et al., “PUF-based authentication-oriented architecture for identification tags,” *IEEE Trans. Dependable Secure Comput.*, vol. 22, no. 1, pp. 66–83, Jan. 2025
10. K. A. Vicuña, M. Vatalaro, F. Amiel, F. Crupi, and L. Trojman, “Highly Stable Reconfigurable TERO PUF Architecture for Hardware Security Applications,” *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.*, early access, 2025.
11. F. Spagnolo, M. Vatalaro, S. Perri, F. Crupi, and P. Corsonello, “C4TERO: Configurable cascaded carry chains for high reliability TERO PUFs on FPGAs,” *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 72, no. 2, pp. 561–572, Feb. 2025.
12. N. N. Anandakumar, M. S. Hashmi, and S. K. Sanadhya, “Design and analysis of FPGA-based PUFs with enhanced performance for hardware-oriented security,” *ACM J. Emerg. Technol. Comput. Syst.*, vol. 18, no. 4, pp. 1–26, Oct. 2022.

# **Formation au test industriel des circuits intégrés digitaux : une offre « clé en main »**

Florence AZAIS, Mariane COMTE, Marie-Lise FLOTTE, Paul LELOUP

LIRMM (UMR CNRS/Université de Montpellier) et pôle CNFM de Montpellier (PCM),  
Montpellier, France

Contact email : prenom.nom@lirmm.fr

La plateforme TEST du CNFM est dotée d'un équipement de pointe utilisé dans l'industrie pour le test des circuits intégrés (testeur Advantest V93000 Pin Scale). Cet équipement, géré par le pôle CNFM de Montpellier, est mis à disposition de toutes les universités de France via un accès à distance. Une offre complète de formation portant sur les concepts et la mise en œuvre du test industriel pour les circuits digitaux a été développée par l'équipe pédagogique (support de cours, cahier de TP, Quiz, minitests). La formation ne demande pas de prérequis et peut être dispensée à des étudiants de niveaux L, M ou D. Différentes formules sont disponibles selon le volume horaire consacré à la formation.

## **I. Introduction**

La plateforme TEST du Pôle CNFM de Montpellier [1] est dotée d'un équipement de pointe acquis dans le cadre d'un partenariat avec la société Advantest, un des leaders mondiaux en équipement de test pour circuits intégrés : le testeur V93000 PinScale [2] en service au CNFM est toujours en cours d'utilisation dans l'industrie. Compte tenu du coût élevé d'un tel testeur industriel (>1M€), il s'agit d'un équipement mutualisé pour toutes les universités de France avec la possibilité d'un accès à distance.

Suite au départ en 2022 de l'ingénieur en charge de cette plateforme, une nouvelle équipe composée de 4 personnels du LIRMM (2 chercheuses, 1 enseignante-chercheuse et 1 ingénieur) a repris l'activité « Test Industriel » tant d'un point de vue pédagogique que d'un point de vue support à la plateforme. Cette nouvelle équipe a notamment développé une offre de formation « clé en main » utilisable par toute université désireuse d'inclure dans son parcours d'enseignement un module dédié au test industriel des circuits intégrés.

Cet article présente tout d'abord le contexte et la problématique du test industriel des circuits intégrés. Il détaille ensuite l'équipement de la plateforme TEST du CNFM ainsi que l'environnement mis en place pour une utilisation à distance. Finalement, le contenu et les différentes options de l'offre de formation « clé en main » sont détaillées.

## **II. Le test industriel des circuits intégrés**

Le test industriel des circuits intégrés consiste à vérifier chaque circuit fabriqué afin de s'assurer de sa conformité avec sa datasheet (fonctionnalité et performances). Il s'agit d'une étape essentielle du flot de production d'un composant car c'est elle qui garantit la qualité des circuits mis sur le marché. Cependant, cette étape contribue de façon significative au coût total d'un produit, le test représentant en moyenne 25% des coûts de production (figure 1). L'optimisation des coûts du test est donc un enjeu majeur pour tous les fabricants de circuits intégrés.

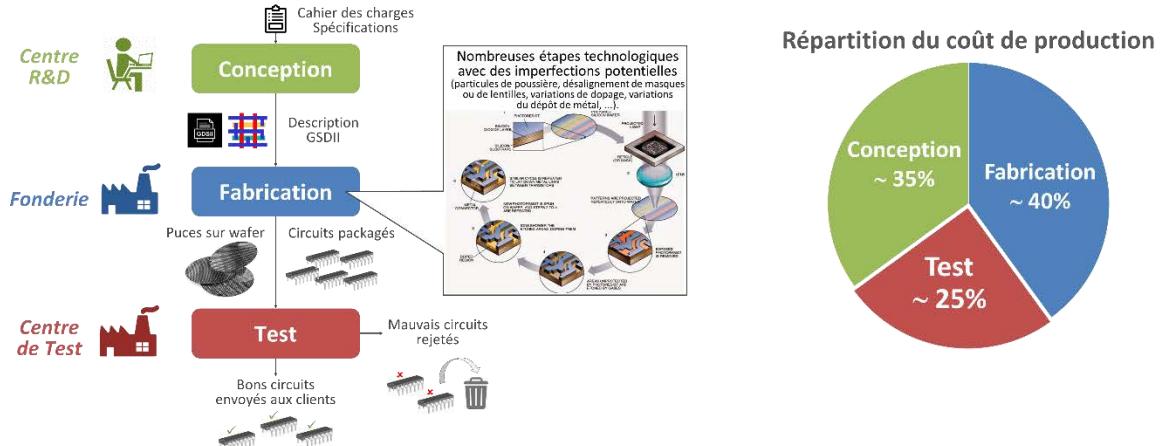


Fig.1. Principales étapes impliquées dans le processus de production d'un circuit intégré et leur contribution relative au coût du produit final.

Dans l'environnement industriel, on distingue deux types de test : le test de caractérisation et le test de production (figure 2). Le test de caractérisation est effectué avant la mise en production massive d'un nouveau produit. L'objectif est bien sûr de vérifier la fonctionnalité du produit mais surtout d'évaluer ses performances telles qu'elles apparaîtront dans la datasheet. Pour cela, de nombreux paramètres DC et AC sont mesurés précisément sur chaque circuit, et des données statistiques sont collectées pour établir la plage de valeurs possibles pour chaque paramètre. Ce type de test n'est pas soumis à une contrainte temporelle forte car il n'est réalisé que sur les premiers milliers d'exemplaires fabriqués. Une fois la datasheet finalisée (des ajustements du design et ou du procédé de fabrication sont parfois nécessaires durant cette étape), la production en volume peut être lancée. Chaque circuit fabriqué est alors testé afin d'identifier les pièces défectueuses : c'est le test de production. L'objectif n'est plus de mesurer précisément les paramètres de chaque circuit mais simplement de vérifier que les performances sont conformes avec les valeurs garanties dans la datasheet. Pour cela un flot de test spécifique est appliqué, basé sur la mise en série de tests élémentaires qui ne délivre que des résultats « Pass/Fail ». L'objectif est d'optimiser le temps de test de chaque circuit afin de tester un maximum de composants en un temps donné et ainsi amortir l'investissement sur les équipements de test industriels.



Fig.2. Les deux types de test réalisés dans l'environnement industriel : (1) le test de caractérisation sur les premiers milliers de pièces fabriquées, (2) le test de production en volume sur les millions de pièces suivants.

L'élément central utilisé pour mettre en œuvre ces deux types de test est un testeur industriel ou ATE pour « Automatic Test Equipment » (d'autres équipements annexes sont également nécessaires tels que des « probers » ou « handlers » pour la manipulation des pièces). L'utilisation d'un tel équipement requiert des personnels spécifiquement formés.

L'objectif de la formation proposée par l'équipe pédagogique du pôle CNFM de Montpellier est d'une part de détailler les concepts et notions fondamentales du test industriel, et ce de façon indépendante de l'outil de test utilisé, et d'autre part de permettre l'expérimentation au travers du développement et de l'application d'un flot de test dédié sur un composant du commerce contrôlé et observé au travers de l'équipement Advantest V93000.

### III. La plateforme TEST du CNFM

#### A. L'équipement

La plateforme TEST du CNFM est doté d'un testeur V93000 Pin Scale (modèle compact) de la société Advantest, qui est le premier fabricant d'équipements automatiques de test utilisés dans la production de semi-conducteurs pour des applications telles que les communications 5G, l'Internet des objets (IoT), les véhicules autonomes, l'intelligence artificielle (IA), l'apprentissage automatique, les dispositifs médicaux intelligents, etc.

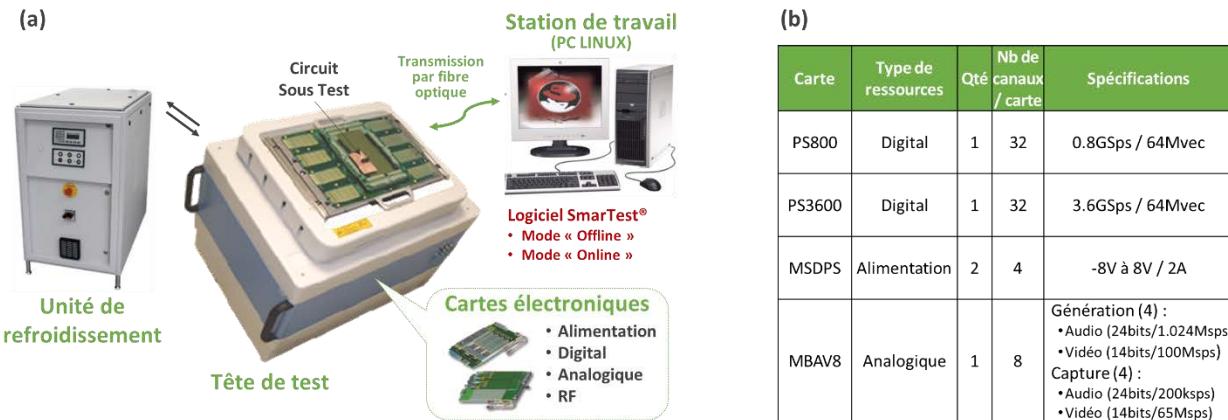


Fig.3. Principaux éléments d'un testeur industriel (a) et ressources disponibles sur la plateforme TEST du CNFM (b).

La figure 3.a représente les éléments de base composant le testeur industriel du CNFM. L'élément central est la tête de test qui contient toutes les cartes électroniques en charge de la génération et des signaux appliqués au circuit ainsi que de l'analyse de ses réponses. Un système de refroidissement par eau accompagne le testeur afin d'assurer une stabilité en température des cartes électroniques contenues dans la tête de test. Le contrôle et la programmation du testeur se fait via un ordinateur relié au testeur par fibre optique en utilisant un logiciel dédié (Smartest®) tournant sur Linux.

Les ressources matérielles disponibles sur le testeur de la plateforme TEST du CNFM sont résumées sur la Figure 3.b. Ces ressources comprennent :

- 2 cartes électroniques dédiées à des canaux numériques, chacune permettant de contrôler 32 canaux (dont une pouvant fonctionner jusqu'à 3.6Gsps),
- 2 cartes dédiées aux alimentations, chacune avec 4 canaux,
- 1 carte dédiée à des canaux analogiques, avec 4 canaux pour la génération de signaux analogiques et 4 canaux pour la capture de signaux analogiques.

#### B. L'environnement et l'accès à distance

Le pôle CNFM de Montpellier a la responsabilité de mettre le testeur à disposition de toutes les universités. De ce fait, l'environnement réseau a été architecturé de façon à ce que les ressources de test (licences et testeur) puissent être accessibles de tout site distant. Seule l'adresse IP du serveur et l'installation d'un client VNC sont nécessaires pour accéder aux ressources de la plateforme. L'environnement a également été pensé pour permettre un support immédiat lors du déroulement de travaux pratiques. La figure 4 représente cette organisation.

Depuis un terminal ou un ordinateur, les utilisateurs ouvrent un bureau virtuel sur l'une des deux machines Linux via une connexion VNC (Virtual Network Connection). A partir de ce bureau virtuel, chaque utilisateur peut lancer le logiciel dédié au testeur, soit en mode « off-line » (8 licences sur la machine Verigyoff et 4 licences sur la machine Verigyon, soit en mode « on-line » (1 licence sur la machine Verigyon). En pratique durant une formation, les étudiants travaillent majoritairement en mode « off-line » et ne se connectent en mode « on-line » que lorsque leurs développements sont prêts à être validés. À tout moment, l'enseignant peut intervenir sur la session d'un étudiant en difficulté et prendre le contrôle de sa session pour le guider.

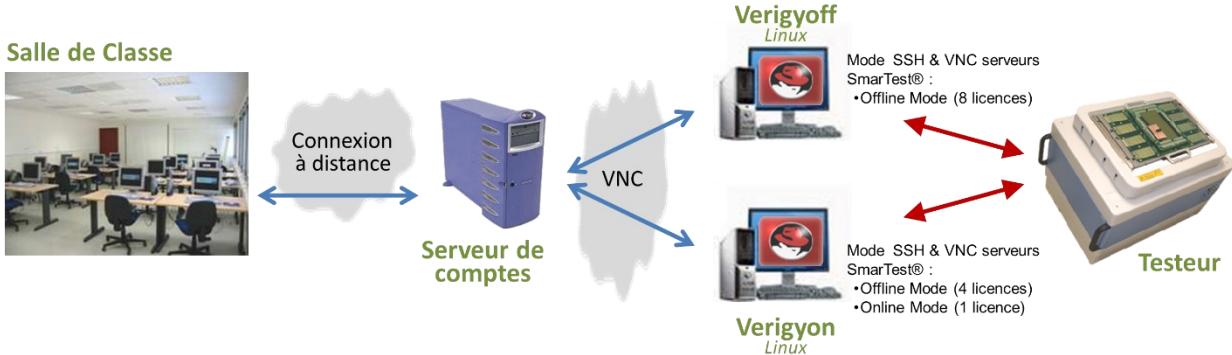


Fig.4. Environnement réseau de la plateforme TEST.

#### IV. L'offre de formation

Nous avons développé une offre de formation visant à sensibiliser les étudiants à la problématique du test industriel des circuits intégrés et leur permettre d'acquérir des premières compétences pratiques sur la programmation d'un testeur industriel.

##### A. L'approche pédagogique

L'offre de formation mise en place par l'équipe du pôle CNFM de Montpellier repose sur le concept de « cours intégré », à savoir que chaque séance d'enseignement comprend :

- des séquences de cours magistraux (CM) où l'enseignant décrit les notions fondamentales et les concepts généraux du test industriel,
- des séquences d'exercices de travaux dirigés (TD) permettant de valider les acquis avant la mise en œuvre,
- des séquences de travaux pratiques (TP) consacrées à la programmation de l'ATE Advantest pour le test d'un composant du commerce.

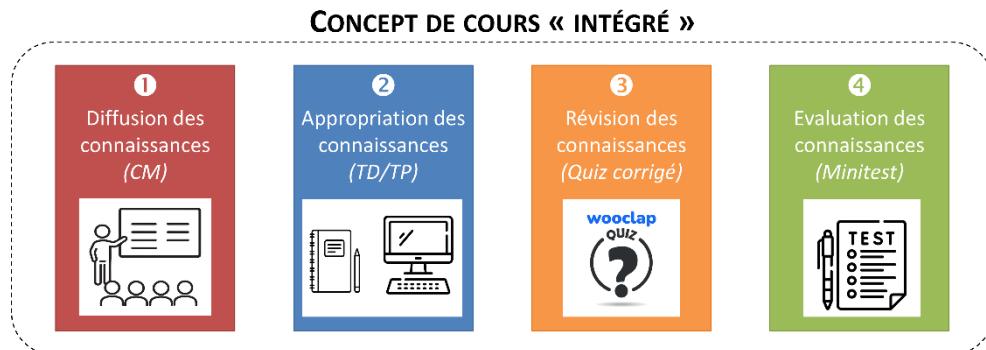


Fig.5. Organisation typique d'une séance d'enseignement.

L'évaluation des connaissances est également réalisée au fil de l'eau au travers de minitests de 10mn environ inclus dans chaque séance. Les étudiants sont préparés au minitest avec un Quiz

Wooclap corrigé en séance, ce qui permet à l'enseignant de vérifier que les notions fondamentales ont bien été acquises et de revenir dessus si nécessaire. Cette évaluation permanente au fil de l'eau permet notamment de maintenir l'attention des étudiants durant toute la formation. Cette organisation est résumée sur la figure 5.

## B. Le contenu détaillé de la formation et les différentes options

L'objectif de la formation proposée est d'une part d'introduire les notions fondamentales liées à la problématique du test industriel et d'autre part de leur apporter les bases pratiques de l'utilisation d'un testeur industriel (figure 6). Plus précisément, la formation vise à sensibiliser les étudiants aux méthodes de test utilisées dans l'industrie pour vérifier le fonctionnement et les performances des circuits digitaux. Le circuit utilisé est un registre à décalage 8 bits 74ACT299 [3] pour lequel les étudiants vont créer un programme de test. La simplicité fonctionnelle de ce circuit permet d'aborder de façon pédagogique les différentes étapes à mettre en œuvre pour développer un programme de test sans devoir consacrer du temps pédagogique à la compréhension du fonctionnement du composant sous test.

### TARGETED COMPETENCIES

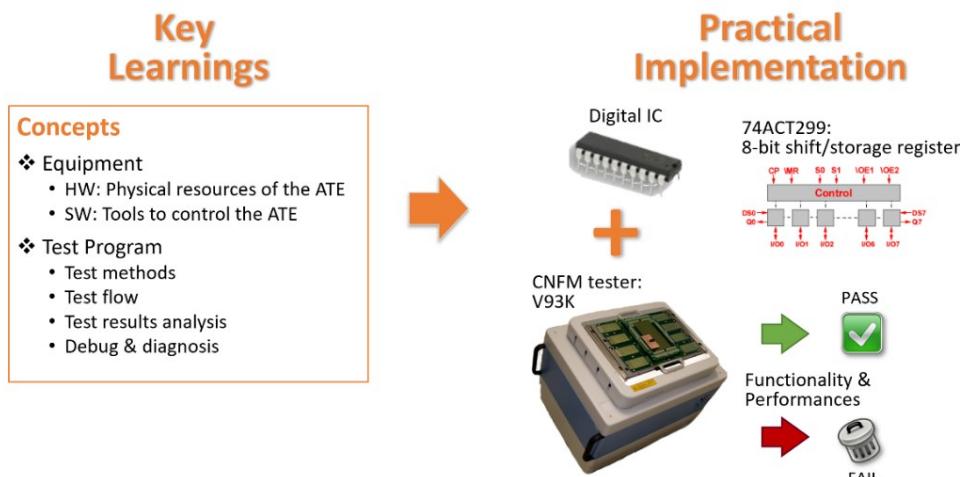


Fig.6. Les compétences ciblées lors de la formation au test des circuits intégrés digitaux.

La formation proposée se décline en trois versions selon le volume horaire consacré à l'enseignement. Le contenu de chaque version est détaillé sur la figure 7.

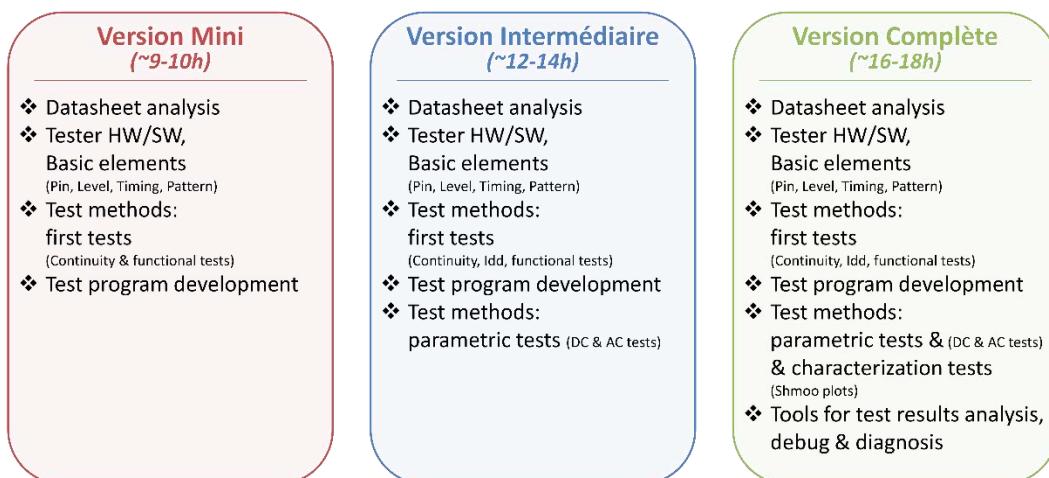


Fig.7. Les différentes versions de la formation selon le volume d'heures d'enseignement.

La version complète est organisée en 6 chapitres :

- Analyse de la datasheet du circuit (fonctionnement, conditions d'opération, caractéristiques statiques et dynamiques),
- Présentation du testeur (architecture matérielle et logicielle) et mise en place des premiers éléments de configuration (pin, level, timing pattern),
- Principes des premiers tests élémentaires à appliquer (test de continuité, test de consommation et test fonctionnel),
- Développement et exécution d'un programme de test,
- Principe et mise en œuvre de tests paramétriques (vérification des caractéristiques statiques et dynamiques), introduction aux tests de caractérisation (Shmoo plots)
- Outils pour l'analyse des résultats, le debug et le diagnostic de fautes.

Quelle que soit la version, à l'issue de la formation les étudiants ont acquis les compétences de base nécessaires pour développer et exécuter un programme de test. Dans le cas de la version mini, le programme de test développé vise seulement à la vérification de la fonctionnalité du circuit (chapitres 1 à 4). Dans le cas de la version intermédiaire, le programme de test inclut également la vérification des performances statiques et dynamiques du circuit (première partie du chapitre 5). Enfin, dans la version complète, des notions plus poussées sur les tests de caractérisation, l'analyse des résultats, le débogage et le diagnostic de fautes sont abordées (fin du chapitre 5 et chapitre 6).

## V. Conclusion

La plateforme TEST du Pôle CNFM de Montpellier héberge un équipement de pointe destiné au test industriel des circuits intégrés : le testeur V93000 Pin Scale de la société Advantest, accessible à distance. Depuis 2022, l'équipe pédagogique de Montpellier a développé une offre de formation flexible portant sur les concepts et la mise en œuvre du test industriel pour les circuits digitaux. La formation repose sur le concept de « cours intégré » et se décline en trois versions selon le volume horaire consacrée à l'enseignement. La formation ne demande pas de prérequis particuliers et peut donc être dispensée à des étudiants de niveaux L, M ou D.

L'ensemble des supports (diapositives de cours, cahier de TD/TP, Quiz, minitests) est mis à disposition de toutes les universités de France qui souhaitent inclure cette formation dans leur parcours d'enseignement. La formation peut être délivrée soit par un intervenant local qui aura été formé au préalable si nécessaire, soit par un membre de l'équipe pédagogique de Montpellier qui se déplace sur site.

La formation ne porte à ce jour que sur le test de circuits digitaux, mais le testeur étant équipé de ressources analogiques, une formation dédiée au test de circuits analogiques pourrait être développée dans le futur si la demande le justifie.

## Remerciements

Les auteurs souhaitent remercier le GIP-CNFM [4] et le projet INFORISM [5] pour le soutien apporté au fonctionnement de la plateforme TEST du Pôle CNFM de Montpellier.

## Références

1. Pôle CNFM de Montpellier, <https://web-pcm.cnfm.fr/>
2. Testeur Advantest V93000, <https://www.advantest.com/en/products/semiconductor-test-system/soc/v93000/>
3. Datasheet du circuit testé (registre à décalage 8 bits), <https://datasheet.octopart.com/74AC299SC-Fairchild-datasheet-15272.pdf>
4. GIP-CNFM: Groupement d'Intérêt Public - Coordination Nationale pour la formation en Microélectronique et en nanotechnologies. <http://www.cnfm.fr>
5. French national program (France 2030): INFORISM (Engineering of Education Innovative and Strategic in Microelectronics), AMI-CMA, ANR-23-CMAS-0024

# Enseignement de la conception des Circuits Intégrés Numériques à Polytech Montpellier

J.-M. GALLIERE, P. MAURINE

Polytech Montpellier, Université de Montpellier, Montpellier, France  
Pôle CNFM de Montpellier

Contact email : [jean-marc.galliere@umontpellier.fr](mailto:jean-marc.galliere@umontpellier.fr)

La progression de l'enseignement de conception de Circuits Intégrés Numériques (CIN) est étalée sur les trois années du cycle de formation d'ingénieurs du département Microélectronique Électronique et Automatique (MEA) de Polytech Montpellier [1]. Afin d'introduire les concepts de base du fonctionnement interne des CIN deux grands cycles d'apprentissage sont proposés aux élèves. Le premier permet de découvrir le fonctionnement analogique des briques de base des CIN et le second forme à la maîtrise des outils de conception d'ASIC. La formation CIN est réalisée en parallèle avec un enseignement de conception des Circuits Intégrés Analogiques (CIA), non abordé dans cet article.

## I. Introduction

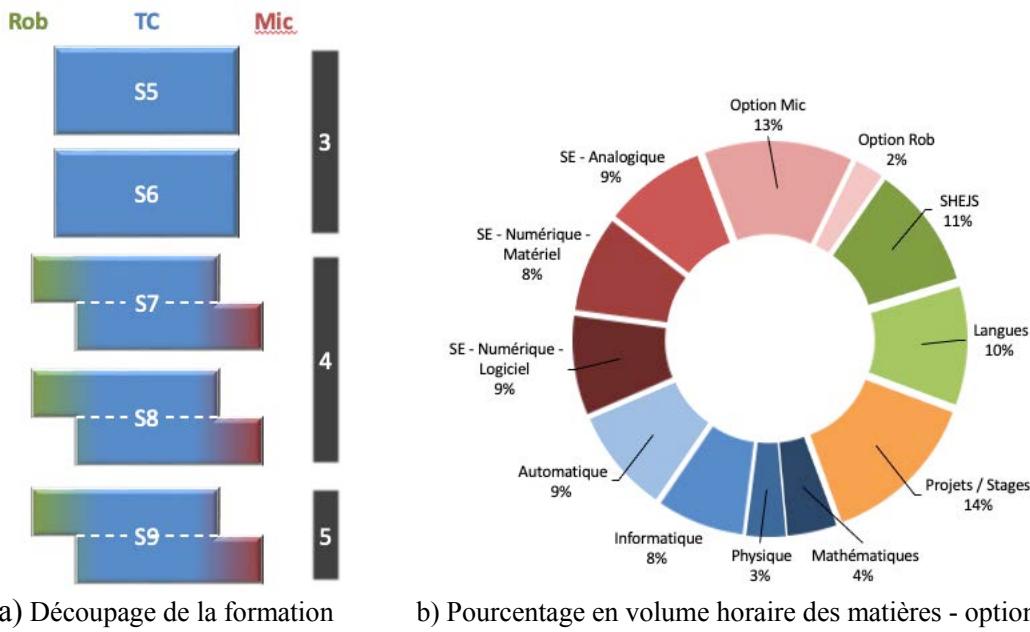
La microélectronique est au cœur des technologies numériques contemporaines et son apprentissage, dans un contexte de préservation de souveraineté industrielle, est incontournable en enseignement supérieur et plus particulièrement en école d'ingénieurs. Les Circuits Intégrés Numériques (CIN), omniprésents dans les architectures matérielles modernes, exigent des futurs ingénieurs du domaine non seulement une maîtrise des fondements théoriques, mais également une capacité à mettre en œuvre ces connaissances dans des environnements industriels de conception.

L'enseignement de la conception de ces architectures à Polytech Montpellier s'inscrit pleinement dans cette dynamique. Il repose sur une progression pédagogique structurée et cohérente, étalée sur les trois années du cycle ingénieur de la spécialité Microélectronique, Électronique et Automatique (MEA). Cette organisation permet d'introduire progressivement les notions fondamentales, depuis l'étude du comportement analogique des briques élémentaires (portes logiques, bascules) jusqu'à la prise en main d'outils de Conception Assistée par Ordinateur (CAO) utilisés dans l'industrie pour la réalisation de circuits complexes.

L'objectif plus précis de cet enseignement est double. D'une part, il vise à donner aux élèves une compréhension approfondie des principes de fonctionnement et des contraintes physiques qui régissent les CIN. D'autre part, il cherche à développer les compétences pratiques indispensables pour conduire un projet de conception dans un cadre industriel : optimisation temporelle et énergétique, analyse de la variabilité des performances, intégration des contraintes de routage et de consommation. Ainsi, les élèves acquièrent une vision complète du cycle de conception, leur permettant de passer de la théorie des dispositifs élémentaires à la réalisation concrète de systèmes numériques intégrés.

La formation en CIN/CIA s'échelonne du semestre 6 au semestre 9 du cursus d'ingénieur [2]. Au préalable et comme prérequis, les bases de la logique sont enseignées au semestre 5. Au semestre 6, l'enseignement CIN/CIA s'adresse à tous les élèves de la formation, en tronc commun (TC), puis à partir du semestre 7 il devient accessible seulement aux élèves désirant poursuivre en option microélectronique (Mic) - l'alternative étant l'option Robotique (Rob) - voir Fig. 1-a.

Sur les trois années de spécialité MEA, l'option Mic - CIN et CIA - représente 13% du volume horaire de la formation (234h sur 1800h) - voir Fig. 1-b.



a) Découpage de la formation      b) Pourcentage en volume horaire des matières - option Mic

Fig. 1 : Synoptiques de la spécialité MEA sur trois ans (© L. Latorre - Polytech Montpellier - 2017)

Toutes les séances d'enseignement CIN et CIA des semestres 6 et 7 sont construites sur la même ossature. Une première séance de travaux dirigés d'une heure trente suivie par une séance de travaux pratiques de trois heures. Le choix pédagogique d'une séance longue est motivé par le désir de l'équipe enseignante d'aborder un thème important du domaine sur un seul créneau au lieu de l'étaler sur plusieurs séances disséminées sur plusieurs jours.

Cet article présente l'organisation et le contenu de cet enseignement. Il met en évidence les deux grands cycles d'apprentissage qui structurent la formation : le premier - paragraphe II - centré sur l'étude du comportement analogique des CIN et l'optimisation de leurs performances. Le second - paragraphe III - consacré à la maîtrise des outils de Conception Assistée par Ordinateur (CAO) pour le développement de circuits numériques complexes. Les outils CAO utilisés sont ceux de la société Cadence [3] avec des licences obtenues via le CNFM [4]. La technologie (PDK) mise en œuvre durant toute la formation CIN est le procédé de fabrication industriel ST 65nm [5].

## II. Cycle 1 : Comportement analogique des CIN

Le cycle 1 est partagé en deux modules. Le premier module, enseignement de tronc commun de la formation MEA, débute au semestre 6. Il comporte cinq séquences de quatre heures trente (1h30 TD et 3h TP).

Les circuits intégrés numériques sont constitués d'éléments de base qu'il est important de connaître afin de pouvoir appréhender la complexité des architectures numériques actuelles. Pour

cela et en premier lieu, le transistor MOS est introduit en même temps que la découverte et de la prise en main de la calculatrice du microélectronicien, à savoir, l'outil CAO de simulation électrique Virtuoso - Spectre. Après ce préliminaire, les portes logiques CMOS sont abordées comme un moyen d'implémentation de fonctions logiques simples : INV, NAND, NOR et complexes : ANDORI. Une fois la technologie CMOS introduite, la robustesse de celle-ci en termes de marges de bruit est abordée et évaluée. Ainsi les grandeurs NMIL et NMIL sont caractérisées analytiquement puis extraites de la simulation. Ensuite, l'étude des performances temporelles de ces portes est traitée. L'objectif ici est de montrer le lien analytique qu'il existe entre la dimension de la porte, la charge de sortie et le temps de transition en entrée avec le temps de propagation ou délai. Pour finir, les bascules Flip-Flop sont présentées comme éléments de capture et de maintien des données. Les notions de « setup » et de « hold » sont introduites et caractérisées.

Découpage des séquences précédentes :

- Séquence 1 - Le transistor MOS et les outils de simulation analogique (Virtuoso - Spectre)
- Séquence 2 - Synthèse de portes logiques CMOS simples et complexes
- Séquence 3 - Marges de bruit NMIL et NMIL - simulation statique
- Séquence 4 - Performances temporelles des portes logiques - simulation dynamique
- Séquence 5 - Fonctionnement des bascules D et limites « setup » (voir Fig. 2) et « hold »

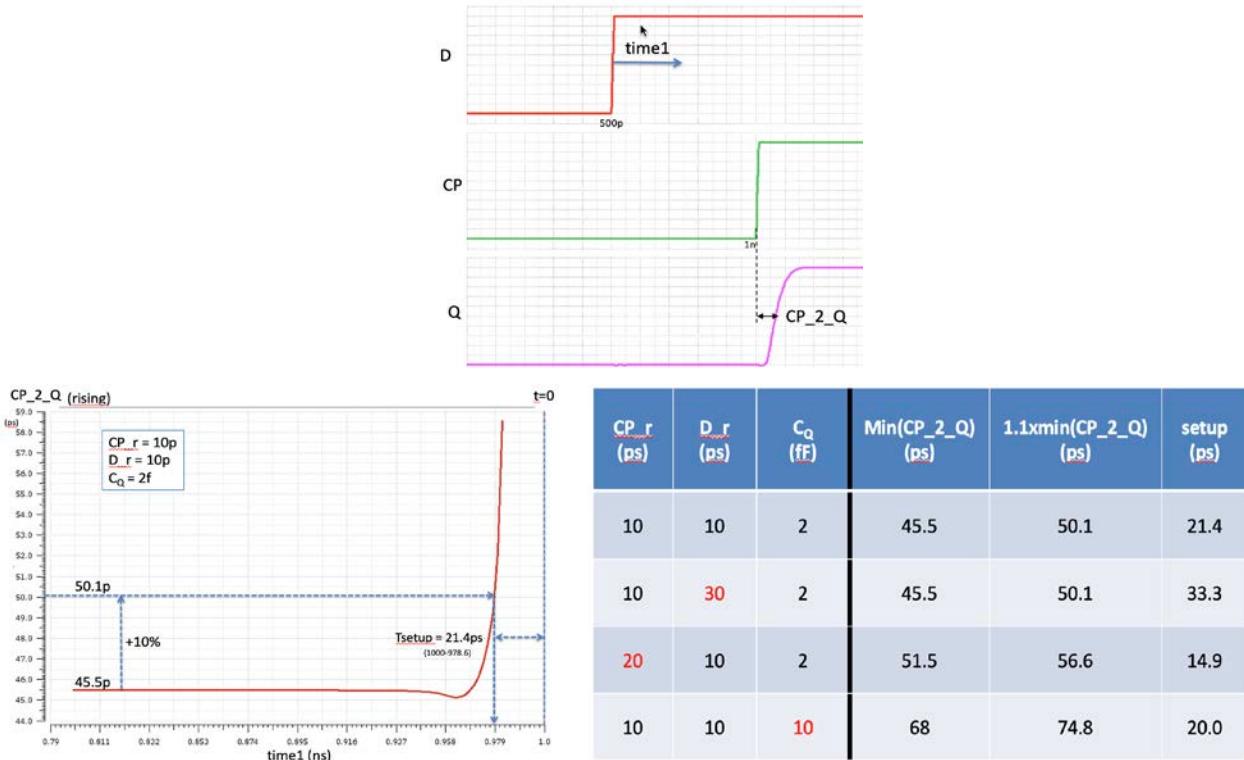


Fig. 2 : e.g. Extraction du temps de setup d'une bascule D et analyse de sensibilité des paramètres

Le second module, enseignement optionnel de la formation MEA, débute au premier semestre de la quatrième année (Semestre 7). Il comporte cinq séquences de quatre heures trente (1h30 TD et 3h TP).

Ce module est consacré à l'étude approfondie des performances temporelles et énergétiques des CIN. Après avoir introduit la notion de poids logique et les méthodes d'estimation des délais, les élèves découvrent les techniques classiques d'optimisation, qu'il s'agisse du dimensionnement (le « sizing ») des transistors ou de l'insertion de « buffers ». L'analyse est ensuite élargie aux

effets de la variabilité liés aux procédés de fabrication, aux conditions d'alimentation et à la température, regroupés sous l'acronyme PVT. Les notions précédentes permettent d'aborder l'identification du chemin critique et la détermination de la fréquence maximale de fonctionnement des circuits. Enfin, une attention particulière est portée à la consommation statique et dynamique, paramètres incontournables dans le contexte actuel du système embarqué et de l'IoT.

L'objectif global de ce module est de donner aux élèves la compréhension nécessaire pour analyser les performances temporelles et énergétiques des circuits numériques, en intégrant les contraintes physiques et technologiques.

Découpage des séquences précédentes :

Séquence 1 - Poids logique - estimation du délai

Séquence 2 - Optimisation des délais par dimensionnement ou insertion de « buffer »

Séquence 3 - Variabilité des performances temporelles - PVT

Séquence 4 - Chemin critique et fréquence maximale de fonctionnement

Séquence 5 - Consommation statique et dynamique des circuits

### III. Cycle 2 : Outils de conception numérique

Le cycle 2 est scindé en deux modules. Le premier module, enseignement optionnel de la formation MEA, débute au second semestre de la quatrième année (Semestre 8). Il comporte dix séquences de trois heures. Ce module nécessite en complément dix heures de Travail supplémentaire Hors Encadrement (THE).

L'objectif de ce module est d'appréhender le flux de conception standard des circuits intégrés numériques (voir Fig. 3) sous contraintes de performance et de se familiariser avec l'environnement industriel de CAO développé par la société Cadence au travers des outils GENUS et INNOVUS. L'accent sera aussi mis sur le compromis « Performance Power Area » (PPA).

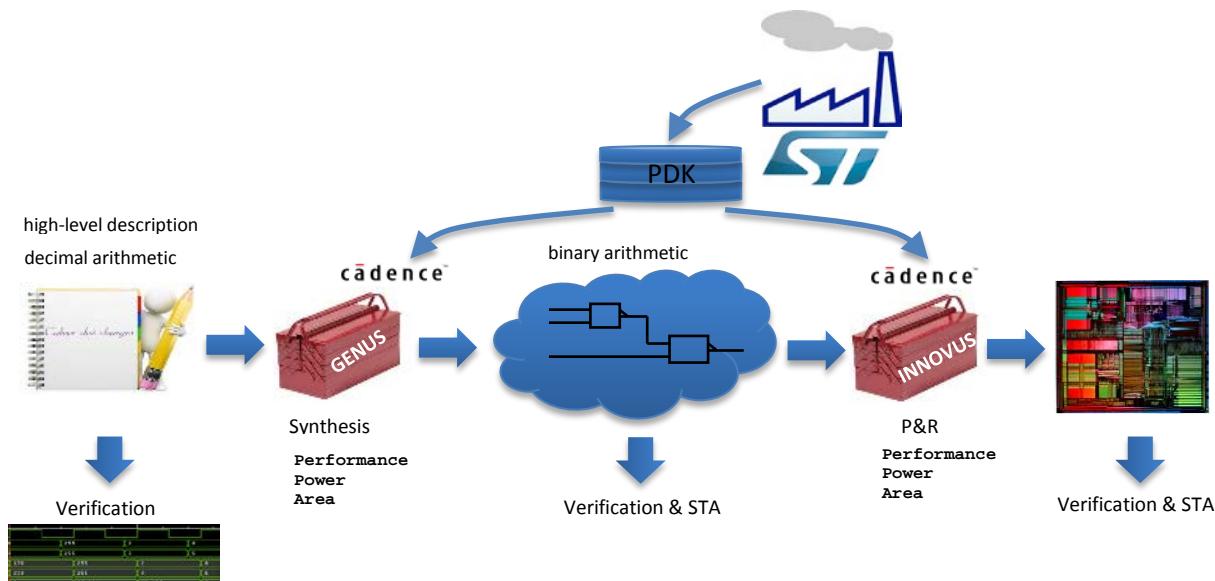


Fig. 3 : Flux de conception numérique

Les notions abordées sont :

- Principe de fonctionnement des circuits intégrés numériques synchrones
- Contraintes temporelles de temps d'établissement et de maintien des données
- Analyse statique des performances temporelles (STA) et approche pire et meilleur cas (corners)
- Principe de la conception « standard cell »
- Synthèse logique et projection technologique (PDK)
- Floorplan, placement et routage (P&R) d'un circuit intégré

Les savoir-faire à acquérir sont :

- Effectuer la synthèse logique et la projection technologique avec GENUS
- Effectuer et interpréter des analyses de performance dans le corner pire cas avec GENUS
- Effectuer le placement routage d'un circuit avec INNOVUS
- Effectuer et interpréter des analyses de performance dans différents corners avec INNOVUS

Le second module du cycle 2, enseignement optionnel de la formation MEA, débute au premier semestre de la cinquième année (Semestre 9). Il comporte cinq séquences de trois heures. Ce module nécessite en complément dix heures de THE.

L'objectif de ce module est d'appréhender le flot de conception avancé (Consommation, IRDrop, Plots d'I/O) de circuits intégrés numériques sous contraintes de performance et de se familiariser avec l'environnement industriel développé par la société Cadence à travers les outils CAO XCELIUM (Vérification), GENUS (Synthèse/STA), INNOVUS (P&R/STA), JOULES (Consommation), VOLTUS (IR-Drop).

A partir d'une architecture numérique simple et du flot de conception associé, les élèves vont conduire des analyses avancées de consommation et d'IR-Drop. En outre, ils vont apprendre à intégrer à un circuit les plots d'entrées/sorties (voir Fig. 4).

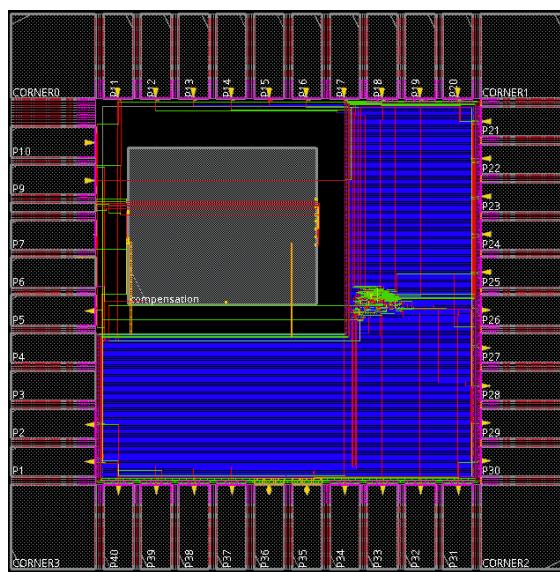


Fig. 4 : Circuit avec l'intégration des plots d'E/S

Ensuite, afin de gagner en autonomie et dans le cadre d'un projet de restitution, les élèves seront évalués sur leur capacité à reproduire l'étude précédente sur une nouvelle architecture : AES128 - l'architecture comportementale est fournie.

#### **IV. Conclusion**

L'enseignement de la conception des Circuits Intégrés Numériques à Polytech Montpellier offre aux élèves une progression cohérente et complète, allant de la compréhension des principes de fonctionnement analogique des composants de base jusqu'à la mise en œuvre du flot de conception numérique industriel avancé. Ce parcours permet d'acquérir des savoir-faire essentiels, à la fois conceptuels et pratiques, indispensables à l'ingénieur microélectronicien d'aujourd'hui.

En combinant travaux dirigés, travaux pratiques et projets, cet enseignement met l'accent sur l'autonomie des étudiants face aux outils industriels et sur leur capacité à appréhender les contraintes réelles de la conception de circuits intégrés. Il constitue ainsi une préparation efficace aux enjeux technologiques et aux évolutions rapides du domaine, tout en favorisant l'insertion professionnelle dans le secteur des systèmes numériques intégrés.

#### **V. Références**

- [1] Polytech Montpellier : [www.polytech.umontpellier.fr](http://www.polytech.umontpellier.fr)
- [2] Syllabus Polytech MEA : <https://syllabus.polytech.umontpellier.fr/MEA/2024>
- [3] Cadence : [www.cadence.com](http://www.cadence.com)
- [4] CNFM : [www.cnfm.fr](http://www.cnfm.fr)
- [5] Europractice : <https://europractice-ic.com/technologies/asics/stmicroelectronics>

# La Fabrique du Nano : Le Jeu !

Nathalie Lidgi-Guigui<sup>a</sup>, Julien Bobroff<sup>b</sup>, Frédéric Bouquet<sup>b</sup>, Nicolas Piñeros<sup>c</sup>, Clara Hinnoeau<sup>b</sup>,  
Zoe Lemaire<sup>b</sup>

<sup>a</sup> LSPM, CNRS – Université Sorbonne Paris Nord, Villetaneuse, France

<sup>b</sup> Université Paris-Saclay, CNRS, Laboratoire de Physique des Solides, 91405, Orsay, France

<sup>c</sup> Ludomaker LudoMaker, LLSHS et laboratoire EXPERICE, Université Sorbonne Paris Nord,  
Villetaneuse, France

Contact email : nathalie.lidgi-guigui@lspm.cnrs.fr

La médiation scientifique en microélectronique se heurte à une difficulté majeure : comment rendre accessible au grand public l'univers des salles blanches, ces environnements hautement contrôlés où se fabrique une grande partie de la technologie contemporaine ? Pour répondre à cette problématique, "La fabrique du nano : le jeu" a été conçu comme un dispositif ludique et pédagogique. Ce jeu de société propose une immersion originale dans les processus de fabrication en salle blanche, à travers un scénario de compétition industrielle entre start-ups, sur fond d'espionnage scientifique. Il s'adresse à des publics variés, du jeune public aux chercheurs, en passant par les étudiants et les industriels. L'article présente les objectifs, la conception et l'impact de ce projet de médiation, en soulignant les apports pédagogiques du jeu dans l'enseignement des sciences et technologies de l'information et des systèmes.

## I. Introduction : Vulgariser la microélectronique par le jeu

Les salles blanches sont des lieux-clés de la recherche scientifique et technologique, mais leur accès est limité par des contraintes sanitaires et techniques strictes. Ces espaces, indispensables à la fabrication des dispositifs micro- et nanoélectroniques, demeurent invisibles pour le grand public, et même parfois pour les étudiants eux-mêmes avant leur première séance de travaux pratiques. Dans ce contexte, le projet "La fabrique du nano : le jeu !" s'inscrit dans une démarche innovante visant à rendre tangible un environnement inaccessible, à travers une approche ludique, collaborative et immersive. L'objectif n'est pas seulement de voir le lieu mais d'expérimenter une partie de ce que vivent les personnels travaillant dans ce lieu.

Le projet est né d'un travail initial de vulgarisation graphique, réalisé en collaboration avec le groupe *La physique autrement* de l'Université Paris-Saclay. Il a ensuite évolué vers une forme ludique, développée en collaboration avec le Ludomaker, fablab dédié à la création de jeux à l'Université Sorbonne Paris Nord. Les illustratrices Zoé Lemaire et Clara Hinnoeau ont visité plusieurs salles blanches françaises (C2N, Sorbonne Paris Nord, LPS, IAS) pour en proposer une synthèse graphique réaliste et pédagogique.

L'objectif principal était de faire vivre une expérience scientifique authentique sans accès au laboratoire, en valorisant les métiers, outils et procédés. L'évolution d'un objet de vulgarisation vers un jeu de société a d'abord été pensée pour la pédagogie, dans l'idée d'initier les étudiants et étudiantes de la licence pro nano de l'IUT de Villetaneuse au travail en salle blanche avant leur

premier TP. Les tests utilisateurs réalisés auprès de publics variés, personnels de recherche (public et privé), scolaires, étudiants, naïfs ou confirmés ont montré que le but a été atteint.



Figure 1 : Les plateaux servant de support de conférences. La plupart ont été conservés pour la version jeu.

## II. Présentation du dispositif : un jeu de société narratif et coopératif

Dans "La fabrique du nano : le jeu", deux équipes incarnent des start-ups qui cherchent à concurrencer les géants du secteur. Leur objectif : développer les meilleurs procédés de fabrication en salle blanche. Les joueurs se répartissent les rôles d'ingénieur et d'espion, dans une logique de collaboration interne et de compétition inter-équipes.

Le jeu se déroule en trois manches successives :

- Manche 1 – Construction de la salle blanche : les joueurs reconstituent un puzzle représentant le plan d'une salle blanche.
- Manche 2 – Fabrication par lithographie : l'ingénieur guide l'espion dans l'empilement de cartes représentant les étapes d'un procédé.
- Manche 3 – Caractérisation : les joueurs doivent associer des instruments à leurs résultats via un jeu de memory, avec l'aide d'un "manuel" subtilisé.

Le jeu s'appuie sur un scénario d'espionnage industriel pour susciter l'intérêt et favoriser l'engagement émotionnel. Cette mise en récit permet aux joueurs de s'immerger dans les enjeux de l'innovation technologique, tout en développant une compréhension concrète des procédés expérimentaux.

## III. Objectifs pédagogiques et scientifiques

Le jeu introduit des concepts clés comme la lithographie, les procédés de fabrication, ou encore les techniques de caractérisation. Il permet ainsi une première approche des étapes de fabrication des composants électroniques. Grâce à la scénarisation et aux mécaniques de jeu, les joueurs expérimentent des situations analogues à celles rencontrées en salle blanche : rigueur des protocoles, importance de l'ordre des étapes, limites d'accès, etc.

La communication est au cœur du jeu : l'ingénieur doit expliquer les tâches à accomplir, l'espion doit décrire ce qu'il voit, et les deux doivent ajuster leurs stratégies. Cette interaction pédagogique active favorise la rétention des connaissances.



Fig.1. Les cartes à empiler pour réaliser une lithographie optique

#### IV. Impacts et utilisations du jeu

Depuis son lancement début 2025, une trentaine de boîtes de jeu ont été diffusées en France, touchant déjà plus de 1500 personnes. Le jeu a été utilisé lors : de visites scolaires, de cours universitaires préparatoires à l'entrée en salle blanche, d'ateliers dans l'industrie (ex. chez Alice & Bob, entreprise en informatique quantique), de congrès scientifiques, notamment le Congrès général de la Société française de physique à Troyes (juillet 2025).

Le jeu peut également être intégré dans des conférences interactives, ou adapté en support modulaire pour diverses animations. Par exemple, il a été proposé de ne jouer qu'une seule des trois manches avec un public très jeune. Une autre variation proposée est de former des équipes mixtes entre spécialistes et naïfs ce qui permet un contact direct avec le monde de la recherche, le fait de jouer permet d'abaisser les barrières de communications.

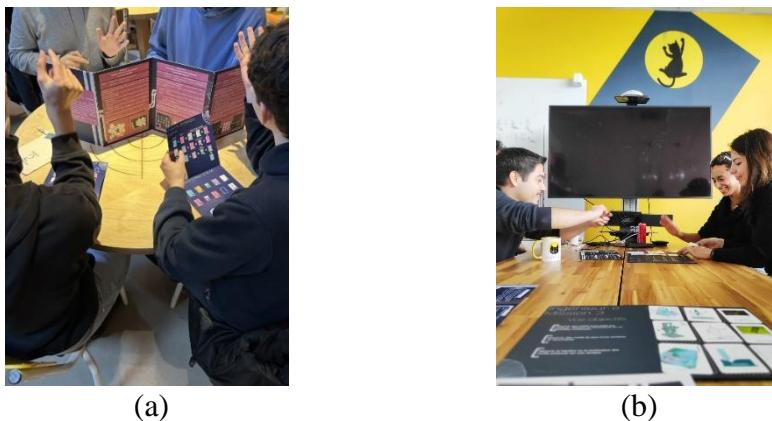


Fig.2. (a) Aux étincelles du Palais de la Découverte. (b) Atelier chez "Alice & Bob" où l'équipe nanofabrication a joué avec des membres du département programmation.

#### V. Conclusion

"La fabrique du nano : le jeu" est un exemple réussi de jeu sérieux dans le champ des sciences et technologies de l'information. Il démontre que le jeu, peut être un vecteur puissant de transmission des savoirs scientifiques, notamment dans des domaines techniques ou abstraits. Par

sa flexibilité, son réalisme et sa dimension ludique, ce jeu offre un levier précieux pour l'enseignement, la médiation, et l'appropriation sociale des nanotechnologies. Pour compléter le jeu, des posters ont été produits et sont librement téléchargeables [1]. Une présentation du jeu ainsi qu'un tutoriel sont également disponibles [2,3].

## **Remerciements**

Ce travail est le fruit de nombreuses discussions, nous tenons à remercier toutes celles et ceux qui ont partagé leurs connaissances des salles blanches, les joueurs et joueuses des tests ainsi que les soutiens financiers, logistiques et en communication : le PEPR électronique, le C'Nano, Renatech, et la chaire "La physique autrement".

## **Références**

1. <https://nlidgi.guigui.fr/la-fabrique-du-nano-le-jeu/>
2. <https://www.youtube.com/watch?v=ahJ946pHRq8>
3. [https://youtu.be/ahJ946pHRq8?si=26YghGgDt8SsZn\\_f](https://youtu.be/ahJ946pHRq8?si=26YghGgDt8SsZn_f)

# Saé en salle blanche pour les étudiants de BUT3 GEII : fabrication et caractérisation d'un capteur de luminosité

A-C. Salaün<sup>a,b</sup>, R. Rogel<sup>a,b</sup>, C. Lebreton<sup>a</sup>, O. De Sagazan<sup>a</sup>, L. Pichon<sup>a,b</sup>

<sup>a</sup> IETR et pôle CNFM de Rennes (CCMO), Université de Rennes, France

<sup>b</sup> IUT de Rennes, département GEII, Rennes, France

Contact email : anne-claire.salaun@univ-rennes.fr

Dans le cadre de la réforme du BUT, une SAÉ (Situation d'Apprentissage et d'Évaluation) est proposée aux étudiants de troisième année du parcours Électronique et Systèmes Embarqués (ESE) du BUT3 GEII. En complément du cours de *Physique du Composant*, ce projet consiste à réaliser, dans la salle blanche du CCMO, une photodiode utilisée comme capteur de luminosité. Les étudiants explorent ainsi l'ensemble du procédé de fabrication, afin de mettre en œuvre une jonction PN sensible à la lumière. Les caractérisations électriques ont confirmé le comportement attendu, avec un photocourant proportionnel à l'intensité lumineuse incidente. Ces résultats valident à la fois les acquis théoriques relatifs au fonctionnement des photodiodes et la maîtrise des procédés expérimentaux nécessaires à leur réalisation.

## I. Introduction

Dans le nouveau programme du BUT GEII<sup>1</sup> du parcours Électronique et Systèmes Embarqués (ESE), la ressource *R5.09 Electronique Spécialisée* indique que plusieurs thématiques peuvent être abordées selon les moyens disponibles sur chaque site. Parmi celles-ci figurent la microélectronique et la physique des composants, les procédés technologiques de fabrication en salle blanche, ainsi que les caractérisations physiques et électriques. C'est dans ce cadre qu'une nouvelle Saé (Situation d'Apprentissage et d'Évaluation) avec un projet en salle blanche a été proposée aux étudiants de BUT3, afin de les initier concrètement aux procédés de fabrication microélectroniques et de renforcer l'articulation entre théorie et pratique. Ce TP fait partie intégrante de l'offre de formation du Centre Commun de Microélectronique de l'Ouest (CCMO). Le fonctionnement des photodiodes, composants essentiels dans les systèmes optoélectroniques, repose sur la génération de paires électron-trou dans un semi-conducteur lorsqu'il est soumis à un flux lumineux. La maîtrise des procédés technologiques en salle blanche est indispensable pour comprendre et optimiser les performances de ces dispositifs. L'objectif de ce travail est double : (i) fabrication technologique en salle blanche d'une photodiode à partir d'un substrat de silicium et (ii) caractérisation électrique de son comportement sous différentes conditions d'éclairage, afin de comparer les résultats obtenus aux modèles théoriques.

## II. Procédé de fabrication

Les étapes du procédé de fabrication sont détaillées figure 1. Le matériau de départ est un wafer de silicium monocristallin de type P, dopé au bore (orientation <100>, résistivité 1-10 Ω.cm). Une première étape d'oxydation humide permet de former une couche isolante de dioxyde de silicium

( $\text{SiO}_2$  ), servant de barrière de diffusion. Cette oxydation est réalisée à haute température ( $1175^\circ\text{C}$ ) dans un four à atmosphère contrôlée ( $\text{O}_2 / \text{H}_2 / \text{N}_2$  ), suivie d'un recuit de densification.

Etape de photolithographie - Masque1 : La définition des zones actives est obtenue par photolithographie. Une résine photosensible (Shipley S1818) est déposée par spin-coating, exposée aux UV (longueur d'onde 365 nm) à travers un masque dans un aligneur MJB4 puis développée pour permettre l'ouverture localisée de fenêtres dans l'oxyde par gravure chimique (solution HF/NH<sub>4</sub> F).

Dopage au phosphore : Un dépôt de phosphore est effectué par mise en contact du substrat de silicium avec des plaquettes de phosphore PN de haute pureté et réactivées, dans un four à  $1050^\circ\text{C}$  pendant 45 min. Une gravure chimique du verre de phosphore permet de graver totalement l'oxyde formé lors du dépôt de phosphore. Ensuite, la diffusion thermique à  $1050^\circ\text{C}$  sous azote permet la pénétration contrôlée des atomes dopants, formant ainsi une jonction PN. L'oxyde natif formé en surface est éliminé par gravure sélective dans une solution d'acide fluorhydrique dilué, jusqu'à l'hydrophobie.

Métallisation et gravure de l'aluminium – Masque 2 : Afin de réaliser les contacts électriques, une couche d'aluminium est déposée par évaporation sous faisceau d'électrons. Une seconde étape de photolithographie permet la gravure sélective de l'aluminium par gravure chimique (acide phosphorique), laissant apparaître les électrodes de la photodiode.

Un schéma de la plaque de silicium avec les motifs d'alignement est visible figure 2.

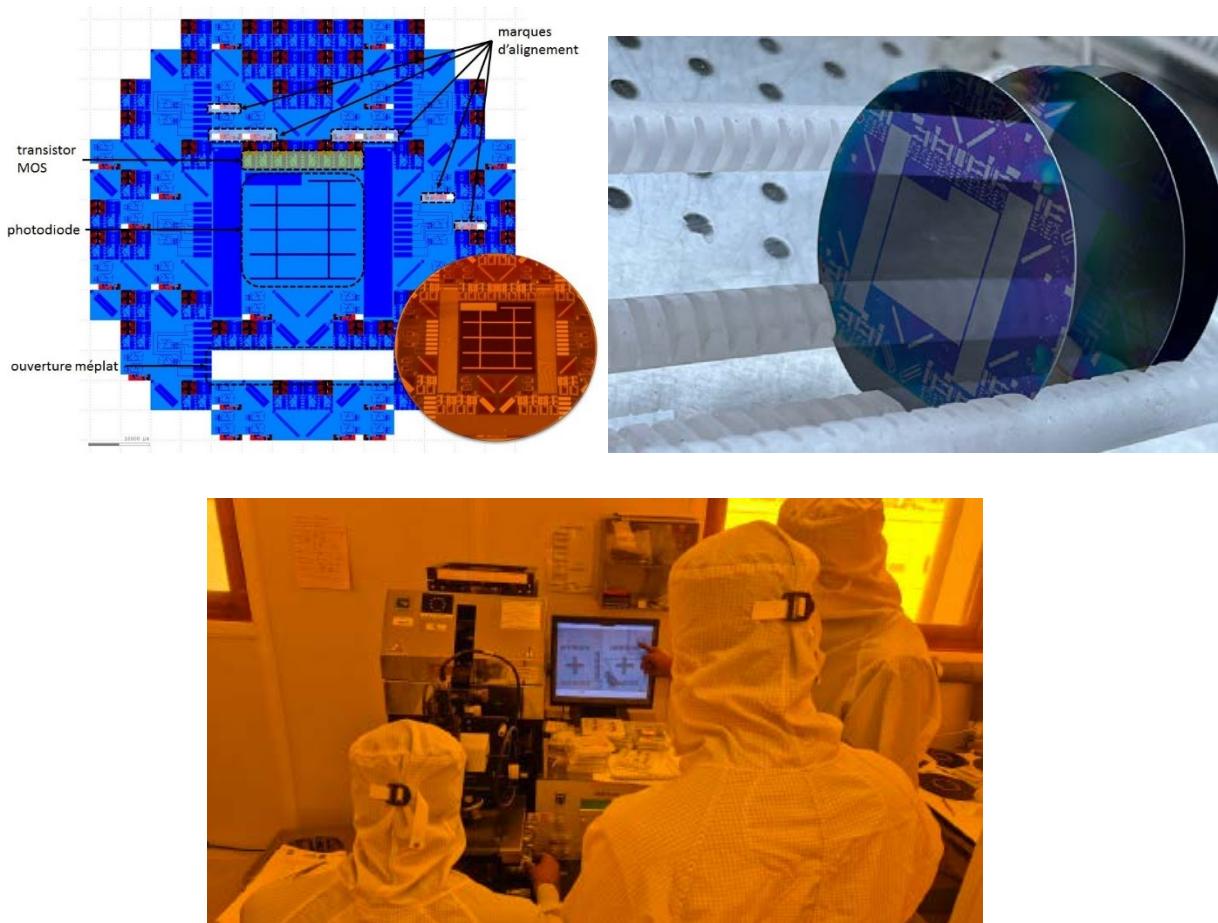


Fig.2. a) Schéma du masque, b) plaquette de silicium après la première photolithogravure et c) explication avec les étudiants de l'utilisation des motifs d'alignement.

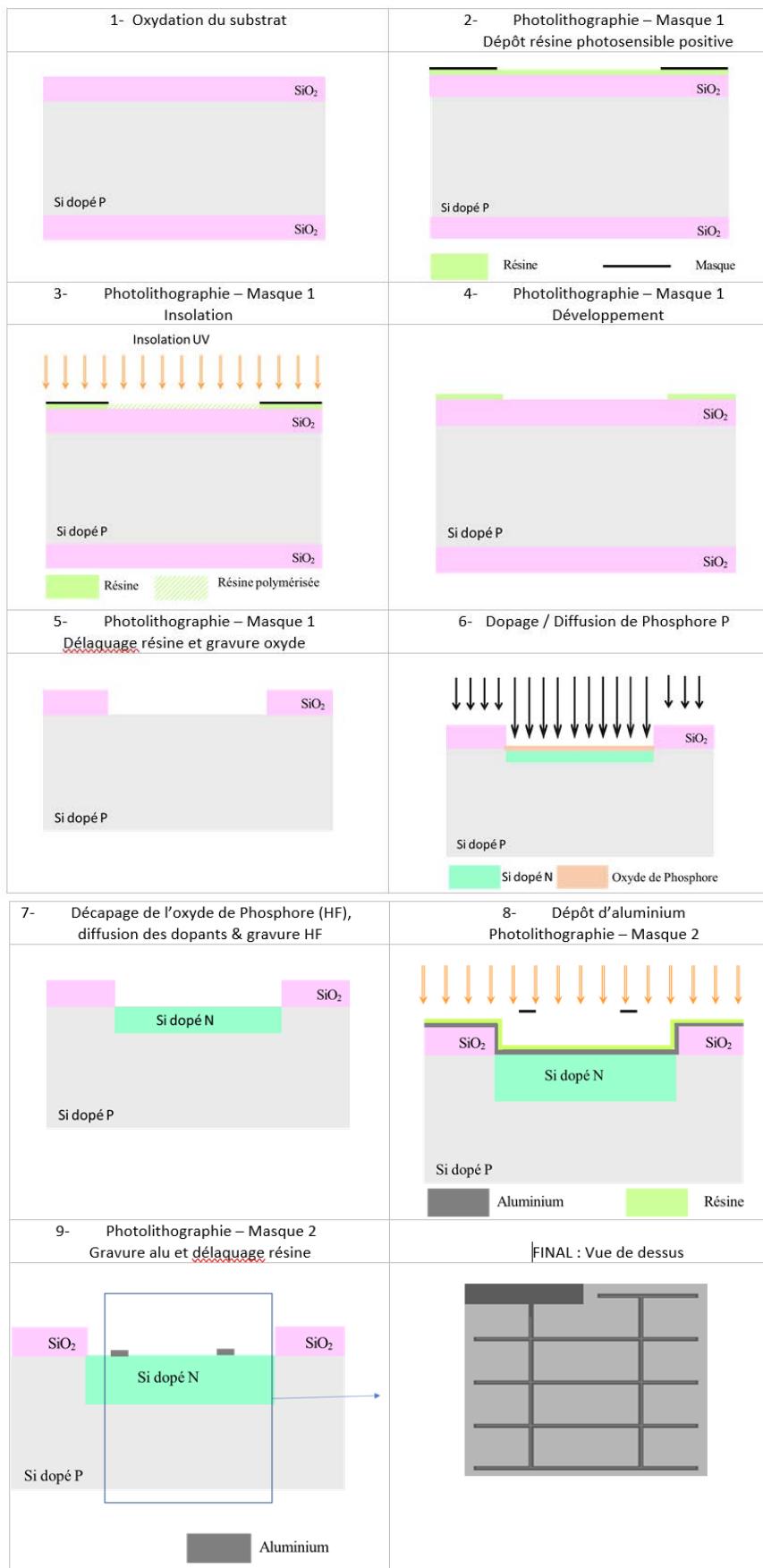


Fig.1. Etapes du procédé de fabrication de la photodiode

Les étudiants mettent en œuvre l'ensemble des étapes du procédé et observent l'évolution des wafers au microscope optique tout au long du process. Ils se familiarisent également avec l'utilisation du microscope confocal et réalisent des mesures d'épaisseur grâce au profilomètre (figure 3). Des tests électriques sous pointes sont également effectués en cours de process.

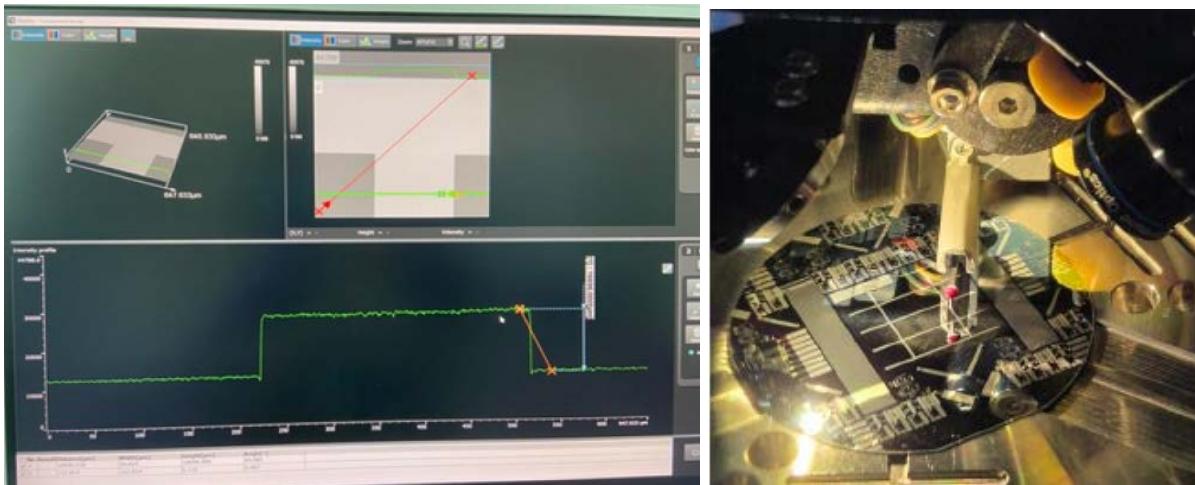


Fig.3. Observations à l'aide du microscope confocal et mesures de l'épaisseur de l'aluminium à l'aide du profilomètre

### III. Résultats et analyses

La caractérisation électrique des photodiodes se fait par mesures I-V à l'aide d'une station sous pointes couplée à un analyseur de composants électroniques Agilent B 1500 A. Les étudiants tracent les courbes I-V pour différentes luminosités mesurées grâce à un luxmètre (exemple figure 4).

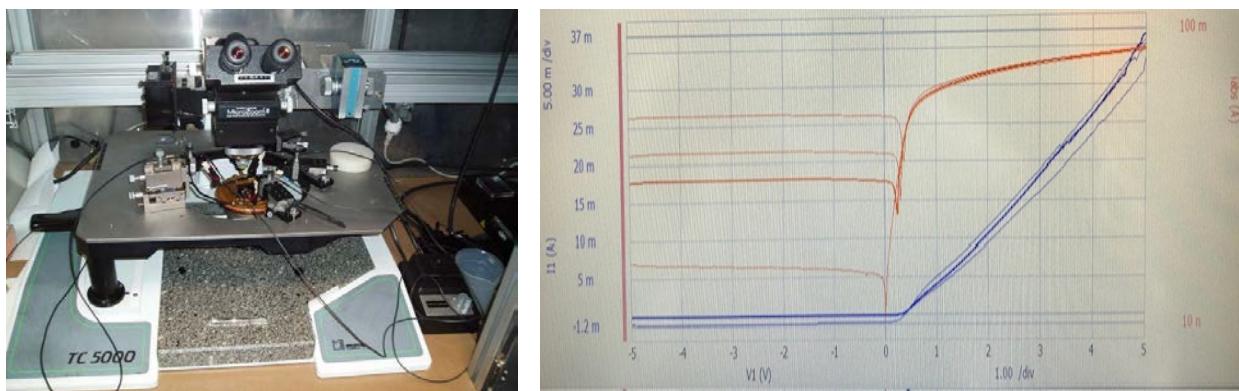


Fig.4. Station sous pointes et mesures des caractéristiques I-V à l'aide de l'analyseur Agilent B1500 en fonction de la luminosité.

Les étapes technologiques ainsi que les caractérisations électriques et optiques sont menées sur deux journées, par groupes de cinq étudiants. À cela s'ajoute une séance en autonomie réalisée à l'IUT. Lors de cette séance, les étudiants tracent la caractéristique de la photodiode sous obscurité (comportement d'une diode classique) ; puis sous différentes conditions d'éclairage.

L’analyse des résultats s’appuie sur le cours de *Physique du composant*, en particulier sur l’interaction photon/semi-conducteur. En effet, lorsqu’un photon d’énergie supérieure à la bande interdite du silicium est absorbé, une paire électron-trou est créée. Dans la zone de déplétion de la jonction PN, le champ électrique interne sépare ces porteurs, ce qui induit un courant mesurable.

Sous illumination, un photo-courant apparaît en polarisation inverse, proportionnel à la puissance lumineuse incidente. Les mesures obtenues confirment le comportement attendu d’une photodiode et permettent de comparer les performances entre différents échantillons, tout en vérifiant leur cohérence avec le modèle théorique. Les étudiants en déduisent la courbe représentant le courant en fonction du flux lumineux (en lux).

#### IV. Conclusion

La mise en place de cette SAÉ en salle blanche constitue une première découverte pour les étudiants de troisième année du BUT GEII. Elle leur offre l’opportunité de découvrir un environnement de recherche et de fabrication microélectronique en salle blanche, en réalisant un composant fonctionnel. Un sondage mené auprès des étudiants, présenté au conseil de perfectionnement du BUT, a montré que cette expérience avait été très appréciée.

La fabrication de la photodiode a souligné l’importance du contrôle rigoureux des étapes critiques, telles que les gravures ou l’alignement des masques. Les caractérisations électriques ont confirmé le comportement attendu. Les résultats valident à la fois les acquis théoriques relatifs au fonctionnement des photodiodes et la maîtrise des procédés expérimentaux nécessaires à leur réalisation.

Au-delà de cette réussite, l’expérience représente une étape essentielle dans la formation aux techniques de la microélectronique et ouvre la voie à de futurs approfondissements, notamment l’intégration de photodiodes dans des circuits optoélectroniques. Une évolution envisagée sera d’ajouter une séance complémentaire en salle de TP électronique à l’IUT, afin de concevoir un banc de test de luminosité utilisant les composants fabriqués par les étudiants eux-mêmes.



Fig.5. Un des 3 groupes du BUT GEII parcours Électronique et Systèmes Embarqués (ESE), promotion 2025.

#### Remerciements

Le TP a été co-financé par le projet Compétences et Métiers d’Avenir (CMA) ESOS<sup>2</sup>. Les étudiants ont bénéficié des équipements de la salle blanche nanoRennes<sup>3</sup>, avec le soutien du GIP-CNFM<sup>4</sup> et du projet CMA INFORISM<sup>5</sup>.

## Références

1. Programme national du BUT GEII 2022, Ministère de l'Enseignement Supérieur, de la recherche et de l'Innovation :  
[https://cache.media.education.gouv.fr/file/SP4-MESRI-26-5-2022/13/0/spe617\\_annexe8\\_1426130.pdf](https://cache.media.education.gouv.fr/file/SP4-MESRI-26-5-2022/13/0/spe617_annexe8_1426130.pdf)
2. Programme national français (France 2030) : ESOS ((Electronique Soutenable, Ouverte, et Souveraine), AMI-CMA 2024 <https://esos.insa-rennes.fr/>
3. Plateforme nanoRennes <https://www.ietr.fr/plateforme-nr-nanorennes>
4. GIP-CNFM: Groupement d'Intérêt Public - Coordination Nationale pour la formation en Microélectronique et en nanotechnologies. <http://www.cnfm.fr>
5. Programme national français (France 2030) : INFORISM (Ingénierie de l'enseignement innovant et stratégique en microélectronique), AMI-CMA, ANR-23-CMAS-0024, juin 2024, <https://www.cnfm.fr>

# **De la photolithographie chimique à la gravure laser : une nouvelle ère pour la réalisation de circuits RF au sein du Master Réseaux et Télécommunications**

Pierre LALY<sup>a</sup>, Virginie HOEL<sup>b</sup>, Mahmoud ABOU DAHER<sup>b</sup>, Fatma KHENFER-KOUMMICH<sup>b</sup>, Valentin PICQUET<sup>c</sup>

<sup>a</sup> IEMN Pôle C2EM Cité Scientifique, Villeneuve d'Ascq, France

<sup>b</sup> PLFM CNFM Université de Lille, Cité Scientifique, Villeneuve d'Ascq, France

<sup>c</sup> Etudiant, Université de Lille, Cité Scientifique, Villeneuve d'Ascq, France

Contact email : pierre.laly@univ-lille.fr

## **Résumé**

Ce travail présente l'intégration d'une technologie de gravure de circuits imprimés (PCB) par laser, à l'aide de la LPKF ProtoLaser H4 du pôle CNFM, dans le cadre d'un cursus Master en électronique. Cette innovation remplace la méthode traditionnelle reposant sur l'insolation de typons, le dépôt de résine photosensible et la gravure chimique. Elle apporte de nombreux bénéfices : rapidité et précision de réalisation, compatibilité avec une large variété de substrats, réduction significative de l'utilisation de produits chimiques et raccourcissement du cycle de conception et de fabrication. Au-delà de l'aspect technique, cette évolution renforce également la dimension pédagogique : elle permet aux étudiants de couvrir l'ensemble de la chaîne de développement, de la simulation à la réalisation pratique, en intégrant des phases de tests et d'analyse comparée. Nous illustrons cette démarche à travers un cas concret, la conception et la fabrication par des étudiants d'un amplificateur RF, avec confrontation des performances simulées et expérimentales.

## **I. Présentation générale du Master Réseaux et Télécommunications**

Le Master Réseaux et Télécommunications de l'Université de Lille s'inscrit dans une logique de formation d'excellence, à l'interface entre enseignement académique, innovation technologique et recherche appliquée. Dans un contexte marqué par l'évolution rapide des systèmes de communication et l'essor de nouvelles générations de réseaux, le master vise à doter les étudiants de compétences solides et durables, tout en développant leur capacité d'adaptation face à un domaine en mutation constante.

### **A. Le parcours SYSCOM**

Le parcours SYSCOM (Systèmes de Communication) forme des spécialistes en conception et caractérisation électronique haute-fréquence, couvrant l'ensemble des RF et hyperfréquences utilisées dans les technologies actuelles et émergentes. Les étudiants développent une expertise appliquée aux communications sans fil (Bluetooth, WiFi), à la téléphonie mobile (4G, 5G et au-delà), aux objets connectés (IoT) et aux dispositifs d'identification sans contact (RFID, NFC).

La formation se distingue par une pédagogie axée sur la pratique et la recherche. Les étudiants ont accès aux plateformes technologiques du CNFM et de l'IEMN, leur permettant de passer de la simulation à la réalisation et à la caractérisation expérimentale de dispositifs. Projets, travaux pratiques et stages favorisent un apprentissage actif, confrontant les étudiants à des problématiques réelles.

Cette articulation entre enseignement théorique, pratique expérimentale et immersion dans la recherche constitue un atout majeur du master. Elle prépare les diplômés à contribuer à l'évolution des technologies de communication, tout en renforçant leur employabilité et leur ouverture à l'innovation. Le Master Réseaux et Télécommunications de l'Université de Lille illustre ainsi la manière dont une formation universitaire peut, en synergie avec les plateformes du CNFM, associer excellence scientifique et efficacité pédagogique.

#### B. Programme et spécificités pédagogique

Le Master Réseaux et Télécommunications de l'Université de Lille combine enseignements théoriques et dimension expérimentale. Dès la première année, les étudiants acquièrent les bases en propagation, antennes et fonctions passives RF/Hyperfréquences, complétées par des modules de conception et simulation sous Cadence. La deuxième année approfondit les fonctions actives, la caractérisation et l'ingénierie des systèmes électroniques, avec un passage direct de la théorie à la pratique.

L'introduction d'une graveuse laser LPKF ProtoLaser H4 permet de raccourcir le cycle simulation-fabrication et d'autonomiser les étudiants dans la réalisation de prototypes RF ou d'antennes, renforçant le lien avec la recherche. Le cursus se termine par un projet de fin d'études intégrant toutes les compétences acquises, de la simulation à la mesure expérimentale.

#### **La technologie LPKF ProtoLaser H4 au service de la formation**



Figure 1 : LPKF Protolaser H4

L'introduction de la graveuse laser LPKF ProtoLaser H4 (Photo figure 1) dans le cursus constitue une avancée significative pour l'apprentissage. Cet équipement permet de réaliser rapidement des circuits imprimés (PCB) à partir de fichiers de conception, en passant directement de la simulation au prototype. Contrairement aux méthodes traditionnelles nécessitant des procédés chimiques, la gravure laser est propre, respectueuse de l'environnement et particulièrement adaptée aux environnements pédagogiques. Vous trouverez dans le tableau I, les caractéristiques principales de la graveuse laser et une comparaison portant sur les avantages de la gravure laser versus chimique dans le tableau II

Tableau I: Caractéristiques principales de la LPKF ProtoLaser H4

Caractéristiques	Valeurs / Spécifications
Source laser	1064nm, 25-400kHz, 20W
Résolution de gravure / isolation	< 100 µm/ 30µm (selon substrat)
Précision de positionnement (Scanner)	± 1 µm
Vitesse maximale de la broche de fraisage	100000 tr/m
Diamètre de perçage minimum	0.2 mm
Surface de travail	229 × 305 mm
Vitesse de réalisation	Quelques minutes par circuit
Aides à l'alignement	Caméra intégrée, logiciel intuitif (import Gerber)
Substrats compatibles	FR4, Rogers, Taconic, Arlon, céramiques, flexibles, matériaux biosourcés

Tableau II : Avantages et inconvénients de la gravure laser

Avantages	Inconvénients / Limites
Pas de chimie → respect de l'environnement	Investissement initial élevé
Prototypage rapide (du Gerber au PCB en quelques minutes)	Surface de travail limitée (format A4 environ)
Haute précision adaptée aux circuits RF	Ne convient pas aux productions en grande série
Compatible avec de nombreux substrats	Nécessite une formation initiale des utilisateurs
Favorise l'autonomie et l'apprentissage par projet	Entretien et maintenance spécifiques

La précision du laser permet de réaliser des pistes très fines, essentielles en RF et hyperfréquences, et de fabriquer des circuits complexes (antennes, filtres, sous-systèmes de communication) sur une grande variété de substrats, proches de ceux utilisés en recherche et industrie.

La rapidité de prototypage transforme la pédagogie : un circuit peut être produit et testé en quelques minutes, bouclant le cycle conception–fabrication–caractérisation au cours d'une même séance de travaux pratiques.

#### A. Comparaison temps et coût

L'introduction de la ProtoLaser H4 modifie en profondeur l'organisation du travail pratique. Avec la méthode traditionnelle par gravure chimique, la réalisation d'un circuit simple mobilisait plusieurs heures, en raison des différentes étapes successives (préparation du typon, résinage, exposition, gravure, rinçage et finitions). Ce processus demandait en moyenne une demi-journée, sans compter les temps de séchage et les reprises éventuelles.

À l'inverse, la gravure laser réduit considérablement le délai entre la conception et la disponibilité du prototype (cf tableau III). À partir d'un fichier Gerber, la préparation, le paramétrage et la gravure s'enchaînent en moins d'une heure, ce qui permet d'intégrer la fabrication dans le temps même d'une séance de travaux pratiques.

Tableau III : Comparaison des temps de réalisation pour un circuit simple

Méthode	Étapes principales	Durée totale
Gravure chimique (ancienne méthode)	Préparation typon, résinage/exposition, gravure, rinçage, finitions	4 à 5 h (hors séchage et reprises)
Gravure laser (ProtoLaser H4)	Préparation fichier Gerber, paramétrage machine, gravure	30 à 50 min

## II. Exemple de réalisation par les étudiants de Master Projets étudiants de Master : conception et réalisation de circuits RF

Dans le cadre du Master Réseaux et Télécommunications, les étudiants réalisent chaque année des projets complets de conception de circuits RF. L'objectif est de passer de la simulation à la fabrication, puis à la caractérisation, en utilisant la graveuse laser LPKF ProtoLaser H4 pour la réalisation des cartes.

### Étapes du projet

**1 Conception et simulation :** Les étudiants conçoivent le schéma RF et modélisent les lignes micro-ruban à l'aide d'outils de simulation professionnelle. Cette phase permet d'optimiser les performances avant fabrication.

**2 Préparation et gravure du PCB** : Les fichiers Gerber issus de la simulation sont directement importés dans le logiciel de la ProtoLaser H4. Après paramétrage, la gravure s'effectue en quelques minutes sur le substrat choisi, sans chimie ni étape de rinçage.

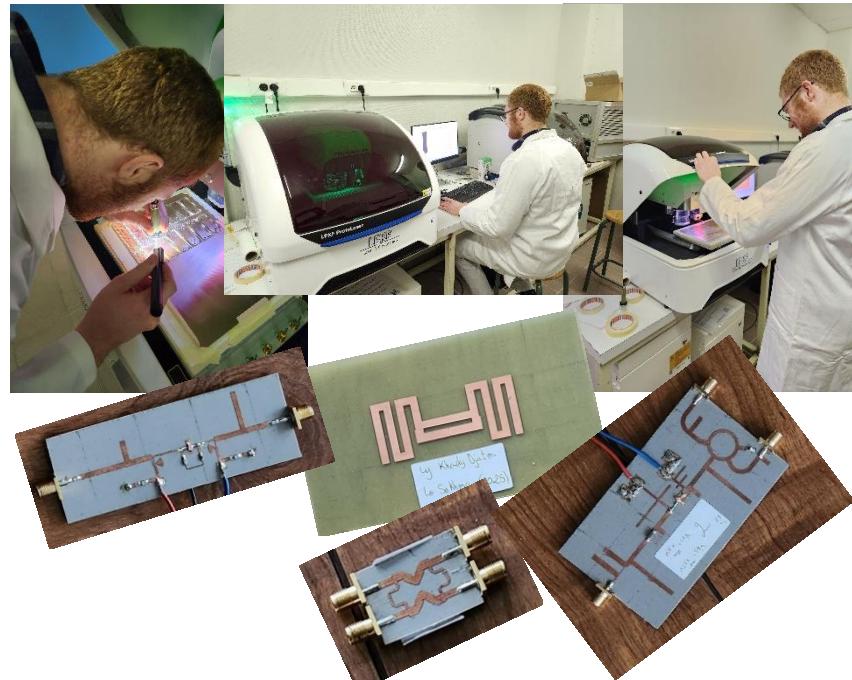


Figure 2 : Exemples de fabrications

**3 Assemblage et tests** : Les composants sont soudés sur la carte gravée, puis les performances sont mesurées à l'aide des instruments de mesures (analyseur de réseau vectoriel, analyseur de spectres, ...). Les résultats expérimentaux sont comparés aux simulations pour évaluer la précision du prototype.

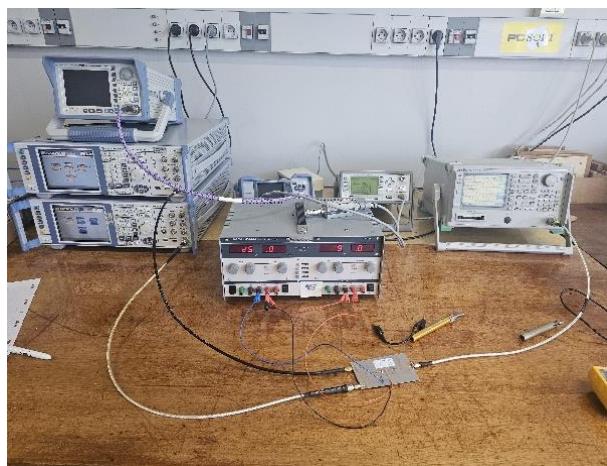


Figure 3 : Mesures après réalisation et assemblage

## Bilan pédagogique

Cet exemple illustre parfaitement l'apport de la graveuse laser dans la formation : le cycle complet « conception → fabrication → test » est réalisable en une à deux séances de travaux pratiques.

La rapidité de gravure, la propreté du procédé et la précision obtenue permettent aux étudiants de se concentrer sur l'analyse des résultats et la compréhension des phénomènes RF, tout en gagnant en autonomie et en efficacité.

## III. Retour pédagogique et comparaison

L'utilisation de la graveuse laser permet aux étudiants de relier plus rapidement la théorie et la pratique. En seulement une ou deux séances, ils passent de la conception à la mesure. Ce rythme favorise la motivation et renforce l'esprit critique face aux résultats. L'approche traditionnelle nécessitait plusieurs jours, voire une semaine complète.

En outre, la reproductibilité des résultats est meilleure : les pistes gravées au laser sont régulières et fidèles aux fichiers de conception. Les écarts observés entre simulation et réalisation proviennent donc principalement des propriétés réelles des substrats et des composants, ce qui constitue un apprentissage précieux pour les étudiants.

## IV. Conclusion

L'intégration de la graveuse laser LPKF ProtoLaser H4 dans le cursus du Master constitue un véritable tournant pédagogique. En raccourcissant le cycle complet entre la conception, la fabrication et la validation expérimentale, elle rapproche les étudiants des pratiques professionnelles de l'industrie électronique. L'outil offre également une grande flexibilité, permettant d'explorer différents substrats et d'aborder des problématiques variées en radiofréquences et hyperfréquences.

Au-delà des aspects techniques, la gravure laser favorise un apprentissage actif, sûr et respectueux de l'environnement. Elle valorise le travail étudiant en donnant accès à des prototypes de qualité professionnelle, tout en consolidant l'autonomie et la confiance des futurs ingénieurs.

## Remerciements

Les auteurs tiennent à remercier le **CNFM** pour sa participation financière à l'acquisition de la graveuse laser LPKF ProtoLaser H4, réalisée grâce à un cofinancement associant également l'Université de Lille et les fonds propres du laboratoire. Le soutien du **GIP-CNFM** et de la **DGESIP** est également chaleureusement salué dans le cadre de cette initiative en faveur de l'innovation pédagogique et technologique.

# Fabrication et caractérisation de diodes Schottky GaN dans un TP pour Master 2 Nanosciences et Nanotechnologies à l'Université de Lille

M. Laddada<sup>a</sup>, I. Nhaila<sup>a</sup>, S. Ouendi<sup>a</sup>, Y. Roelens<sup>a</sup>, V. Hoel<sup>a</sup> et M. Abou Daher<sup>a</sup>

<sup>a</sup> IEMN et pôle CNFM de Lille (PLFM), Université de Lille, Villeneuve d'Ascq, France  
Contact email : [maroua.laddada@univ-lille.fr](mailto:maroua.laddada@univ-lille.fr)

Cet article présente la mise en place d'un Travail Pratique (TP) innovant au sein du Pôle CNFM de Lille (PLFM) à l'université Lille. Il est destiné aux étudiants de Master 2 en Nanosciences et Nanotechnologies (Université de Lille). L'objectif est double : d'une part, initier les étudiants à la fabrication et à la caractérisation de dispositifs à base de niture de gallium (GaN), matériau clé pour l'électronique de puissance et de haute fréquence ; d'autre part, développer une démarche pédagogique permettant d'intégrer les concepts théoriques de la physique des semi-conducteurs et de les mettre en pratique au travers d'activités expérimentales concrètes. Le dispositif étudié est une diode Schottky réalisée sur une hétérostructure GaN multi-couches déposée sur substrat saphir. Après une description de l'échantillon et du rôle fonctionnel de chaque couche, nous détaillons les principales étapes technologiques et présentons les résultats de caractérisation électrique obtenus. L'approche permet de valoriser les ressources du CNFM et d'accompagner les étudiants dans l'acquisition de compétences transversales allant de la microfabrication à l'analyse critique de résultats expérimentaux.

## I. Introduction

Le niture de gallium (GaN) s'impose aujourd'hui comme un matériau de référence dans le domaine de l'électronique de puissance et des dispositifs RF grâce à ses propriétés physiques remarquables : large bande interdite ( $\sim 3,4$  eV), haute mobilité des électrons et champ électrique critique élevé ( $\sim 3,5$  MV/cm)<sup>1-3</sup>.

Dans le cadre de cette formation dédiée aux étudiants de Master 2 NN (Nanoscience et Nanotechnologies) de l'Université de Lille, un TP innovant visant à réaliser et caractériser des diodes Schottky à base de GaN a été développé. Ce dispositif pédagogique permet non seulement d'aborder les notions fondamentales de la jonction métal–semi-conducteur, mais aussi d'introduire les spécificités liées à la microfabrication de dispositifs en technologie GaN.

Ce TP s'appuie sur les ressources du PLFM de Lille, incluant la salle blanche, les équipements de gravure, d'évaporation métallique et de caractérisation électrique.

## II. Objectifs pédagogiques et compétences développées

L'enseignement de la microélectronique dans le domaine des semi-conducteurs avancés, reste souvent théorique. L'introduction d'un TP complet sur le GaN répond à plusieurs objectifs :

**Pédagogiques:** permettre aux étudiants de relier directement leurs connaissances en physique des dispositifs à la réalité expérimentale ;

**Scientifiques:** montrer les spécificités de la technologie GaN par rapport à d'autres matériaux semiconducteurs comme le silicium par exemple ;

**Pratiques:** initier les étudiants aux étapes de microfabrication (lithographie, dépôt, métallisation, gravure) et à la mesure expérimentale ;

**Transversaux:** développer la capacité à analyser des résultats expérimentaux, à travailler en équipe et à rédiger un rapport scientifique.

Dans le cadre de ce travail, les compétences spécifiques développées par les étudiants au cours de ce TP incluent comme suit :

- La manipulation de masques et l'utilisation de résines photosensibles adaptées au dépôt métallique ou bien à la gravure.
- La réalisation de gravures par plasma inductif, avec contrôle de la profondeur gravée au profilomètre.
- Le dépôt métallique de précision pour la réalisation des contacts Schottky (Pt/Au) et ohmiques (Ti/Al/Ni/Au).
- L'interprétation des mesures expérimentales et leur confrontation aux modèles théoriques.
- Le travail collaboratif et la résolution de problèmes en conditions réelles de salle blanche.

### III. Fabrication de la diode Schottky

#### A. Description de l'échantillon et rôle des couches

L'échantillon de base utilisé pour la fabrication des diodes Schottky repose sur une hétérostructure GaN déposée par épitaxie sur un substrat de saphir. La structure est représentée en Figure 1. Chaque couche joue un rôle bien précis dans le fonctionnement final de la diode :

**Substrat en saphir (Al<sub>2</sub>O<sub>3</sub>)** : il sert de support mécanique et constitue le substrat de référence pour l'épitaxie du GaN. Malgré un désaccord de maille cristalline important (~13%-16%), il est largement utilisé en raison de son faible coût, de sa disponibilité en grande taille. Bien que des alternatives existent aujourd'hui (SiC, Si, substrats GaN), la maîtrise technologique de l'épitaxie sur saphir, sa robustesse et son coût modéré en font un support particulièrement adapté à l'enseignement.

**Couche d'adaptation en GaN non dopée** : elle permet de compenser le désaccord de maille entre le saphir et les couches actives GaN, améliorant la qualité cristalline et réduisant les dislocations dans les parties semiconductrices actives.

**Couche de GaN fortement dopée n<sup>+</sup>** : elle assure une bonne conduction ohmique au niveau des contacts inférieurs, facilitant l'injection de porteurs.

**Couche de GaN faiblement dopée n<sup>+</sup>** : elle constitue la région active où sera formée la barrière Schottky entre le métal et le semiconducteur. Son faible dopage permet d'obtenir une large zone de déplétion, favorable au blocage en polarisation inverse et aux applications en électronique de puissance.

Deux types de contacts métalliques sont déposés (Figure 1) :

- Contact ohmique (Ti/Al/Ni/Au) sur la couche n<sup>+</sup>, afin d'injecter efficacement les porteurs avec une faible résistance série.
- Contact Schottky (Pt/Au) sur la couche n<sup>+</sup>, créant la barrière Schottky qui gouverne le comportement redresseur de la diode.

Cette architecture illustre bien l'approche pédagogique de ce TP : relier les principes théoriques de la physique des semi-conducteurs à leur mise en œuvre pratique en salle blanche.

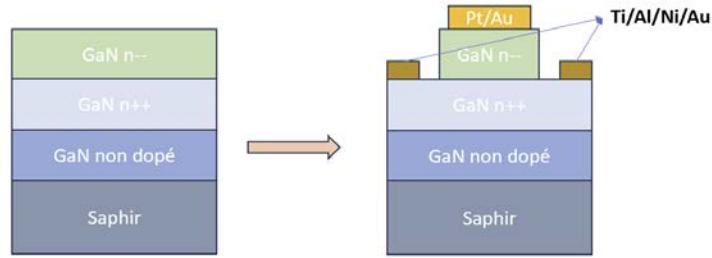


Figure 1. Schéma de la structure de la diode Schottky GaN avant et après métallisation

## B. Étapes technologiques

La fabrication des diodes Schottky est réalisée par une séquence simplifiée mais représentative des procédés usuels de microfabrication. Un masque optique a été réalisé, destiné à définir par photolithographie les motifs (Marque d'alignements, contacts Schottky des diode circulaire, gravure de la couche n- et les contacts ohmiques). En premier lieu, le substrat saphir a été nettoyé afin d'éliminer les contaminants. Le processus de fabrication peut être divisé en trois grandes étapes :

### 1. Contact Schottky

Une première étape de photolithographie a été réalisée afin de définir les zones de métallisation correspondant au contact Schottky et aux marques d'alignement. Un traitement à l'HMDS a été appliqué pour améliorer l'adhérence de la résine sur le substrat. Une résine positive adaptée au procédé de lift-off (ARP-5320) d'une épaisseur d'environ 1,8 µm, soit trois fois l'épaisseur prévue de la métallisation, a ensuite été déposée par centrifugation, puis recuite à 110 °C pendant 90 secondes afin de stabiliser le film avant exposition. Les motifs du contact Schottky et des marques d'alignement ont été définis à l'aide d'un masque optique positif et d'une exposition aux UV en mode hard contact. Après exposition, le développement a été effectué dans la solution révélatrice AR 300-26/EDI (3/2), suivi d'un rinçage à l'eau déionisée. L'uniformité et l'épaisseur de la résine ont été contrôlées au profilomètre. La Figure 2 illustre l'ensemble du processus de fabrication du contact Schottky.

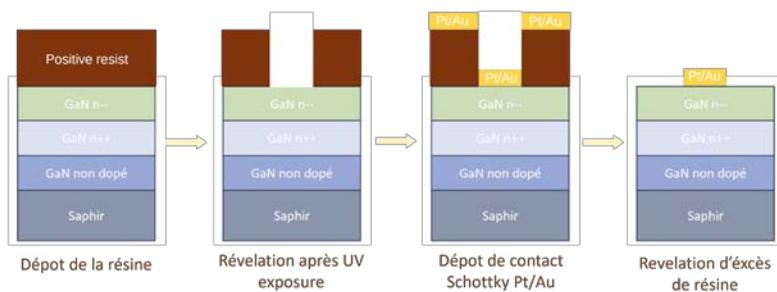


Figure 2. Processus de fabrication du contact Schottky

La métallisation a été réalisée par évaporation sous faisceau d'électrons, un procédé permettant un dépôt directionnel et uniforme des couches métalliques. Une première couche de platine (Pt, 30 nm) a été déposée afin de former la jonction Schottky avec le GaN. Le platine, dont la fonction de travail élevée (~5,65 eV) favorise la création d'une barrière de potentiel importante, permet ainsi de limiter le courant de fuite en régime inverse. Une seconde couche d'or (Au, 300 nm) a ensuite été déposée afin de protéger le platine contre l'oxydation et d'améliorer la conductivité électrique du plot de contact. Cette surcouche facilite également la prise de contact électrique lors des mesures ultérieures et assure une bonne stabilité chimique de la métallisation. Enfin, le procédé de lift-off a été effectué pour éliminer la résine et l'excédent de métal, à l'aide du solvant SVC-14 chauffé, afin d'obtenir des motifs correspondant aux zones de contact Schottky et aux marques d'alignement.

## 2. Gravure sèche de la couche de GaN faiblement dopée (n--)

L'objectif de cette étape est de retirer sélectivement la couche de GaN faiblement dopée (n--) afin d'exposer la couche de GaN fortement dopée (n++), sur laquelle seront déposés les contacts ohmiques. Pour cela, une gravure sèche assistée par plasma inductif (ICP – Inductively Coupled Plasma) a été employée, choisie pour sa capacité à fournir une gravure anisotrope, précise et reproductible, adaptée aux structures à base de GaN. Avant la gravure, un traitement à l'HMDS a été appliqué sur l'échantillon pour améliorer l'adhérence de la résine. Une résine négative AZnLOF 2020 a ensuite été déposée par centrifugation sur une épaisseur de 4 µm, puis recuite à 110 °C pendant 90 secondes afin de stabiliser le film avant exposition. Cette épaisseur garantit une protection suffisante pendant la gravure, la vitesse de gravure de la résine (~70 nm/min) étant inférieure à celle du GaN (~100 nm/min), ce qui assure une bonne sélectivité.

Le masque optique a été aligné avec précision à l'aide des marques d'alignement formées lors de l'étape du contact Schottky, puis exposé aux UV en mode hard contact afin d'assurer une résolution optimale des motifs. Un recuit post-exposition (110 °C, 60 s) a activé la réaction photochimique induite par l'insolation, entraînant la réticulation de la résine dans les zones exposées. Cette réticulation rend ces zones insolubles dans le révélateur AZ 326 MIF, conduisant ainsi à une inversion de tonalité. Après développement et rinçage à l'eau déionisée, l'uniformité et l'épaisseur des motifs ont été vérifiées au profilomètre afin d'assurer la reproductibilité du procédé.

La gravure du GaN faiblement dopé a été effectuée dans un réacteur ICP utilisant un mélange gazeux de chlore ( $\text{Cl}_2$ ) et d'argon (Ar). Le chlore agit comme gaz réactif, formant des composés volatils tels que  $\text{GaCl}_3$  et  $\text{NCl}_3$  à la surface du GaN, tandis que l'argon favorise le bombardement ionique, améliorant la verticalité et la précision des profils gravés. Les paramètres de gravure retenus (puissance RIE de 35 W, puissance ICP de 100 W, pression de 10 mTorr, flux Ar de 30 sccm et flux  $\text{Cl}_2$  de 10 sccm) ont permis d'obtenir une gravure uniforme, anisotrope et reproductible, tout en préservant une bonne sélectivité entre le GaN et la résine. Enfin, la résine résiduelle a été retirée par immersion dans le solvant SVC-14 chauffé à 70 °C, suivi d'un nettoyage ultrasonique dans l'acétone. La Figure 3 illustre le schéma du processus de gravure sèche du GaN (n--).

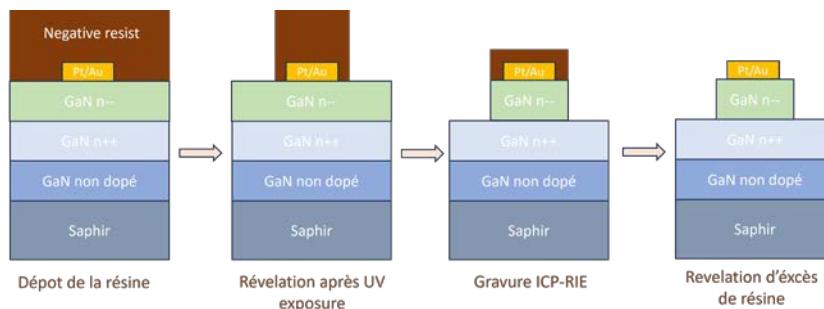


Figure 3. Processus de gravure

## 3. Contact ohmique

Le dépôt des contacts ohmiques a été réalisé par évaporation sur la couche de GaN fortement dopée (n++). Une résine positive ARP-5320, définie par photolithographie, a servi de masque pour le lift-off. L'épaisseur de la résine a été fixée à 1,8 µm, soit environ trois fois celle de l'empilement métallique Ti/Al/Ni/Au (0,5 µm), afin de faciliter le lift-off. Une fine couche de titane a été déposée en premier sur le GaN. Le titane réagit chimiquement avec la surface du GaN, formant une interface riche en porteurs libres qui favorise le passage des électrons par effet tunnel, tout en dissolvant l'oxyde natif et en améliorant l'adhérence de la métallisation. Le titane est suivi par une couche d'aluminium, qui abaisse la résistivité spécifique du contact. L'aluminium empêche également l'oxydation du titane par la formation d'intermétalliques de type  $\text{Al}_3\text{Ti}$  lors du recuit. Une couche de nickel est ensuite déposée pour

servir de barrière de diffusion, empêchant la migration de l'aluminium vers les couches supérieures. Enfin, une couche d'or assure une excellente conductivité et protège l'ensemble contre l'oxydation, garantissant ainsi une bonne stabilité chimique et électrique.

Après métallisation, l'excédent de métal est retiré par lift-off dans le solvant SVC-14 chauffé à 100 °C, suivi d'un nettoyage ultrasonique dans l'acétone. Cette étape permet d'obtenir des motifs métalliques précis et reproductibles. La Figure 4 illustre le processus complet de fabrication des contacts ohmiques.

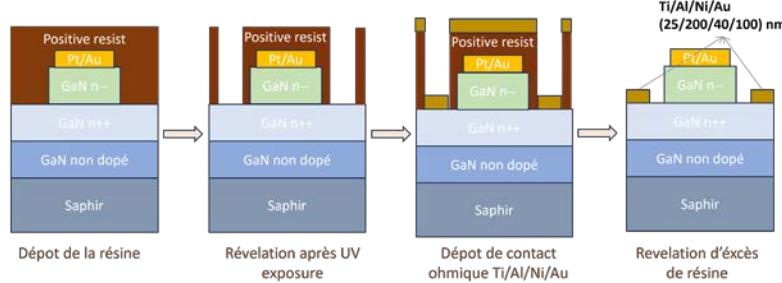


Figure 4. Processus de fabrication de contact ohmique

Après métallisation, un recuit thermique rapide (RTA) à 600 °C est appliqué afin de former les contacts ohmiques par diffusion interfaciale du Ti et de l'Al, conduisant à la formation de phases conductrices qui abaissent la résistivité spécifique. Ce recuit améliore les contacts Schottky et la qualité de l'interface métal/semiconducteur en stabilisant la barrière et réduisant le courant de fuite pour obtenir ainsi des dispositifs plus fiables et reproductibles.

Afin de valider le procédé de fabrication de la diode, une observation au MEB (Microscope Électronique à Balayage) a été réalisée. La figure 5 met en évidence l'excellente définition des contacts ohmiques et Schottky, ainsi que des flancs de mesa bien délimités et des fonds de gravure propres. Ces observations confirment la bonne maîtrise des étapes de photolithographie, de métallisation et de gravure sèche, et attestent de la qualité globale du procédé.

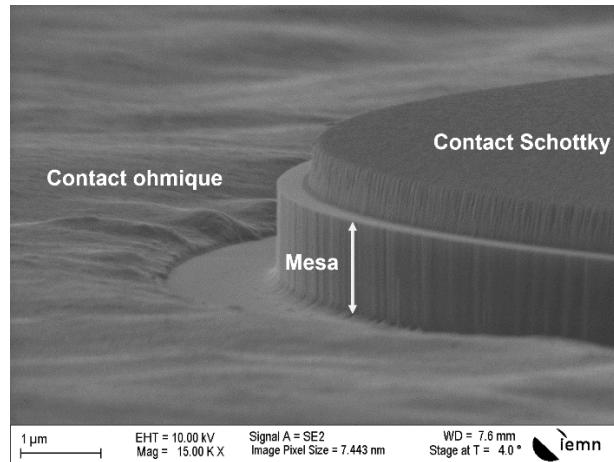


Figure 4. Image MEB de la diode Schottky

### C. Résultats de caractérisation

La dernière étape du TP consiste à caractériser électriquement les diodes fabriquées. Les étudiants commencent par utiliser la méthode TLM pour évaluer la qualité des contacts ohmiques. À partir de ces mesures, ils déterminent la résistivité spécifique du contact ( $5 \times 10^{-4} \Omega \cdot \text{cm}^2$ ) et la résistance de contact normalisée ( $R_c=0,1 \Omega \cdot \text{mm}$ ), permettant d'estimer quantitativement l'efficacité des interfaces métal/semiconducteur.

La figure 6 montre la caractéristique I-V d'une diode de 140 µm de diamètre. Les résultats sont représentatifs, plusieurs mesures ayant été effectuées sur des diodes de même taille.

En se basant sur la caractérisation I-V en polarisation directe, et en effectuant une analyse électrique, les diodes présentent une tension de seuil ( $\sim 0,5$  V), une résistance série  $R_s$  de  $20 \Omega$  et une barrière Schottky  $\phi_B$  (0,76 eV).

En examinant la courbe I-V en polarisation inverse, les étudiants peuvent ainsi observer l'effet du recuit : après traitement thermique, la tension de claquage se stabilise autour de  $-70$  V, avec un courant de fuite limité à 13 mA. L'analyse de ces courants de fuite montre qu'ils peuvent provenir de défauts cristallins ou de contaminants présents sur les bords du mesa. Cela souligne l'importance d'optimiser les étapes de gravure et de métallisation pour garantir des interfaces de qualité.

Ces mesures présentent un intérêt pédagogique majeur, car elles permettent aux étudiants de relier les paramètres électriques clés ( $R_c$ , tension de seuil, courant de fuite) à la qualité des interfaces métal/semiconducteur. L'exploitation des résultats illustre l'influence des étapes technologiques sur les performances des dispositifs et fournit un support pour discuter des mécanismes de conduction indésirable et des causes possibles de défauts.

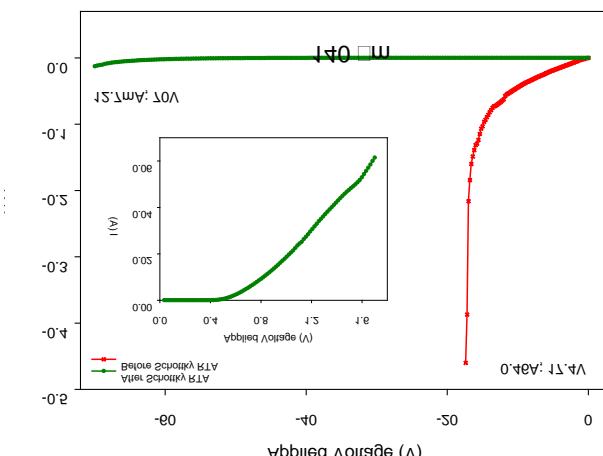


Figure 5. I(V) de la diode Schottky GaN avant et après RTA à 600 °C

#### IV. Conclusion

La mise en place de ce TP sur les diodes Schottky en GaN constitue une innovation pédagogique significative au sein du PLFM de Lille. Elle permet aux étudiants de mettre en pratique des concepts théoriques avancés, tout en découvrant les spécificités technologiques d'un matériau émergent. Cette démarche illustre la complémentarité entre recherche, enseignement et formation pratique, dans le cadre des actions soutenues par le CNFM.

#### Remerciements

Les auteurs tiennent à remercier le GIP-CNFM, ainsi que la DGESIP pour leur soutien constant aux activités de formation en microélectronique. Ce travail a également bénéficié des ressources du pôle CNFM de Lille, qui ont permis la mise en œuvre des séances pratiques décrites dans cet article. Une partie de ce TP a été réalisée dans le cadre du projet INFORISM, cofinancé par le programme France 2030.

#### Références

1. K. Hoo Teo *et al.*, *J. Appl. Phys.*, vol. 130, no. 16, p. 160902 (2021)
2. B. Orfao *et al.*, *J. Appl. Phys.*, vol. 135, no. 1, p. 014501 (2024)
3. D. Kim *et al.*, *Appl. Phys. Lett.*, vol. 126, no. 12, p. 122108 (2025)

# Réalisation d'une fonction optique filtrante par dépôt de couches-minces

M. Coué<sup>a</sup>, G. Agnus<sup>b</sup>

<sup>a</sup>, Université de Paris Saclay, Palaiseau, France

<sup>b</sup> Université de Paris Saclay, Palaiseau, France

Contact email : guillaume.agnus@universite-paris-saclay.fr

Les fonctions optique, réalisées par dépôt sous vide sur des substrats de diverses natures, mettent en œuvre la PVD (Physical Vapor deposition ) pour produire des couches-minces. L'élaboration de ces différentes fonctions requiert une maîtrise du dépôt sous vide mais aussi des savoir-faire spécifiques liés à la modélisation de la fonction, à la préparation des substrats et aux mesures spectrales. Dans le cadre du Master M2 Science et Génie des Matériaux, les étudiants réalisent une fonction filtrante basée sur une nanostructure multicouche métal-diélectrique constituant une cavité *Fabry - Perot* dont les caractéristiques sont imposées.

## I. Présentation des objectifs

La fonction à réaliser doit répondre à un cahier des charges spécifiques, portant sur son spectre de transmission et présente des contraintes à respecter. Ce choix correspond à une réalité industrielle afin de sensibiliser nos étudiants à une démarche qualiticienne.

Réalisée par évaporation sous vide, l'architecture de la fonction filtrante demandée doit comporter 4 couches présentant une alternance d'argent et de fluorure de Magnésium.

Les 3 premières couches forment un interféromètre de *Fabry-Perot* et la dernière couche déposée isole chimiquement l'argent du milieu ambiant afin de préserver le filtre d'une oxydation.

Tableau 1 : Cahier des charges de la fonction filtrante

Contraintes	Valeurs	Tolérances
Longueur d'onde de centrage $\lambda_0$	550 nm	$\pm 20$ nm
Transmission $T_{\max}$	45 %	$\pm 20$ %
Bande passante à $T_{\max} / 2$	18 nm	$\pm 4$ nm
Substrat	Verre B270	/
Transmission des couches d'argent sur $\lambda_0$	8 %	$\pm 0,1$ %

## II. Modélisation des couches-minces

### A. Détermination de l'épaisseur des couches d'argent

La transmission d'une couche d'argent de 8% sur la longueur d'onde de centrage devrait correspondre à un coefficient de réflexion théorique de 90 %.

Si l'on se réfère aux relations propres à l'interféromètre de *Fabry-Perrot*, le filtre devrait répondre au cahier des charges imposées.

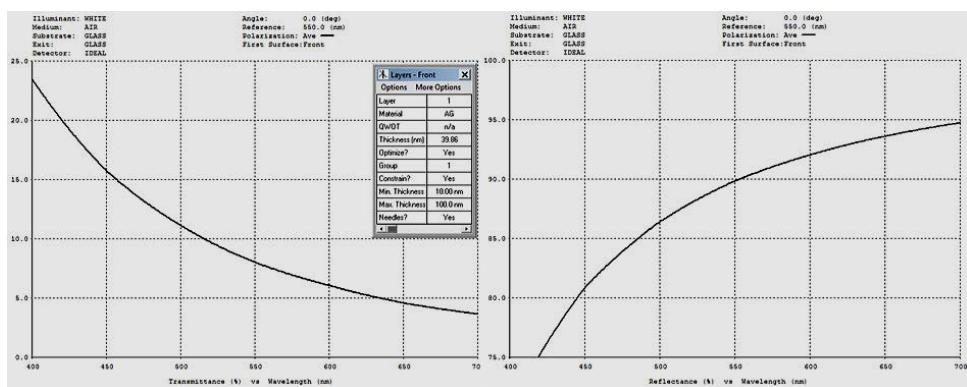
Tableau 2 : Relations du Fabry-Perrot (sans absorption) et Caractéristiques du filtre

Relations	Caractéristiques
$I = I_0 \frac{T^2}{(1-R)^2} \cdot A(m.\phi)$	$I_{\max} = 64 \%$
$A(m.\phi) = \frac{1}{1+m \cdot \sin^2(\frac{\phi}{2})}$	
$m = \frac{4 R}{(1-R)^2}$	$m = 360$
$\Delta\phi = \frac{4}{\sqrt{m}}$	$\Delta\phi = 0,21 \text{ rad}$
$\phi = \frac{4\pi n \cdot e \cos r}{\lambda}$	$\Delta\lambda = 17,4 \text{ nm}$

La première étape consiste donc à utiliser le logiciel *TFCalc*, qui est dédié à la modélisation des fonctions optiques.

Après avoir défini la cible de 8% de transmission à 550 nm de longueur d'onde, une optimisation portant sur la détermination de l'épaisseur de la couche est effectuée. Elle nous fournit une valeur de 39,9 nm

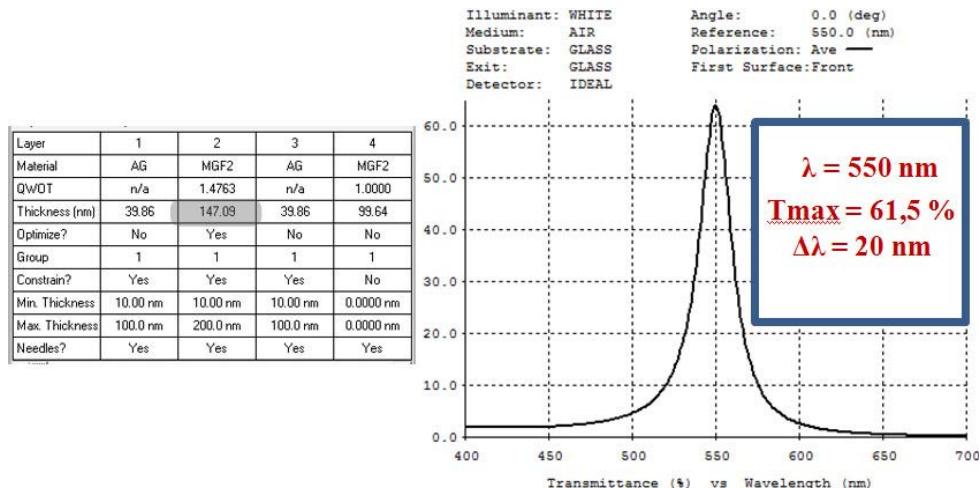
Fig.1. Modélisation de la couche d'argent



## B. Modélisations de l'empilement complet

Après avoir défini la structure complète du filtre en 4 couches, l'optimisation de la couche entretoise constituée de MgF<sub>2</sub> fournie une épaisseur de 147,1 nm.

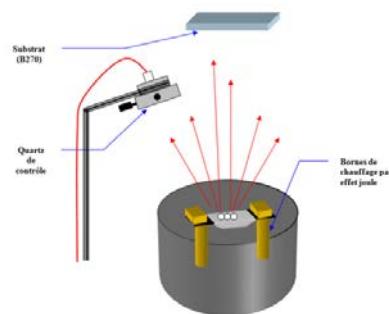
Fig.2. Modélisation du filtre de *Fabry Perot*



## III. Dépôt d'une couche d'argent et étalonnage de la balance à quartz

Un quartz piézoélectrique équipe notre bâti de PVD, ce qui nous fourni un contrôle in situ de l'épaisseur et de la vitesse de dépôt. La seconde étape consiste donc à étalonner la balance à quartz pour l'argent.

Fig.3. Positions relatives du quartz et du substrat



A cet effet, le principe consiste tout d'abord à paramétrier notre balance à quartz en introduisant un facteur de correction géométrique, le « tooling », initialement fixé à une valeur de  $\tau_1 = 0,65$  (ancien étalonnage).

Ce paramètre permet de tenir compte de la différence des positions dans le bâti entre le quartz piézoélectrique et le plan des substrats.

Le dépôt de la couche d'argent dont l'épaisseur a été précédemment déterminée lors de la modélisation, soit 39,9 nm est ensuite réalisé.

La mesure spectrophotométrique du substrat traité nous fournit ensuite une valeur de transmission T pour la longueur d'onde de référence. Dans notre cas  $T = 10\%$ . Une nouvelle modélisation sous TFCalc utilisant cette valeur de transmission comme cible d'optimisation nous permet enfin de connaître l'épaisseur réellement déposée, soit  $e = 36,85 \text{ nm}$  pour cet essai.

Le calcul du nouveau tooling suivant une règle de proportionnalité à l'épaisseur, nous obtenons une valeur  $\tau_2 = 0,60$ , ce qui constitue notre nouvelle référence pour l'argent.

#### IV. Dépôt d'une couche de fluorure de magnésium et étalonnage de la balance à quartz

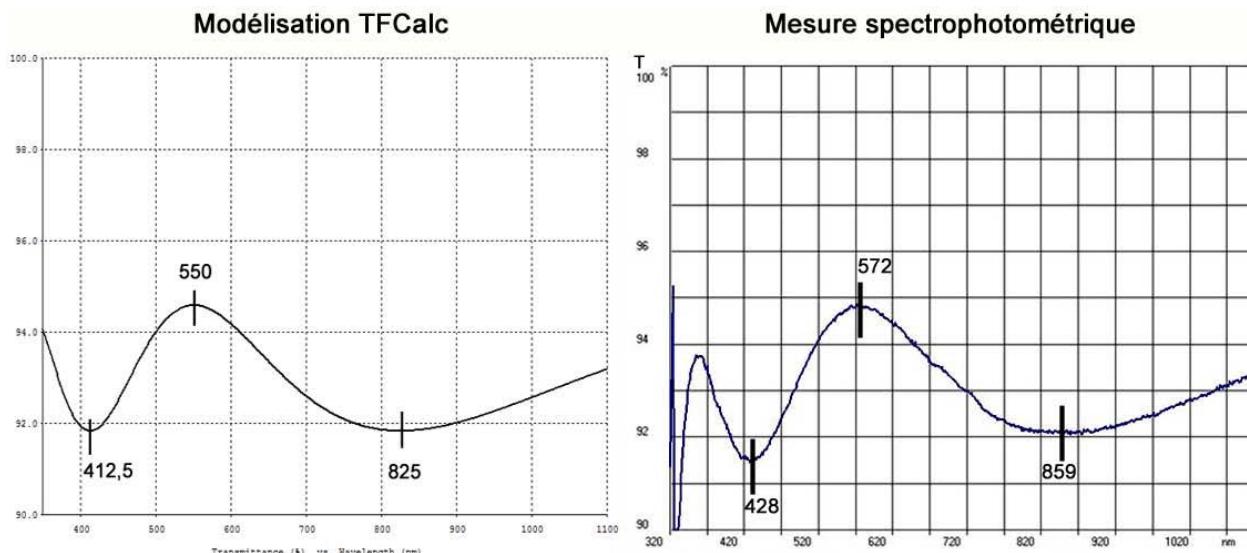
La détermination du second « tooling » propre au  $\text{MgF}_2$ , tout en présentant des similitudes avec la méthode précédemment décrite, en diffère de par la nature diélectrique de ce matériau transparent aux longueurs d'onde du domaine visible et infrarouge.

Ainsi une couche de  $\text{MgF}_2$  est déposée sur un substrat puis analysée au spectrophotomètre. La modification de la surface optique produit un spectre cannelé qui présente des minima et maxima de transmission qui, par leurs positions dans le spectre, permet la détermination précise de l'épaisseur optique de la couche  $E_{\text{opt}} = nc.e'$  et, au final, son épaisseur mécanique  $e'$ .

L'épaisseur optique d'une couche-mince diélectrique transparente s'exprime en « quart d'onde » compte tenu des phénomènes d'interférences qu'elle induit.

Notre couche d'essai possède une épaisseur optique théorique de 412,5 nm, ce qui correspond à une valeur de  $3 \cdot \frac{\lambda}{4}$  pour  $\lambda = 550 \text{ nm}$  soit une épaisseur  $e' = 298,9 \text{ nm}$  pour un indice du  $\text{MgF}_2$   $n_c = 1,38$

Fig.4. Spectres cannelés du  $\text{MgF}_2/\text{verre}$  - modélisation et mesure



Après avoir déposée cette couche mince, l'analyse du spectre mesuré nous fournit une épaisseur optique  $E_{\text{opt}} = 429 \text{ nm}$  ce qui correspond à une épaisseur mécanique de la couche déposée  $e' = 311 \text{ nm}$

Le « tooling » initial propre à ce diélectrique étant  $\tau_3 = 0,63$ , nous obtenons alors une valeur  $\tau_4 = 0,66$ , qui est à présent retenue pour l'évaporation du  $\text{MgF}_2$ .

## V. Dépôt de l'empilement complet

Les étalonnages étant à ce stade réalisés et la balance à quartz correctement paramétrée, le dépôt des 4 couches constituant la structure du filtre de Fabry-Perot est alors effectué.

Fig.5. Bâti PVD Plassys ME300

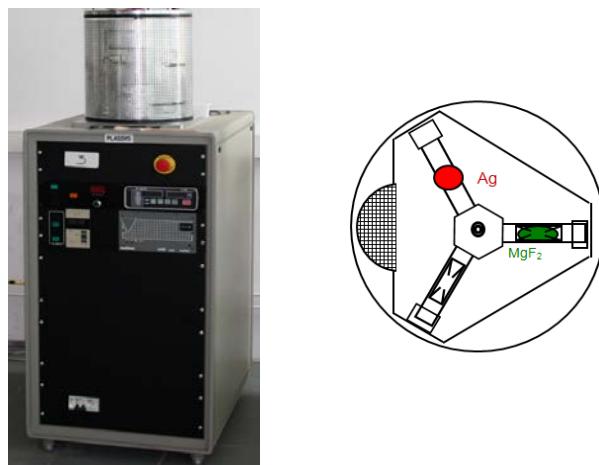
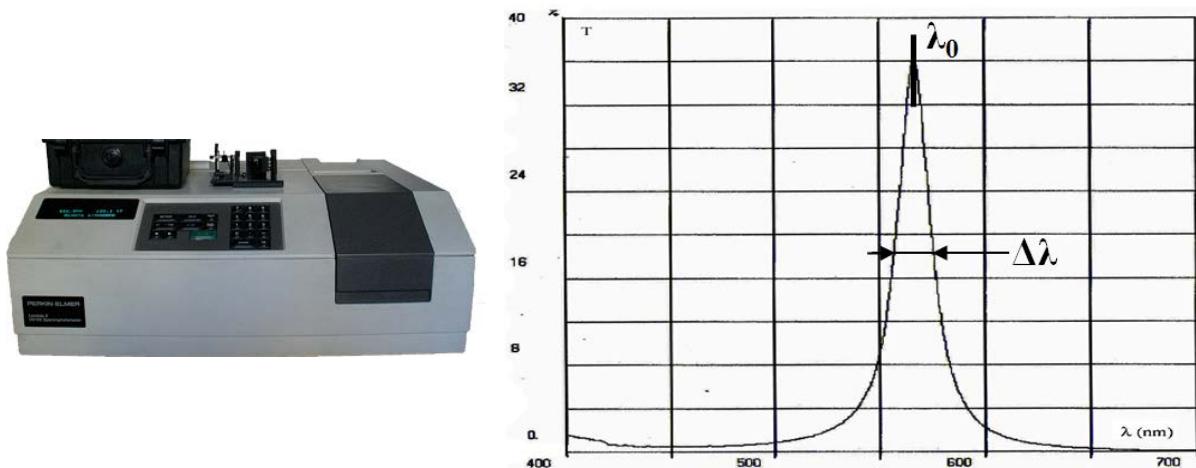


Tableau 2 : Structure du filtre et paramètres

Layer	Epaisseur (nm)	Tooling
1	39,9	0,6
2	147,1	0,66
3	39,9	0,6
4	99,6	0,66

Après récupération du substrat traité, le spectre de transmission du filtre est mesuré à l'aide d'un spectrophotomètre double faisceaux.

Fig.6. Spectrophotomètre PE λ2 et transmission du filtre



L'analyse du spectre fournit les caractéristiques du filtre qui sont présentées dans le tableau ci-dessous

Tableau 3 : Caractéristiques du filtre produit

Paramètres	Valeur obtenue	Ecart	Conformité
$\lambda_0$	566 nm	16 nm	oui
$T_{max}$	36 %	9 %	oui
$\Delta\lambda$	18 nm	0 nm	oui

## V. Conclusion

4 séances de TP ont été nécessaires à nos étudiants pour obtenir ces résultats. Au-delà de la simple satisfaction de produire un objet technique respectant un cahier des charges, les phases de modélisations, de production des couches-minces et de mesures ont été misent en œuvre par chacune des équipes en formation et validées successivement.

## Remerciements

Remerciements à l'IUT d'Orsay pour son accueil et la mise à disposition de ses moyens matériels. Le GIP-CNFM et en particulier le projet INFORISM pour le soutien financier.

# Lignes et résonateurs micro-ondes planaires commutables par dépôt VO<sub>2</sub> pour l'enseignement de la conception, des techniques de dépôt et de la caractérisation de dispositifs micro-ondes

Baptiste Henriot<sup>1</sup>, Manon Gireau<sup>2</sup>, Ghofrane Mastouri<sup>1</sup>, Olivier Tantot<sup>1</sup>, Frédéric Dumas-Bouchiat<sup>2</sup>, Corinne Champeaux<sup>2</sup>, Aurélien Périgaud<sup>1</sup>, Damien Passerieux<sup>1</sup>, Bruno Barelaud<sup>1</sup>, Serge Verdeyme<sup>1</sup>

<sup>1</sup> XLIM, UMR 7252, Université de Limoges/CNRS, 123 av A. Thomas, 87060 Limoges, France

<sup>2</sup> IRCER, UMR 7315, Université de Limoges/CNRS, 12 Rue Atlantis, 87068 Limoges

Contact: olivier.tantot@unilim.fr

Cet article présente les travaux réalisés par des étudiants en master de deux filières électronique et céramique dans le cadre d'un module d'enseignement pluridisciplinaire consacré à la fabrication et à la caractérisation de circuits micro-ondes, basés sur des matériaux à changement de phase. Les différentes étapes, de la conception à l'aide de la CAO à la mesure par sonde RF, en passant par les procédures et les étapes de fabrication, sont présentées.

## I. Introduction

Dans le cadre d'une unité d'enseignement (UE) multidisciplinaire labélisée EUR Céramique & TIC TACTIC, impliquant des étudiants en master d'électronique et en master de sciences des matériaux céramiques, cet article présente le développement et la caractérisation de circuits microbandes hyperfréquences à base de matériaux à changement de phase. Le dioxyde de vanadium VO<sub>2</sub> est choisi pour ses propriétés de transition isolant-métal à 68°C, proche de la température ambiante, caractérisée par un saut de résistivité électrique de près de cinq ordres de grandeur.

La première partie de l'UE, neuf heures de cours magistraux, décrit les méthodes de production des circuits microbandes (production de masques, gravure, dépôt, etc.), les principaux procédés de réalisation de matériaux sous forme de couches minces (dépôt par CVD, PVD) complété par un focus sur le procédé de dépôt par ablation laser (PLD, utilisé pour cette UE) ainsi que les méthodes de caractérisation des matériaux hyperfréquences (diélectriques et métalliques).

La deuxième partie, consacrée à la CAO électromagnétique (7 heures de travaux pratiques), permet aux étudiants de modéliser divers circuits hyperfréquences, allant des lignes simples (figure 1-b) aux résonateurs en anneaux (figure 1-a), avec et sans VO<sub>2</sub>. L'objectif est de comprendre les phénomènes électromagnétiques dans ces structures, ainsi que l'influence des différents comportements des matériaux à changement de phase (diélectrique ou conducteur).

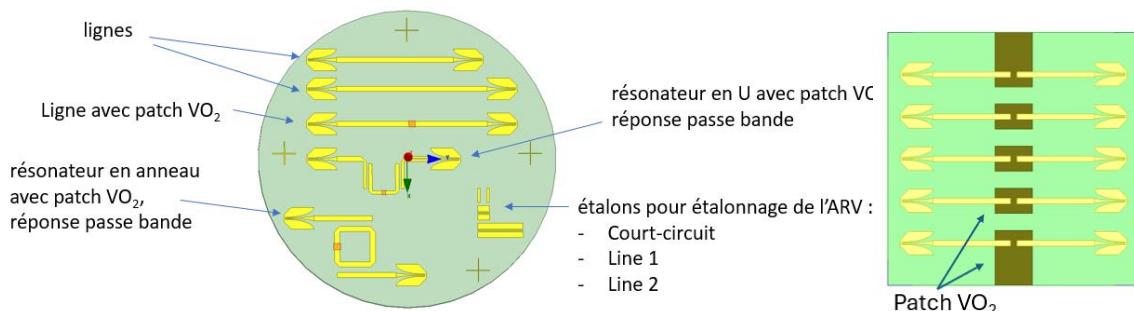


Fig. 1. Lignes et résonateurs avec patch VO<sub>2</sub>

b) Lignes avec patch VO<sub>2</sub>

La troisième partie concerne la fabrication des circuits. 10 heures au laboratoire IRCER, spécialisé dans le dépôt physique de matériaux sont consacrées au dépôt des différents matériaux constituant les composants : or et VO<sub>2</sub> sur substrat en saphir ainsi qu'à leur structuration par photolithographie et gravure afin de réaliser les structures présentées sur la figure 1. Les étudiants mesurent les épaisseurs de leur dépôt par profilométrie (Dektak) et caractérisent, en particulier, les transitions électriques des couches minces de VO<sub>2</sub>, à l'aide d'une mesure 4 pointes en ligne, réalisée de la température ambiante à 90°C (station Microworld).

Durant la quatrième partie (4h) au laboratoire XLIM, les étudiants réalisent des caractérisations micro-ondes : caractérisation des propriétés diélectriques du substrat, de la conductivité électrique des lignes microbandes et des plans de masse, et mesure des circuits avec une station sous pointes.

## II. Conception des circuits planaires

Au stade de la conception des composants électromagnétiques, quelques démonstrateurs sur des substrats diélectriques intégrant un petit patch VO<sub>2</sub> (en orange sur la figure 1) illustrent le rôle du changement d'état du VO<sub>2</sub> d'isolant à conducteur sur les réponses des composants.

La simulation des composants est effectuée avec un accès microbande uniquement afin de réduire les temps de CAO. La disposition utilisée pour le masque de développement est fournie par l'équipe enseignante. Des transitions coplanaires vers la microbande sont ajoutées pour permettre les mesures de la station sous la pointe, ainsi que les normes pour la méthode d'étalonnage TRL. De cette manière, quel que soit le niveau d'avancement des étudiants dans la CAO, le processus de réalisation sera mené à bien.

La suite de ce papier décrit uniquement la ligne microbande avec et sans VO<sub>2</sub> réalisé sur substrat monocristallin saphir-c, utilisé en raison de ses propriétés (orientation cristalline, paramètre de maille, rugosité de surface), facilitant la croissance de dépôt VO<sub>2</sub> de bonne qualité.

### A. Lignes microruban

Une ligne microbande sur un substrat cristallin est d'abord étudiée avec une discontinuité sous forme de patch VO<sub>2</sub> en son centre. Le logiciel de circuit Linecalc/ADS de Keysight est utilisé pour déterminer les caractéristiques de la ligne (largeur de ligne W, longueur d'onde guidée  $\lambda_g$ ). Le substrat saphir-c a une permittivité de  $\epsilon_r = 11,6$ , considérée comme isotrope dans le cadre d'une hypothèse simplificatrice, et une épaisseur de Hs = 500 µm. Il est pris sans pertes diélectriques, avec une épaisseur de ligne de t = 17 µm et une conductivité électrique de  $\sigma = 4,1 \cdot 10^7$  S/m. La simulation donne une largeur de ligne W = 463 µm pour une impédance caractéristique de 50 Ω et une longueur d'onde guidée de  $\lambda_g = 11,51$  mm à 10 GHz. L'épaisseur de la métallisation est identique à celle des substrats commerciaux et l'épaisseur des dépôts réalisés fera l'objet d'une étude de sensibilité lors des simulations 3D.

L'étude consiste à placer un patch VO<sub>2</sub> au milieu de la ligne avec un chevauchement de 20 % (figure 1-a) et plus de 200% de la largeur de ligne (figure 1-b) afin de faciliter son positionnement manuel par rapport à l'espace laissé sans dépôt d'or au milieu de la ligne. Dans ces simulations électromagnétiques (HFDSS/Ansys), l'épaisseur du dépôt de VO<sub>2</sub> considérée est de 17 µm (valeur de dépôt irréaliste pour la technique de dépôt par Laser Pulsé, PLD).

Dans son état isolant (à température ambiante), le VO<sub>2</sub> présente un comportement diélectrique sans pertes ( $\epsilon_r = 3$ ). La figure 2 montre que, jusqu'à 22 GHz, la réflexion ( $S_{11}$ ) est proche de 0 dB

et l'isolation ( $S_{21}$ ) supérieure à 20 dB. L'effet de coupure du signal avec ce comportement est efficace et démontre de bonnes performances jusqu'à 22 GHz.

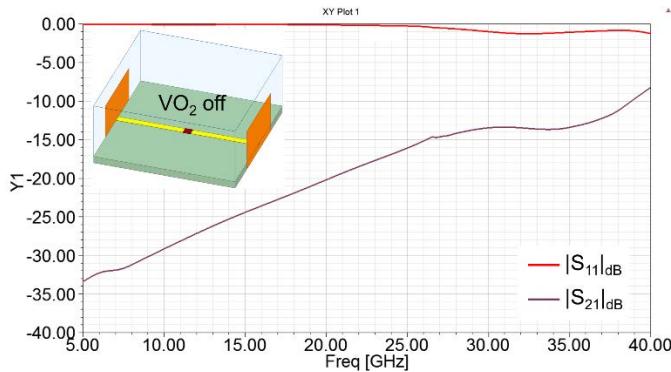


Fig 2. Réponse de la ligne avec le patch VO<sub>2</sub> en comportement diélectrique (état off,  $\epsilon_r = 3$ )

Lorsque VO<sub>2</sub> est conducteur ( $\sigma = 10^5$  S/m), les pertes d'insertion sont d'environ 0,16 dB à 10 GHz pour une adaptation d'environ 26 dB (cf. fig. 3). Une étude de l'influence de l'épaisseur de la ligne et du patch VO<sub>2</sub> montre que les pertes augmentent fortement lorsque l'épaisseur diminue. Pour une épaisseur de 500 nm, les pertes d'insertion sont d'environ 1,8 dB (10 GHz).

Avec cette épaisseur plus réaliste, les performances sont grandement détériorées et l'optimisation de la surface et de la forme du dépôt de VO<sub>2</sub> améliorerait ces résultats.

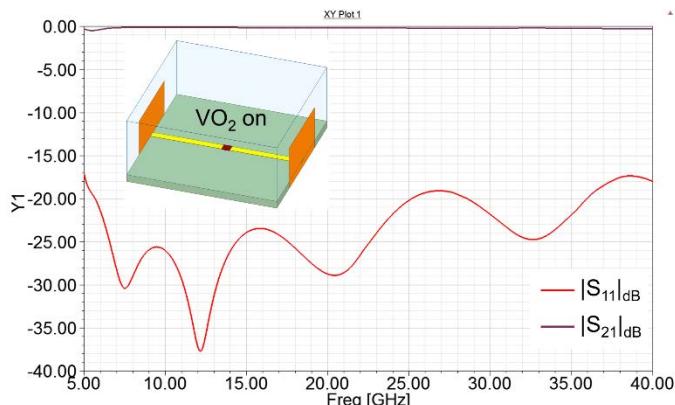


Fig 3. Réponse de la ligne avec le patch VO<sub>2</sub> (épaisseur 17 microns) en comportement conducteur (état on,  $\sigma = 10^5$  S/m)

#### B. Méthodes de fabrication : dépôt par laser pulsé et procédés de photolithographie

La fabrication des composants se déroule en quatre étapes successives : 1) dépôt d'un film mince de VO<sub>2</sub> sur un substrat saphir-c de  $2 \times 2 \text{ cm}^2$ , suivi 2) de sa structuration, 3) dépôt d'or suivi également 4) de sa structuration, afin de définir d'abord les patchs de VO<sub>2</sub>, puis les lignes microbandes en or. Les étudiants utilisent le dispositif de dépôt par laser impulsionnel nanoseconde (PLD) et les installations de photolithographie du laboratoire IRCER pour fabriquer les circuits.

##### 1) *Dépôt de couches minces par PLD*

Les films de VO<sub>2</sub> et d'or sont déposés par PLD à l'aide d'un laser nanoseconde KrF (longueur d'onde  $\lambda = 248$  nm, durée d'impulsion 25 ns, fréquence 10 Hz) (4). Le procédé PLD (cf. figure 4) consiste à utiliser un faisceau laser impulsif de haute puissance ( $10^8$  à  $10^9$  W) pour vaporiser des espèces (électrons, atomes, molécules, espèces excitées...) dans un panache plasma à partir d'une cible solide (vanadium et or respectivement ici), en rotation. Ces espèces viennent se condenser ensuite sur un substrat (S) placé en face de la cible (C), formant un film mince. Ce procédé est particulièrement réputé pour le transfert congruent de la composition chimique de la cible vers le film. Hautement directionnel, il conduit à un dépôt homogène sur une surface de substrat d'environ  $1 \times 1$  cm<sup>2</sup>. Pour déposer sur des surfaces allant jusqu'à  $2 \times 2$  cm<sup>2</sup>, nécessaires à la fabrication pratique des dispositifs, le dépôt s'effectue hors axe avec rotation du substrat.

Pour le dépôt de films minces de VO<sub>2</sub>, la température du substrat est maintenue à environ 550 °C afin de favoriser la croissance d'un film cristallisé, la pression d'oxygène dans la chambre de dépôt, essentielle pour obtenir le rapport stœchiométrique correct du dioxyde de vanadium (VO<sub>2</sub>), est réglée à  $2,2 \times 10^{-2}$  mbar et la fluence du laser sur la cible est de 3 J/cm<sup>2</sup>.

Le dépôt d'or est réalisé à température ambiante sous vide, avec une fluence d'environ 5 J/cm<sup>2</sup>. Les temps de dépôt sont ajustés afin d'obtenir des films minces de VO<sub>2</sub> de 200 nm et d'or de 700 nm.

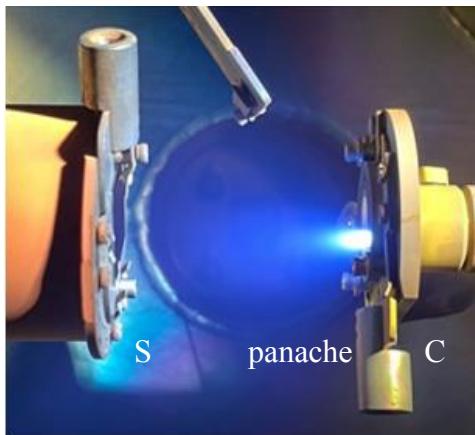


Fig 4. PLD – Dépôt de films minces de VO<sub>2</sub> à partir d'une cible de vanadium (C) sur un substrat saphir-c (S) sous une pression d'oxygène de  $2,2 \times 10^{-2}$  mbar.

## 2) Photolithographie pour la conception de dispositifs microondes

Après le processus de dépôt décrit dans le paragraphe précédent, qui recouvre toute la surface du substrat d'un film mince, une procédure de photolithographie et de gravure humide est utilisée pour fabriquer les circuits intégrés présentés en figure 1.

Pour définir les patchs VO<sub>2</sub> (partie orange de la figure 1), le film mince VO<sub>2</sub> obtenu à l'issue de l'étape de dépôt est recouvert de résine photosensible positive (Microposit™ S1818) appliquée uniformément à l'aide d'un spin coater (SPIN150, SPS Europe) tournant à 6000 tr/min pendant 42 s (taux d'accélération 500 tr/min/s). L'échantillon recouvert de résine est recuit à 115 °C pendant 90 s sur une plaque chauffante afin d'évaporer le solvant et de compacter la résine. Un photomasque, tel que celui illustré à titre d'exemple à la figure 5a pour définir les lignes RF, est placé sur les échantillons recuits et l'ensemble est insolé sous rayonnement UV à 365 nm dans une chambre d'irradiation (KLOE, UV-Kub2) à une densité de puissance de 33 mW/cm<sup>2</sup>, pendant 15 s. Après exposition, les échantillons sont immergés pendant 5 minutes dans une solution de développement (Microposit™ MF-319 UN1835), qui dissout les zones de la résine positive exposées aux UV.

L'échantillon est rincé à l'eau déionisée pour arrêter le développement, puis séché sous flux d'argon. Les zones non protégées sont gravées pendant 30 secondes dans un bain d'immersion de gravure au chrome (Alfa Aesar), laissant les zones VO<sub>2</sub> définies.

Pour définir la ligne RF, la couche d'or suit la même procédure de photolithographie, en utilisant le photomasque illustré à la figure 5-b. La durée de développement est de 17,5 minutes. La couche d'or est gravée dans un bain de gravure pour or (ThermoScientific) pendant 4 minutes.

Les dispositifs RF fabriqués, tels que des lignes RF en or avec patch VO<sub>2</sub>, réalisés par les étudiants, sont présentés à la figure 5-c.

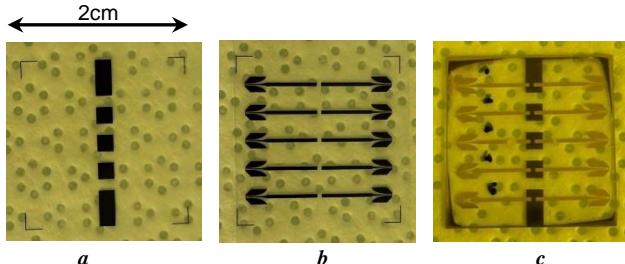


Fig 5. a. Photomasque utilisé pour définir les patchs de VO<sub>2</sub>, b. Photomasque utilisé pour définir la couche d'or, c. Ligne RF finale avec patchs VO<sub>2</sub> introduits dans les lignes RF en or. Les deux parties des lignes en or sont espacées de 500 µm.

### C. Caractérisation dimensionnelle et microonde

La caractérisation des dispositifs débute par une mesure avec précision de l'épaisseur du substrat en saphir-c en différents points. La valeur moyenne obtenue est H<sub>s</sub> = 0,497 mm ± 0,001 mm.

Le substrat est ensuite caractérisé à l'aide de la méthode de la cavité fendue (SCR) (5). L'échantillon est inséré dans la fente, entre deux cavités excitées en mode TE<sub>013</sub> à 10 GHz. La permittivité relative ( $\epsilon_r$ ) et la tangente de perte ( $\tan \delta$ ) du matériau sont calculées à partir des mesures de la fréquence de résonance et du facteur de qualité de la cavité chargée par l'échantillon. La fréquence théorique d'un modèle numérique (analyse par éléments finis 2D) de la structure converge vers la fréquence mesurée en itérant la permittivité. Les erreurs relatives sur la permittivité et la tangente de pertes sont principalement dues aux incertitudes relatives de l'épaisseur de l'échantillon et aux erreurs de mesures sur la fréquence de résonances (quelques dizaines de kHz) et du facteur de qualité (de l'ordre du pourcent).

Les résultats donnent  $\epsilon_r = 9,37 \pm 0,27$  et  $\tan \delta = 1,76 \times 10^{-3} \pm 2,3\%$ , correspondant aux données du fabricant.

La conductivité de l'or est extraite à l'aide d'une cavité cylindrique (6). À titre de référence, une plaque composée du même cuivre que le reste de la cavité et présentant la même rugosité est d'abord caractérisée. Le facteur de qualité, la fréquence et le niveau d'amplitude des pics de résonance des trois premiers modes de la cavité sont mesurés. En remplaçant cette plaque supérieure par le substrat métallisé et en effectuant une autre mesure, il est possible de déterminer la conductivité effective de l'échantillon, qui, dans le cas des fréquences micro-ondes, dépend de la rugosité à travers la profondeur de peau. L'extraction donne  $\sigma_{or} = 32 \text{ MS/m} \pm 11,3\%$  à 21 GHz (46 MS/m en DC par la méthode des 4 points), ce qui traduit essentiellement un déficit d'épaisseur de métallisation (de l'ordre du micron) qui devrait être de l'ordre de cinq à dix fois supérieur à la profondeur de peau. Cette conductivité reste satisfaisante pour une ligne de transmission.

Ces étapes de caractérisations étant validées, les étudiants effectuent des mesures sur les circuits qu'ils ont fabriqués. Les mesures sont réalisées à l'aide d'une station de test dédiée à l'enseignement (Figure 6). Un étalonnage TRL est effectué au préalable. Les étudiants installent les pointes sur

leur circuit, placé sur un bloc chauffant (avec un plan de masse) afin de permettre au VO<sub>2</sub> de changer d'état.

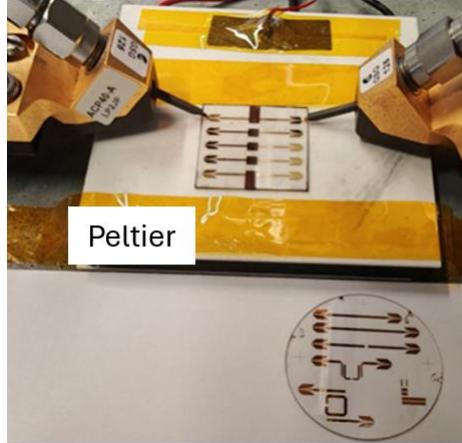


Fig 6. Station sous pointe et Peltier pour la mesure du circuit

Les résultats, illustrés à la figure 7, montrent un contraste sur le coefficient de transmission entre l'état conducteur et l'état diélectrique du patch VO<sub>2</sub>. Avec le patch VO<sub>2</sub> à l'état conducteur (ie à 75°C en température de consigne), le niveau de transmission est faible. Ce niveau s'explique par le fait que la métallisation réalisée est inférieure de 33 % à la profondeur de peau et devrait être 5 fois supérieure à celle-ci. Néanmoins, le changement d'état est visible sur les paramètres S, en particulier autour de 4 GHz. L'effet du matériau à changement de phase peut donc être démontré, ce qui est l'objectif de l'exercice.

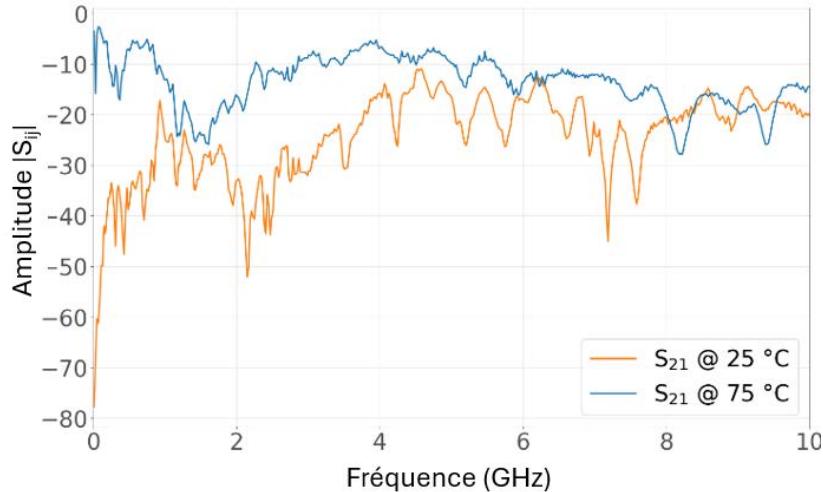


Fig 7. Résultats des mesures d'une ligne microruban pour les deux états du VO<sub>2</sub> : diélectrique à température ambiante, 25 °C et conducteur à une température de consigne de 75 °C.

### III. Conclusion

Dans cet article, nous présentons les différentes étapes du module d'enseignement consacré à la caractérisation physique des matériaux, dimensionnelle et micro-ondes des dispositifs.

Après avoir conçu les circuits à l'aide d'un logiciel de CAO, les étudiants les ont fabriqués dans le laboratoire IRCER. Ils ont ensuite procédé à la caractérisation du substrat en saphir, puis du dépôt d'or. Enfin, les étudiants ont effectué des mesures à l'aide d'une station sous pointe sur les quelques composants qui ne sont pas parfaits (faible épaisseur de métallisation, résidus de résine et problèmes d'adhérence des dépôts) et partiellement fonctionnels. Les résultats montrent l'effet du changement de phase du VO<sub>2</sub>, avec des résultats satisfaisants à des fins pédagogiques.

## **Remerciements**

Les auteurs souhaitent remercier le Pôle Limousin de Microélectronique (PLM), et le GIP-CNFM (7) coordonnateur du projet ANR IDEFI FINMINA (8), qui ont co-financé la station sous pointes RF et l'analyseur de réseaux vectoriel à destination de l'enseignement pour la filière l'électronique de la Faculté des Sciences et Techniques de Limoges.

Les auteurs remercient tous les étudiants ayant participé à l'unité d'enseignement « Synthèse des matériaux et propriétés de la matière condensée, conception et caractérisation des dispositifs pour les applications micro-ondes » du master labélisé EUR Ceramics & ICT TACTIC.

## **Références**

1. F. Dumas-Bouchiat, et al., “rf-microwave switches based on reversible semiconductor-metal transition of thin films synthesized by pulsed-laser deposition”, *Appl. Phys. Lett.* 26 November 2007; 91 (22): 223505. doi.org/10.1063/1.2815927
2. A. Crunceanu et al., “Voltage-and current-activated metal–insulator transition in VO<sub>2</sub>-based electrical switches: a lifetime operation analysis”, *Sci. Technol. Adv. Mater.* 11, 065002, (2010) doi.org/10.1088/1468-6996/11/6/065002
3. I.A. Alonzo-Zapata et al., “Emissivity Measurements of Vanadium Dioxide Thin films with Thermal Wave Resonator Cavity and its Application in Radiative Thermal Diode and Transistor Simulations”, *International Journal of Heat and Mass Transfer* 224, 125298 (2024), doi.org/10.1016/j.ijheatmasstransfer.2024.125298
4. F. Dumas-Bouchiat et al., “VO<sub>2</sub> thin films: various microstructure for hysteresis manipulations”, *Vacuum* 227, 113408 (2024), doi.org/10.1016/j.vacuum.2024.113408
5. D. Di Marco et al., “Dielectric properties of pure alumina from 8 GHz to 73 GHz”, *Journal of European Ceramic Society*, vol. 36, Issue 14, November 2016, pp 3355-3361, doi.org/10.1016/j.jeurceramsoc.2016.05.047.
6. W. Feuray et al., "Evaluation of Metal Coating Techniques up to 66 GHz and their Application to Additively Manufactured Bandpass Filters", European Microwave Conference (EuMC), Nuremberg, Germany, 2017, pp. 512-515, doi: 10.23919/EuMC.2017.8230902.
7. GIP-CNFM: Groupement d'Intérêt Public - Coordination Nationale pour la formation en Microélectronique et en nanotechnologies. Website: <http://www.cnfm.fr> (last access June 2025)
8. IDEFI-FINMINA : Initiative d'Excellence - Formation Innovante en Microélectronique et Nanotechnologies, ANR-11-IDFI-0017



# **La station pédagogique et interactive « NanoEnactive » basée sur des jumeaux numériques d'échantillons à échelle nanométrique**

F. Marchi<sup>a</sup>, N. Castagné<sup>b</sup>, A. Bsiesy<sup>c</sup>, L. Mambert<sup>c</sup>, N. Guerre-Chaley<sup>c</sup>, A. Borget<sup>c</sup>, R. Paquet<sup>c</sup>

<sup>a</sup> Institut Néel et pôle CNFM de Grenoble (CIME Nanotech), Université Grenoble Alpes, Grenoble, France

<sup>b</sup> Université Grenoble Alpes, Grenoble INP, GIPSA Lab, Grenoble, France

<sup>c</sup> CIME Nanotech, Université Grenoble Alpes, Grenoble, France

Contact email : florence.marchi@neel.cnrs.fr

Cet article s'inscrit dans le contexte des travaux en réalité virtuelle (RV) et haptique pour la pédagogie des nanosciences et de l'AFM menés depuis plus de 15 ans sur la plateforme Nanomonde du CIME Nanotech. Il synthétise les méthodes de travail adoptées puis présente l'architecture logicielle orientée temps-réel de la dernière-née de nos stations de RV pédagogique « NanoEnactive ». Sa particularité est de générer des jumeaux numériques de nano-objets à partir de données expérimentales acquises par microscopies AFM et optiques puis de les insérer comme échantillons virtuels dans un environnement numérique inspiré de celui d'un microscope AFM (Atomic Force Microscope). Dans cet environnement, l'avatar de la sonde AFM pilotée par un système haptique à retour de force, explore les propriétés morpho-rhéologiques de ces jumeaux numériques à échelle micro/nanoscopique. Son interface utilisateur (IU) est dotée de diverses fonctionnalités dont quatre récentes sont décrites brièvement.

## **I. Pédagogie « Learning by Doing » en nanoscience avec les réalisations virtuelles**

La plateforme Nanomonde du CIME Nanotech de Grenoble porte depuis plus de 15 ans des stations de réalité virtuelle (RV) pour la pédagogie des échelles nanométriques et les méthodes pédagogiques nouvelles associées. Ces stations relèvent des RV multisensorielles *vis-à-vis* ou *instrumentales* : chacune combine un système gestuel haptique à retour d'effort (SH), un algorithme simulant en temps réel des comportements physiques aux échelles nanométriques – en particulier des interactions entre la pointe d'un microscope AFM et des échantillons – et des retours visuels 3D et parfois sonores. Quatre postes, dont un transportable (PC portable puissant), sont actuellement ainsi équipés, chacun accueillant plusieurs applications de RV (1). Ces stations sont désormais utilisées par plus de 300 apprenants par an, à des niveaux universitaires variés (licence, master et doctorat), ainsi que par des lycéens (programme régional « Nano@School »).

*Dans le contexte de la pédagogie en nanoscience et nanotechnologie*, ces stations contribuent à l'apprentissage de lois physiques aux petites échelles, et plus spécifiquement des principes de la microscopie à force atomique (AFM) pour cartographier les propriétés morphologiques et rhéologiques d'échantillons micro- et nano-, jusqu'à l'échelle atomique. En entrant en interaction multi-sensori-motrice avec une scène virtuelle nano, l'utilisateur, pédagogue ou apprenant, expérimente *par* et *dans* son geste, et au travers de ses sens visuel et parfois auditif, les comportements nanométriques simulés. Une appréhension incarnée (*embodied knowledge*) de ces comportements et des lois et principes associés peut naître.

Ces stations sont également depuis peu utilisées pour des apprentissages *en ingénierie/STIC*, en tant que terrains d'étude exigeants, ludiques et propices à une pédagogie par *ingénierie inverse* des technologies d'interaction sensori-motrices : modélisation et simulation, architectures logiciel-matériel de calcul temps réel, haptique, transduction, etc.

Cet article présente succinctement les méthodes de travail adoptés pour la conception de ces stations, puis se focalise sur les récentes évolutions de la dernière-née de nos stations, NanoEnactive (2) : architecture logicielle et fonctionnalités récemment ajoutées.

## **II. Méthodes de travail pour la conception et l'évolution des stations et de la pédagogie**

La conception, l'implantation et la maintenance de stations de haute technicité de RV instrumentale pour la pédagogie, telles que celles du CIME, nécessitent de combiner un travail d'innovation pédagogique, des compétences en Nanoscience et Nanotechnologie, une activité d'innovation en STIC / RV / haptique, ainsi qu'un travail suivi d'ingénierie – car un usage intense en pédagogie ne peut s'accommoder de « prototypes de laboratoire ».

L'équipe cœur est actuellement constituée de enseignants-chercheurs, F. Marchi en Physique et nanosciences ainsi que de N. Castagné en Informatique/RV/haptique, complétés de collaborations ponctuelles avec d'autres collègues dans ces deux domaines. Le travail s'organise depuis 6 ans autour de l'encadrement de un à deux stagiaires par an, avec une implication à hauteur de l'ordre de 1 à 3 Hommes Mois pour chacun des permanents-cœur (hors pédagogie).

Le travail démarre en amont par une explicitation de besoins pédagogiques, lors de *brainstorming* avec les enseignants utilisateurs autour des stations. Ces besoins, instruits dans des rapports internes, concernent tout aussi bien les algorithmes de simulation, les qualités des rendus multisensoriels geste-son-image, les fonctionnalités des interfaces graphiques utilisateur ou encore l'ergonomie globale de la station. Les décisions de mise en œuvre sont prises annuellement selon les priorités pédagogiques, la faisabilité technique et le budget disponible.

La mise en œuvre elle-même s'appuie sur : 1/ une documentation des spécifications et développements dans des rapports internes ; 2/ des cycles incrémentaux courts durant les stages, typiquement de 1 à 3 semaines ; 3/ des tests réguliers par les enseignants ; 4/ une attention à la qualité Génie Logiciel du code produit (non régression, clarté et évolutivité de l'architecture logicielle, commentaires...).

Le code de chaque station est conservé dans un dépôt de suivi de version Git. Chaque dépôt accueille plusieurs branches, typiquement : *stable*, *correction de bugs*, *nouvelles fonctionnalités en cours de développement*. La branche *stable* permet de compiler et installer deux versions, qui coexistent dans les usages, accompagnées d'informations de version (numéro, date et conditions de compilation, etc) : une version *principale*, utilisée prioritairement en pédagogie, et une version *expert*, utilisée plutôt par les enseignants cœur du projet. Le basculement d'une nouvelle fonctionnalité dans la branche *stable* est fait au terme d'une campagne de tests plus poussée, d'abord dans la version *expert*, puis, au terme typiquement d'un an d'usage et d'éventuelles corrections, dans la version *principale*. Chaque version est accompagnée d'un manuel utilisateur et d'un manuel développeur, mis à jour annuellement.

## **III. La station NanoEnactive : jumeaux numériques interactifs**

La majorité des applications disponibles sur la plateforme Nanomonde, sont fondées sur un calcul temps réel d'équations physiques nanométriques, sans référence à un échantillon réel (3).

NanoEnactive (1,2), qui est la dernière-née de nos stations (2020), se distingue des précédentes par ses scènes virtuelles qui sont construites, au moyen d'un processus semi-automatisé, à partir de données expérimentales acquises par AFM (mode Peak Force) sur des échantillons réels : matrices (256x256) de *topographie*, de *raideur* et *d'adhésion* de l'échantillon réel. NanoEnactive présente ainsi des *jumeaux numériques interactifs* de nano-objets réels et d'une sonde AFM qui les explore, complétés par une interface graphique inspirée de celle des AFM. Elle permet aux apprenants d'investiguer de façon tangible, par leur sensori-motricité (geste à retour d'effort, retour visuel, son), ces jumeaux numériques. Ils/elles sont alors en situation de construire, au moyen de l'interaction sensori-motrice, une *compréhension incarnée* à la fois des nano-objets réels qui sont

simulés, et de la façon dont une sonde AFM en mode contact et/ou de spectroscopie de force, interagit avec eux. La Fig. 1 résume le fonctionnement de la station.

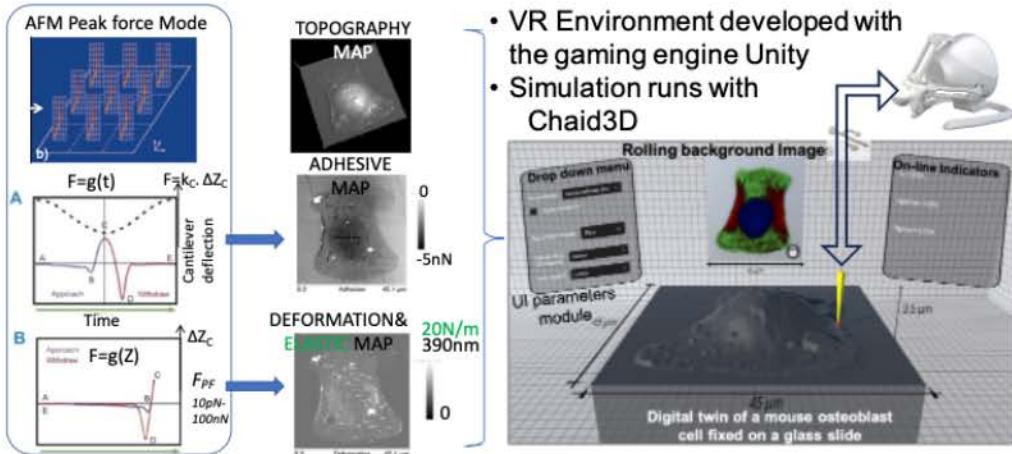


Fig.1. **La station NanoEnactive.** *A gauche*, les données expérimentales acquises sur échantillon réel. *A droite*, les principes de la station en cours de simulation. Premièrement, l'utilisateur choisit l'échantillon à explorer dans la collection de scènes disponible. L'environnement numérique s'affiche, il manipule alors le *end effector* du système à retour d'effort connecté (une boule). La position du *end effector* est transmise via un bus USB série au processus de simulation où à chaque pas de calcul, la position du *end effector* est affectée à la position d'un *scanner piezoélectrique* virtuel de microscope AFM, lui-même connecté à l'avatar de la pointe AFM. Quand un contact pointe-surface est détecté lors du déplacement de la pointe vers l'échantillon, une force pointe-échantillon est calculée en fonction des propriétés morpho-rhéologiques et d'adhésion locales de l'échantillon réel. La force est transmise à l'avatar du *end effector*, puis au *end effector* lui-même par l'effecteur électromécanique du système haptique. Ainsi, l'utilisateur acquiert la sensation gestuelle qu'il manipule un système pointe AFM-échantillon nanométrique réel – à ceci près, bien évidemment, que des anamorphoses d'échelles spatiales, de force et temporelle sont nécessairement réalisées. En parallèle, les positions des divers composants de l'échantillon et de l'AFM virtuels sont visualisées en 3D, un son bref (non généré par la physique sous-jacente du modèle), indique le contact ou le décrochage entre la pointe et la surface.

#### IV. Architecture logicielle et matérielle de la station NanoEnactive

L'architecture logicielle de la station NanoEnactive a fait l'objet en 2023 d'une refonte importante de plus de 50% du code par rapport à celui du prototype initial (2), dans l'objectif : 1/ d'augmenter la clarté et l'évolutivité du code pour les développeurs ; 2/ d'améliorer l'algorithme de simulation et le rendu haptique ; 3/ de permettre une bonne maîtrise des échelles par le développeur et l'utilisateur, tant pour le flux de visualisation 3D que pour échelles de position et de force du retour de force ; 4/ de rendre semi-automatique l'ajout de nouvelles scènes virtuelles à partir de données expérimentales AFM acquises sur d'autres échantillons réels ; 5/ d'ouvrir l'usage à plusieurs systèmes à retour d'effort, à présent en plus de Novint Falcon d'entrée de gamme initial, un système professionnel Oméga3 (Force Dimension) peut désormais être connecté. L'architecture logicielle repose sur 2 processus distincts inter-communiquant (Fig. 2) :

- Le premier, implanté dans la plateforme RV Unity, nommé *client*, est le point d'entrée de la station. Il supporte la visualisation temps réel 3D de la scène et les interfaces utilisateur : sélection de la scène parmi la collection disponible d'échantillons numériques, lancement/arrêt de la simulation, paramétrisation de l'affichage et de la simulation (zoom, etc.), enregistrement et visualisation par graphique des données de simulation, etc. Durant la simulation, l'affichage 3D s'effectue à 60Hz dans une boucle standard *Update* de Unity.
- Le second est le *serveur haptique*. Il s'agit d'un processus *multithread* développé en C++, lancé par le client. Le *thread* de simulation temps réel a comme principale dépendance le *framework* Chai3D. Chai3D abstrait les deux types de SH à retour d'effort avec lesquels la station fonctionne et supporte le cœur de simulation physique, ainsi que le *haptic display*. La simulation est calculée à 1 ou 8 Khz, suivant le SH connecté. Elle acquiert la position

du *end effector* du système à retour d'effort, exécute un pas de simulation physique de la scène, puis nourrit d'une part le retour de force sur le SH et d'autre part le client Unity en charge de la représentation visuelle de la scène.

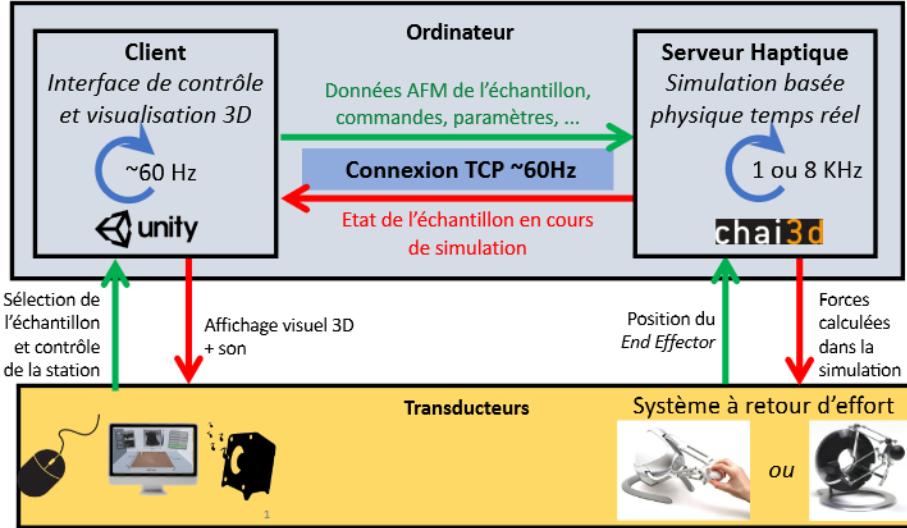


Fig.2. **Principes de l'architecture logicielle de la station NanoEnactive.** À l'initialisation, le *client* Unity transmet au serveur, au moyen d'un connexion locale TCP, les données AFM de l'échantillon réel choisi par l'utilisateur : matrices (256x256) de *topographie*, de *raideur* et d'*adhésion*, acquises durant une campagne expérimentale puis conditionnées pour la plateforme. Durant la simulation, le *serveur haptique* calcule la totalité de la simulation pour le retour de force, à 1 KHz si un système haptique Falcon est utilisé, ou 8 KHz avec l'Omega3. La connexion TCP client-serveur fonctionne alors de manière asynchrone, au moyen d'un protocole requête-réponse spécifique. Elle supporte un flux descendant client→serveur pour transmettre divers paramètres (zoom, rotations de la scène, etc.), et un flux montant, qui transmet à environ 60 Hz au client toutes les données de simulation : position de tous les éléments de la scène, forces calculées. A cette même fréquence d'environ 60 FPS, Unity est en charge de la visualisation 3D de la scène, ainsi que de la mise à jour de l'interface graphique : affichage alphanumérique des principales données forces et position, affichage des graphiques en cas d'enregistrement de la session interactive, etc. Le protocole de communication TCP a été optimisé pour que, malgré sa nature asynchrone et bufferisée (donc avec une latence incompressible), il ne nuise pas à la fluidité des retours visuels et sonores.

L'implantation d'un processus *serveur haptique* distinct découle du fait qu'une interaction gestuelle à retour d'effort nécessite : 1/ une bonne stabilité du pas de calcul ; 2/ une fréquence de calcul et d'entrée sortie depuis/vers le système à retour d'effort suffisamment haute, et en tout état de cause bien supérieure à celle d'un flux visuel temps réel. La plateforme Unity ne s'avère pas adaptée pour un retour d'effort de qualité correcte, même lorsqu'on a recours à une boucle Unity *FixedUpdate*. L'usage d'un processus temps réel dédié, tel que notre serveur haptique, assure une bien meilleure stabilité de l'interaction à retour d'effort – sans pour autant atteindre la qualité des simulations synchrones obtenue sur notre autre station NanoLearner (3), ce qui est *de facto* impossible actuellement sur un système d'exploitation standard tel que Windows.

Dans le serveur haptique, la boucle de simulation s'appuie désormais pour l'essentiel sur les fonctionnalités de Chai3D. Pour le rendu haptique, elle utilise l'algorithme de type *Haptic Display* (ou *Haptic Rendering*) intégré à Chai3D, inspiré de l'algorithme *God Object* (4) :

- La surface de l'échantillon est représentée dans Chai3D au moyen d'un maillage surfacique, construit à partir de la matrice de topographie acquise par AFM sur l'échantillon réel.
- Pour le *haptic display*, à chaque pas de simulation, en fonction de la nouvelle position du *end effector*, nous mettons à jour la valeur de la raideur associée au maillage dans l'objet Chai3D, en extrayant la raideur locale de l'échantillon, depuis la matrice de raideur acquise par AFM.
- La calcul de la force de retour haptique est déléguée ensuite à Chai3D au moyen de son implantation intégrée de l'algorithme *God Object* (4) pour la phase répulsive.

- Pour la phase adhésive, la simulation de la force s'enclenche si le mode « adhésion » est sélectionné dans l'IU, mais reste assez naïve. En effet, une fois un contact pointe-échantillon détecté, la pointe virtuelle à présent reliée au *end-effector* par d'un ressort de raideur  $K_L$  (simulation du levier), est maintenue collée à la surface. Quand l'utilisateur remonte le SH, l'intensité de la force adhésive appliquée au *end-effector* augmente jusqu'à atteindre la valeur enregistrée dans la matrice d'adhésion au pixel considéré, la pointe se décolle illustrant le saut au décrochage bien connu en spectroscopie AFM (5).

La nouvelle architecture a amélioré la qualité et la stabilité du retour d'effort, tout en simplifiant le code de simulation. Pour autant, le choix de s'appuyer sur les principes du *haptic display* tel qu'intégré dans Chai3D, principes usuels lorsqu'on a recours à l'interaction gestuelle à retour d'effort en réalité virtuelle 3D, n'est pas idéal. Cette approche *haptic display* du retour d'effort met par principe l'accent sur l'affichage haptique de la *morphologie* des objets, et moins sur les *qualités dynamiques* des couplages réel-simulation au travers du système haptique. Ainsi, à ce jour, nos tentatives pour introduire dans le calcul de simulation physique de notre serveur haptique une déformabilité de la surface des échantillons sous l'effet de la pointe AFM simulée, ou un modèle des forces nanométriques d'attraction / répulsion pointe-échantillon, n'a pas pu aboutir pleinement. De fait, dans le contexte du retour d'effort, il s'avère toujours délicat de faire cohabiter : 1/ une haute qualité dynamique des simulacres et de l'interaction, telle que celle permise par exemple sur notre station NanoLearner (3) grâce à ses boucles de simulation synchrones, son *hardware* de calcul spécifique, et l'usage du formalisme physique modulaire CORDIS-ANIMA (6) ; 2/ une complexité et finesse importantes des aspects géométriques, telle que celles indispensables pour représenter les surfaces des échantillons « jumeaux numériques » de la station NanoEnactive. Nos efforts devront être poursuivis vers cet objectif, qui relève de fait d'un des axes de recherche fondamental dans le domaine du retour d'effort.

## V. Tour d'horizon des fonctionnalités récentes

Depuis 2022, plusieurs fonctions ont été développées ou améliorées, la plupart sont intégrées dans la branche principale de l'application dans une version stable qui ne met pas en défaut l'application. Elles ont un objectif commun : enrichir l'expérience utilisateur en l'accompagnant dans sa découverte des phénomènes à l'échelle micro/nano et du fonctionnement du microscope AFM. Cette section introduit succinctement quatre d'entre-elles.

### A. Déformation visuelle de l'échantillon

Lorsqu'une sonde AFM interagit avec une surface, une force s'exerce sur la pointe et sur la surface de l'échantillon. En général l'extrémité de la pointe très rigide, conserve son intégrité géométrique, par contre le levier auquel elle est fixée, se déforme proportionnellement à l'intensité de force. Côté échantillon, cette force peut déformer localement sa surface si au point de contact sa rigidité est peu élevée ; sa propagation spatiale dépend de l'intensité de l'indentation et de l'élasticité surfacique globale. Dans notre application la déformation est rendue visible en modélisant la surface de l'échantillon par une série de masses et de ressorts. A chaque pixel  $i$  de l'image de topographie AFM est associée une masse  $m_i$  qui est reliée à une masse fixe représentant le substrat de l'échantillon par un ressort vertical  $k_i$  égal à l'élasticité mesurée par AFM en ce point (valeur lue dans matrice de raideur). La rigidité latérale surfacique autour de chaque pixel  $i$  est modélisée par quatre ressorts, latéraux  $k_{Lat}$  reliant chaque masse ( $i$ ) à ses quatre voisines ( $i \pm 1$ ) ; leur valeur est la moyenne entre  $k_i$  et  $k_{(i-1)}$  ou  $k_{(i+1)}$ . Ce modèle est implanté côté serveur, sa fréquence de calcul minimale est de 50Hz pour assurer un retour visuel perçu comme fluide par l'utilisateur. Notons que le modèle dédié au retour haptique est plus simple afin de tourner à une fréquence minimale de 1kHz et ainsi assurer une perception utilisateur instantanée et continue.

## **B. Zooms visuel et haptique**

Dans une application multisensorielle incluant le retour de force, deux types de Zoom sont souvent disponibles : Visuel et haptique. Dans notre application, grâce au Zoom visuel, la zone sélectionnée s'affiche sur la totalité de l'écran augmentant ainsi la visibilité de cette portion d'échantillon tandis que grâce au zoom haptique l'espace 3D de travail du système haptique s'ajuste au volume virtuel sélectionné amplifiant ainsi la correspondance entre les déplacements du SH et l'avatar de la pointe AFM. Pour les implémenter, nous nous sommes inspirés de l'approche récente (7) dédiée aux SH à retour de force de table utilisés dans de vastes scènes virtuelles. Notons que cette étude a révélé qualitativement que le zoom haptique est le plus efficace pour réaliser des tâches requérant de la précision ; ce résultat conforte nos simples observations menées lors des TP et/ou ateliers.

## **C. Rotation de l'échantillon**

Dans un menu déroulant de l'UI, quatre valeurs d'angle de rotation de l'échantillon sont sélectionnables (90/180/270/360 degrés) offrant ainsi trois visualisations différentes par rapport à celle initiale définie lors de l'enregistrement AFM. Ainsi, les points ou structures situés à l'arrière ou sur les flancs des zones hautes de l'échantillon dans la visualisation initiale, se dévoilent facilitant leur observation haptique. Au plan logiciel, la fonction rotation requiert deux implantations complémentaires : 1/ côté serveur haptique pour gérer la rotation des données de chacune des trois matrices de données expérimentales (topographie/adhésion/élasticité) et maintenir leur l'alignement avec le maillage, action faite quasi-instantanément lorsque l'ordre de rotation est reçu ; 2/ côté UNITY pour afficher une transition progressive afin que l'utilisateur suive visuellement son exécution et identifie facilement le sens de rotation.

## **D. Affichage et Enregistrement des données lors du déplacement de la sonde AFM**

A l'activation, ce module se place en surimpression de la cartographie de fond ; durant le trajet de la pointe contrôlé via le SH et selon la demande (en cochant des cases via la souris), plusieurs signaux s'y affichent en fonction du temps : position verticale de la pointe, topographie de l'échantillon, intensité de la force pointe-surface. Ces données peuvent s'enregistrer dans un fichier Excell pour être traitées et analysées à postériori comme cela est le cas de données AFM enregistrées au cours d'une expérience.

## **Remerciements**

Soutiens financiers : Volet Formation de l'IDEX Université Grenoble Alpes, CIME Nanotech via le projet INFORISM du programme France 2030.

Accompagnement: V. Bolcato, technicienne du CIME et les membres de l'ACROE.

## **Références**

- 
1. F. Marchi, J. Friot, L. Fousse, N. Bain, J. Carrez, V. Bolcato et N. Castagné, : J3eA, 21 (2022).
  2. C. Petit *et al*, Journal of Micro-Bio Robot 16, 147–160 (2020).
  3. F. Marchi, J. Castet, S. Marlière, N. Castagné, J. Chevrier, A. Luciani, J.L. Florens, J3eA, 9, 0014, (2010)
  4. C. B. Zilles and J. K. Salisbury International Conference on Intelligent Robots and Systems, Proc.(1995)
  5. R. Gautier, C. Petit, V. Bolcato, E. Planus, F. Marchi, J3eA, 18, 1004, (2019)
  6. C. Cadoz, A. Luciani, J-L Florens. *Computer Music Journal*, 1993, 17-1, pp.19-29.
  7. A. Gutiérrez-Fernández, C. Fernández-Llamas, G. Esteban, M. Conde, International Journal of Human-Computer Interaction, 39(4), 851–862 (2022)

# L'apport des sciences cognitives pour l'apprentissage procédurale en salle blanche.

M. Turpin<sup>a,b</sup>, C. Tordet<sup>b</sup>, F. Fabbri<sup>a</sup>, F. Zenasni<sup>b</sup>, G. Agnus<sup>a</sup>

<sup>a</sup>Centre de Nanosciences et de Nanotechnologies (C2N), Université Paris-Saclay, France

<sup>b</sup>Laboratoire de Psychologie et d'Ergonomie Appliquée (LaPEA), Université Paris Cité, France

Contact : guillaume.agnus@universite-paris-saclay.fr

Acquérir une compétence au cours d'un apprentissage permet de la mémoriser et potentiellement de la mobiliser dans d'autres contextes. Lorsque les apprenant·e·s réalisent des travaux pratiques en salle blanche, ils·elles sont confronté·e·s à différents équipements, mais ne peuvent pas toujours, pour des raisons de sécurité et de maintenance, s'y exercer directement. L'apprentissage par observation, en particulier lorsqu'il s'agit d'un apprentissage moteur, présente certaines limites. Le présent article propose un apprentissage par expérimentation (essai-erreur) en utilisant les technologies immersives en complément de la formation traditionnelle, pour pallier à ses limites. La démarche adoptée s'appuie sur une approche de conception centrée utilisateur, tout en évaluant la cohérence de l'outil dans le cadre de l'apprentissage en salle blanche.

## I. Démarche de conception d'un outil pédagogique pour la manipulation des équipements en salle blanche.

La conception centrée utilisateur est une démarche empruntée à l'ergonomie cognitive (Nelson, 2011). Elle s'opère dès lors qu'une interface homme-machine doit être conçue en adéquation avec les besoins des demandeurs et les caractéristiques des utilisateurs. Dans le cas de la conception d'un jeu pédagogique en réalité virtuelle, la pertinence et l'efficacité de cette démarche a de nombreuses fois été démontrée, à la fois pour la mémorisation et le transfert des compétences (Checa & Bustillo, 2020 ; Soliman et al., 2021). Concernant l'apprentissage des procédures en salle blanche, plusieurs défis se dressent : technicité des gestes de manipulation et de sécurité, pluralité des équipements et compréhension du fonctionnement pratique et théorique de ces équipements. Nous proposons d'appliquer une analyse ergonomique et cognitiviste de cette activité en salle blanche afin de développer un outil de réalité virtuelle (RV) visant à former les étudiant·e·s aux manipulations des équipements en salle blanche. Cet outil innovant présente l'avantage d'être peu coûteux, tant sur le plan matériel qu'humain, en réduisant notamment la consommation de silicium et d'autres métaux nécessaires à la formation en salle blanche. Il permet également de limiter les risques liés à l'introduction d'un groupe d'étudiant·e·s dans cet environnement sensible (surveillance accrue, respect des protocoles de sécurité, risque de contamination, etc.). Enfin, il offre la possibilité aux étudiant·e·s de se confronter directement à des situations de fabrication avancée, de manière autonome et encadrée. Ainsi, chaque étudiant·e bénéficierait d'une formation personnalisée, pouvant être suivie et évaluée par le·la formateur·rice.

### A. Recueil des besoins pour la création de l'outil en réalité virtuelle : méthode

Une première étape consiste à comprendre et à analyser les besoins exprimés par les formateur·rice·s en salle blanche. Dans cet objectif, nous réalisons des observations vidéo des travaux pratiques (TP) avec des étudiant·e·s spécialisé·e·s ou en voie de spécialisation en

microtechnologies et microsystèmes (cf. Figure 1). Cette première étude de terrain permettra de relever des indices quantitatifs liés aux interactions entre élèves et formateur·rice·s, entre élèves, ainsi qu'entre élèves et équipements lors d'un TP de typiquement quatre heures en salle blanche. Ces données seront croisées avec les résultats issus de sondages et d'entretiens menés auprès d'élèves, de formateur·rice·s et d'enseignant·e·s-chercheur·euse·s. Une troisième étape d'analyse repose sur l'étude du fonctionnement des différents équipements disponibles dans la salle blanche dédiée à la formation du C2N (évaporateur à canon à électrons, équipement de pulvérisation cathodique, tournette, plaque de recuit, aligneur de lithographie optique, équipement de gravure ionique réactive et gravure humide). Autrement dit, il s'agit d'examiner les différents états des équipements ainsi que les interactions à la fois humain-machine et outil-machine permettant de passer d'un état à un autre. Une attention particulière doit être portée aux procédés en salle blanche (techniques de gravure ou de lift-off) et aux résultats physiques sur l'échantillon à chacune de leurs étapes (ce que nous appellerons plus tard les « métaphores physiques », cf. Figure 2). À l'issue de cette démarche, nous définissons un ensemble d'objectifs pour l'outil en RV et proposons un design pédagogique adapté aux exigences d'évaluation des enseignant·e·s et aux profils des étudiant·e·s de cette discipline.



Fig.1. Trois photographies extraites de vidéos réalisées dans une démarche d'observation et d'analyse des gestes techniques, d'une part, et des interactions entre les élèves et les équipements lors des TP, d'autre part. La photo de gauche montre le formateur tenant un masque à insérer dans l'appareil lithographique pour l'insolation de l'échantillon. La photo du milieu représente le formateur insérant l'échantillon dans l'appareil. Enfin, l'image de droite illustre l'insertion du masque dans son encoche pour le centrer sur l'échantillon.

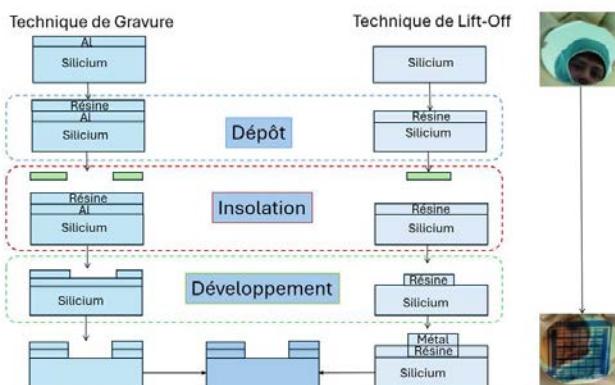


Fig.2. Dessins illustrant schématiquement l'état de l'échantillon à la fin de chaque étape, en fonction de la technique utilisée dans le procédé de fabrication. Chaque dessin représentant un état de l'échantillon correspond à ce que l'on appelle « une métaphore physique ». À gauche sont représentées, de haut en bas, les métaphores physiques pour les étapes : dépôt de métal, dépôt de résine, insolation, développement et extraction du métal pour la technique de gravure. À droite sont représentées, de haut en bas, les métaphores physiques pour les étapes : initiale, dépôt de résine, insolation, développement et dépôt de métal pour la technique Lift-off.

## B. Exigences et objectifs de l'outil définis à l'issu de l'analyse des besoins

L'un des objectifs est que les étudiant·e·s puissent s'entraîner directement sur les équipements, dans un cadre sécuritaire où les erreurs sont possibles, afin qu'ils·elles apprennent en expérimentant

directement dans une simulation de la salle blanche. Une importance particulière est accordée à l'autonomie et l'accessibilité de l'outil. Un point primordial consiste à éviter toute rupture de l'interaction entre les élèves et l'enseignant·e ; l'outil immersif se veut, complémentaire à la formation traditionnelle, afin de faciliter l'apprentissage en salle blanche (meilleure sensibilisation aux gestes de sécurité, enjeux des pratiques en salle blanche, diminution des erreurs dans une salle blanche réelle, etc.). La question des modalités d'administration spatio-temporelles (« où » et « quand ») de l'outil pédagogique doit être considérée en cohérence avec les formations déjà existantes. L'outil pourrait, selon les besoins exprimés par les enseignant·e·s, permettre l'évaluation ou l'auto-évaluation technico-pratique du comportement et des manipulations en salle blanche. Autrement dit, il s'agirait d'apprécier la qualité des gestes techniques et leur cohérence dans le processus de fabrication. Ainsi, l'outil comprendrait un système de *feedback* personnalisé pour chaque étudiant·e concernant les erreurs de manipulation, le résultat de la manipulation sur l'échantillon (motif, composition, contamination, etc.) et le temps mis pour réaliser les différentes activités.

### C. Développement, illustration et test utilisateur

La conception de l'outil pédagogique s'appuie sur plusieurs activités itératives à coordonner : analyser les besoins, proposer des solutions de conception, développer l'outil (programmation et conception) et réaliser des tests utilisateurs. Plusieurs acteur·rice·s collaborent pour suivre ces démarches et s'assurer de l'efficience de l'outil. Dans le présent projet, la démarche d'analyse et de tests relève des sciences cognitives. Les connaissances techniques en salle blanche à implémenter dans l'outil pédagogique seront définies et vérifiées par les nanosciences. Enfin, des développeur·se·s travailleront sur la partie programmation et conception de l'outil. Malgré cette répartition des rôles, chaque acteur·rice interviendra dans toutes les étapes.

L'explication du déroulement des tests utilisateurs permet d'illustrer l'enjeu de cette collaboration pluridisciplinaire. À partir d'un prototype de l'outil pédagogique (*cf. Figure 3*), comprenant une activité minimale<sup>1</sup>, ces tests seront réalisés. Ces tests consistent à administrer le prototype aux potentiels utilisateur·rice·s (les étudiant·e·s et les enseignant·e·s en nanosciences) afin d'observer et de recueillir les failles d'utilisation du dispositif (usage peu intuitif, mauvaise compréhension de la manipulation, etc.). Ces failles sont recueillies en observant directement les interactions de l'utilisateur avec l'environnement virtuel. Les indices de performances (erreurs et durées) et l'expérience subjective rapportée verbalement par les utilisateurs permettent aussi d'apprécier les éventuelles failles du système. Suite à ces retours utilisateurs, des modifications seront apportées au prototype de manière à répondre aux exigences pédagogiques, tout en prenant en compte les limites cognitives et les différences de fonctionnement de chaque individu.



Fig.3. Illustration d'un jumeau virtuel (à droite) de la sorbonne dédiée au dépôt et au recuit (à gauche).

<sup>1</sup> Exemple : dans un contexte de gravure lithographique, réaliser un dépôt de résine positive (viscosité x) sur un échantillon de petite taille, sur une tournette

## II. Comment tester l'utilisation optimale de l'outil en réalité virtuelle pour apprendre les procédures techniques en salle blanche.

La formation a pour objectif le développement d'une compétence. Nous reconnaissions qu'il y a eu apprentissage d'une compétence lorsque celle-ci est (a) retenue en mémoire à long terme et (b) qu'elle est généralisable à d'autres contextes. Nous identifions trois étapes pour évaluer un apprentissage : une étape d'acquisition (entraînement à la compétence qu'on veut développer), une étape de rétention (restitution de la compétence apprise) et une étape de généralisation (transfert de la compétence dans d'autres environnements). Des chercheur·euse·s proposent des modèles cognitivistes pour comprendre comment les jeux sérieux peuvent favoriser l'apprentissage (Asad et al., 2021; Park & Brünken, 2015; Suzuki et al., 2024). Par exemple, l'*« Activity Based-Theory of Serious Game »* (ATMSG), développé par Carvalho et al. (2015) permet d'analyser structurellement comment les différents éléments d'un jeu soutiennent l'apprentissage. Ce modèle distingue trois dimensions : le jeu (centré sur l'action de l'apprenant·e), l'apprentissage (centré sur l'acquisition de connaissances et de compétences), et l'enseignement (centré sur les objectifs pédagogiques intégrés dans la conception du jeu ou dans son utilisation encadrée). Chaque activité peut être décrite à travers une suite d'actions et d'opérations influencées par le contexte et les outils utilisés. Dans la présente étude, nous sélectionnons des activités en salle blanche, que nous analysons à l'aide de ce modèle. A l'issue de cette analyse, un design pédagogique adapté sera proposé pour ces activités. La manipulation des équipements en salle blanche nécessite de comprendre leur fonctionnement, les procédés de fabrication en général, ainsi que leur utilité. L'apprentissage y est donc à la fois moteur et théorique. L'étude propose de tester différents formats d'entraînement des manipulations en salle blanche, dans l'objectif de déterminer lequel est le plus efficient pour ce type d'apprentissage.

### A. Étape d'acquisition pour l'apprentissage moteur

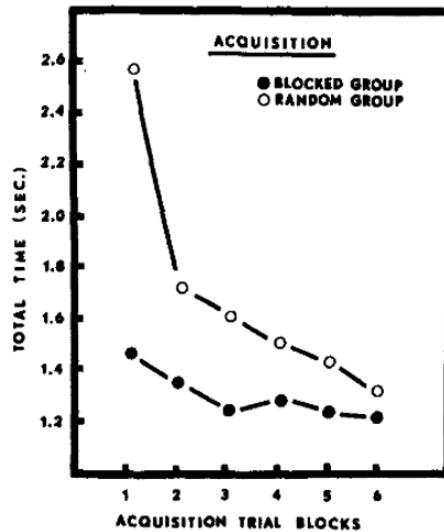


Fig.4. Graphique des résultats extrait de l'article de Shea et Morgan (1979). L'axe des abscisses désigne le nombre d'essais d'entraînement dans l'étape d'acquisition (la première unité correspond au premier essai pour chacun des trois tâches administrées). L'axe des ordonnées correspond au temps total de réalisation des tâches (en seconde). En légende, les points noirs correspondent aux résultats pour le format groupé (« Blocked ») et les points blancs aux résultats pour le format aléatoire. La décroissance du temps mis pour réaliser les tâches en fonction du nombre d'essais témoigne d'une progression des performances lors de l'apprentissage : elle est observée pour les deux groupes. En moyenne, le format groupé présente des temps de réalisation plus courts que le format aléatoire en phase d'acquisition ( $p<0.05$ ).

La production d'un geste moteur implique plusieurs étapes : sa planification, son exécution et son contrôle (Flanagan et al., 2003). L'apprentissage moteur s'apprécie en mesurant les performances

(temps du mouvement, nombre d'erreurs, etc.). Plusieurs études ont mis en évidence un phénomène statistiquement robuste lié à l'apprentissage lors de la phase d'acquisition (Gates and Scarpa, 1972) : au fur et à mesure des sessions d'entraînement pour une activité, les temps de réalisation diminuent progressivement jusqu'à atteindre un temps seuil correspondant au temps minimal de réalisation de l'activité. De façon analogue, le nombre d'erreurs diminue au fur et à mesure des sessions. Autrement dit, les performances augmentent avec l'entraînement. De plus, un effet robuste (nombreuses réplications de résultats inférentiels et significatifs) lié aux formats d'entraînement a été mis en évidence (Chalavi et al., 2018; Shea & Morgan, 1979; Shewokis et al., 2017). Un format groupé caractérisé par un apprentissage massé et successif des tâches/activités (AAA, CCC, BBB) ; et, d'autre part, un format aléatoire, c'est-à-dire un entraînement où l'ordre des tâches est mélangé (ACB, CAB, BCA). Les apprenant·e·s ayant réalisé l'étape d'acquisition au format aléatoire prennent plus de temps que les personnes en format groupé pour acquérir les compétences (*cf. Figure 4*). En entraînant des élèves dans la salle blanche virtuelle, nous nous attendons à retrouver ce même pattern d'apprentissage pendant l'acquisition.

#### B. Étape de rétention : mémorisation des gestes et procédures

Au cours de l'apprentissage moteur, différentes formes de mémoire sont mobilisées – notamment la mémoire de travail, la mémoire à long terme et la mémoire procédurale – à travers des processus cognitifs, associatifs et d'automatisation (Anderson, 1992; Fitts, 1964). Concernant l'étape de restitution, il s'agirait d'évaluer la capacité de rappel des manipulations réalisées sur l'outil pédagogique de la salle blanche lors de l'acquisition, effectuée 72h avant (mémoire de travail et mémoire procédurale). En mesurant le nombre d'erreurs de rappel et de manipulation, ainsi que les temps de réalisation des activités (ex : réaliser un dépôt de résine), il est possible de mesurer ces capacités de rappel.

En comparant les capacités de rappel entre les étudiant·e·s ayant appris en format aléatoire et les étudiant·e·s en format groupé, nous formulons l'hypothèse que le format aléatoire permet une meilleure rétention des activités apprises lors de l'acquisition, par rapport au format groupé. Selon la littérature en cognition sur l'apprentissage moteur, le format aléatoire permet un traitement profond des activités apprises en phase d'acquisition (analyse des séquences d'actions qui composent l'activité et analyse des similitudes entre les différentes activités apprises). Par conséquent, l'encodage (trace) mnésique de l'activité ainsi apprise reste plus longtemps en mémoire à long terme que lorsque l'activité a été apprise en format groupé (Lee & Magill, 1983; Keller, 2006).

#### C. Étape de généralisation : les compétences apprises dans un contexte réel

L'un des éléments les plus importants pour évaluer la pertinence de l'outil que nous développons est de déterminer à quel point l'entraînement en RV permet de transférer les compétences acquises à la salle blanche réelle. Pour cette raison, nous entraînerons des étudiant·e·s à manipuler différents équipements en RV (l'outil pédagogique évoqué précédemment). Par la suite, nous évaluerons leurs compétences pour manipuler ces mêmes équipements directement dans la salle blanche réelle du C2N (dans la partie formation). Nous nous attendons à ce que l'entraînement en RV ait effectivement permis de développer leur compétence en salle blanche. Concernant la comparaison des formats d'apprentissage (groupé et aléatoire), nous formulons l'hypothèse forte (appuyée par la littérature et les statistiques inférentielles) que ces capacités de transfert sont plus amplement observées pour le format aléatoire. Une explication fournie par diverses études est que le format aléatoire présente différents contextes d'apprentissage lors de l'acquisition (nombreuses variations d'activités lors de l'apprentissage). Par conséquent, les différentes activités sont encodées indépendamment du contexte d'apprentissage, ce qui permet de mieux généraliser l'activité (ou la compétence apprise) à d'autres situations (Shea & Zimny, 1983; Wright, 1991).

## Remerciements

Des premiers remerciements sont dédiés au projet INFORISM sans qui ce projet n'aurait pas vu le jour. Nous souhaitons remercier particulièrement le projet européen CHIPS pour le soutien apporté à ces travaux. Enfin, des grands remerciements sont dédiés aux universités Paris-Saclay et Paris-Cité, plus particulièrement au centre de Nanosciences et de Nanotechnologies (C2N) et au laboratoire de Psychologie et d'Ergonomie Appliquée (LaPEA), respectivement. Enfin, en tant qu'investigatrice principale de cette étude, je remercie sincèrement l'ensemble de mes codirecteurs et encadrant.e.s : Guillaume Agnus, Franck Zenasni, Camille Tordet et Filippo Fabbri.

## Références

1. Anderson, J. R. (1992). Automaticity and the ACT Theory. *The American Journal of Psychology*, 105(2), 165-180. <https://doi.org/10.2307/1423026>
2. Asad, M. M., Naz, A., Churi, P., & Tahanzadeh, M. M. (2021). Virtual Reality as Pedagogical Tool to Enhance Experiential Learning : A Systematic Literature Review. *Education Research International*, 2021(1), 7061623. <https://doi.org/10.1155/2021/7061623>
3. Carvalho, M. B., Bellotti, F., Berta, R., De Gloria, A., Sedano, C. I., Hauge, J. B., Hu, J., & Rauterberg, M. (2015). An activity theory-based model for serious games analysis and conceptual design. *Computers & Education*, 87, 166-181. <https://doi.org/10.1016/j.compedu.2015.03.023>
4. Chalavi, S., Pauwels, L., Heise, K.-F., Zivari Adab, H., Maes, C., Puts, N. A. J., Edden, R. A. E., & Swinnen, S. P. (2018). The neurochemical basis of the contextual interference effect. *Neurobiology of Aging*, 66, 85-96. <https://doi.org/10.1016/j.neurobiolaging.2018.02.014>
5. Checa, D., & Bustillo, A. (2020). A review of immersive virtual reality serious games to enhance learning and training. *Multimedia Tools and Applications*, 79(9), 5501-5527. <https://doi.org/10.1007/s11042-019-08348-9>
6. Fitts, P. M. (1964). Perceptual-Motor Skill Learning—ScienceDirect. <https://www.sciencedirect.com/science/article/abs/pii/B9781483231457500169>
7. Flanagan, J. R., Vetter, P., Johansson, R. S., & Wolpert, D. M. (2003). Prediction Precedes Control in Motor Learning. *Current Biology*, 13(2), 146-150. [https://doi.org/10.1016/S0960-9822\(03\)00007-1](https://doi.org/10.1016/S0960-9822(03)00007-1)
8. Gates M Scarpa A Learning and experience curves. 1972 *Journal of the Construction Division*, ASCE 98(CO1), March, proceedings papers 8778 pp. 79–10
9. Keller, G. J., Li, Y., Weiss, L. W., & Relyea, G. E. (2006). Contextual interference effect on acquisition and retention of pistol-shooting skills. *Perceptual and Motor Skills*, 103(1), 241-252. <https://doi.org/10.2466/pms.103.1.241-252>
10. Lee, T., & Magill, R. (1983). The locus of contextual interference in motor-skill acquisition. *Journal of Experimental Psychology-learning Memory and Cognition - J EXP PSYCHOL-LEARN MEM COGN*, 9, 730-746. <https://doi.org/10.1037/0278-7393.9.4.730>
11. Nelson, J. (2011). Contribution à l'analyse prospective des usages dans les projets d'innovation [Phdthesis, Arts et Métiers ParisTech]. <https://pastel.hal.science/pastel-00620406>
12. Park, B., & Brünken, R. (2015). The Rhythm Method : A New Method for Measuring Cognitive Load—An Experimental Dual-Task Study. *Applied Cognitive Psychology*, 29(2), 232-243. <https://doi.org/10.1002/acp.3100>
13. Shea, J. B., & Morgan, R. L. (1979). Contextual interference effects on the acquisition, retention, and transfer of a motor skill. *Journal of Experimental Psychology: Human Learning and Memory*, 5(2), 179-187. <https://doi.org/10.1037/0278-7393.5.2.179>
14. Shea, J., & Zimny, S. (1983). Context Effects in Memory and Learning Movement Information. In *Memory and Control of Action* (Vol. 12, p. 345-366). [https://doi.org/10.1016/S0166-4115\(08\)61998-6](https://doi.org/10.1016/S0166-4115(08)61998-6)
15. Shewokis, P. A., Shariff, F. U., Liu, Y., Ayaz, H., Castellanos, A., & Lind, D. S. (2017). Acquisition, retention and transfer of simulated laparoscopic tasks using fNIR and a contextual interference paradigm. *The American Journal of Surgery*, 213(2), 336-345. <https://doi.org/10.1016/j.amjsurg.2016.11.043>
16. Soliman, M., Pesyridis, A., Dalaymani-Zad, D., Gronfula, M., & Kourmpetis, M. (2021). The Application of Virtual Reality in Engineering Education. *Applied Sciences*, 11(6), 2879. <https://doi.org/10.3390/app11062879>
17. Suzuki, Y., Wild, F., & Scanlon, E. (2024). Measuring cognitive load in augmented reality with physiological methods : A systematic review. *Journal of Computer Assisted Learning*, 40(2), 375-393. <https://doi.org/10.1111/jcal.12882>
18. Wright, D. L. (1991). The Role of Intertask and Intratask Processing in Acquisition and Retention of Motor Skills. *Journal of Motor Behavior*, 23(2), 139-145. <https://doi.org/10.1080/00222895.1991.9942031>

# **La réalité virtuelle au service de l'apprentissage en salle blanche : le projet “Mission : Salle Blanche”**

C. Ternon<sup>a</sup>, K. Cauchois<sup>b</sup>, G. Cornu<sup>c</sup>, D. Constantin<sup>d</sup>, P. Arnaud<sup>c</sup>

<sup>a</sup> Grenoble INP – Phelma, UGA et pôle CNFM de Grenoble, Grenoble, France

<sup>b</sup> Grenoble INP – Perform, UGA, Grenoble, France

<sup>c</sup> Maison Pour la Science en Alpes Dauphiné (MPLS-AD), Grenoble, France

<sup>d</sup> CIME Nanotech, Pôle CNFM de Grenoble, Grenoble, France

Contact email : [celine.ternon@grenoble-inp.fr](mailto:celine.ternon@grenoble-inp.fr)

L'enseignement des procédés microélectroniques repose sur des environnements techniques complexes, tels que les salles blanches, où l'entrée se fait en groupe restreint, avec un taux d'encadrement élevé et un accès au matériel expérimental très encadré. Ainsi, la formation au sein de ces environnements reste difficile d'accès en raison des contraintes de coût et de disponibilité. Le projet “Mission : Salle Blanche” propose une approche alternative fondée sur la réalité virtuelle et la gamification pour sensibiliser le grand public à la microélectronique et à la fabrication de cellules solaires de première génération tout en offrant un outil de formation destiné aux étudiants et étudiantes du supérieur. L'article présente la mise en œuvre du projet, les objectifs pédagogiques, les outils développés, les résultats observés, ainsi qu'une analyse critique sur la place de ces dispositifs dans l'enseignement scientifique.

Vidéo de présentation du dispositif :

<https://youtu.be/YGM7Aua79fs?si=tFnwtrPiP9kYIxu1>

Visite virtuelle :

[https://www.visite-interactive.com/phelma\\_salles\\_blanches/](https://www.visite-interactive.com/phelma_salles_blanches/)

## **I. Introduction**

Les salles blanches constituent un cadre incontournable de l'industrie microélectronique. Par conséquent, l'enseignement des procédés microélectroniques exige le recours à cet environnement et impose des contraintes pédagogiques spécifiques : complexité technique et coûts liés à l'usage d'équipements en salle blanche. Ces obstacles peuvent ainsi limiter la possibilité d'un apprentissage expérientiel, pourtant essentiel à la compréhension des phénomènes. Dans ce contexte, la réalité virtuelle s'impose comme un levier prometteur pour la découverte de cet environnement et comme un outil d'apprentissage immersif reproduisant des conditions expérimentales complexes en s'affranchissant de leurs contraintes physiques, tout en favorisant la manipulation symbolique, l'apprentissage actif et l'engagement cognitif.

Le projet “Mission : Salle Blanche”, développé à Grenoble INP – Phelma, en collaboration avec CIME-Nanotech, et la Maison Pour la Science Alpes-Dauphiné, s'inscrit dans cette dynamique en proposant un environnement virtuel interactif dédié à la découverte de la salle blanche, à la compréhension des procédés de fabrication de cellules solaires de première génération et à l'importance de la caractérisation en ligne. Il fait suite au développement du TP Cellule Photovoltaïque (1-3). Ce dispositif vise autant la sensibilisation du grand public que la formation des étudiants et étudiantes en sciences des matériaux et en microélectronique.

## II. Contexte institutionnel et cadre théorique

### A. Contexte

La mise en place de ce projet résulte de plusieurs constats concordants. Tout d'abord, dans le cadre d'une action visant à offrir une plus grande accessibilité des lieux de sciences à l'ensemble de l'académie de Grenoble, la Maison Pour La Science Alpes Dauphiné (MPLS-AD) a impulsé, entre autres, le développement d'une visite virtuelle centrée sur la salle blanche dont l'objectif était de permettre une visite à plusieurs niveau (Grand public, public scientifique, enseignement supérieur spécialisé). Par ailleurs, afin de permettre aux élèves de première année de se projeter dans les métiers de la microélectronique avant de choisir leur spécialisation sans pour autant les emmener en salle blanche, l'idée de développer un jeu vidéo permettant de comprendre le concept de filière d'intégration, de découvrir et d'utiliser des techniques de caractérisation tout en s'informant sur l'environnement salle blanche s'est imposée. « Mission : Salle Blanche » illustre ainsi la convergence entre vulgarisation scientifique, ingénierie pédagogique, recherche scientifique et innovation numérique. (Figure 1)

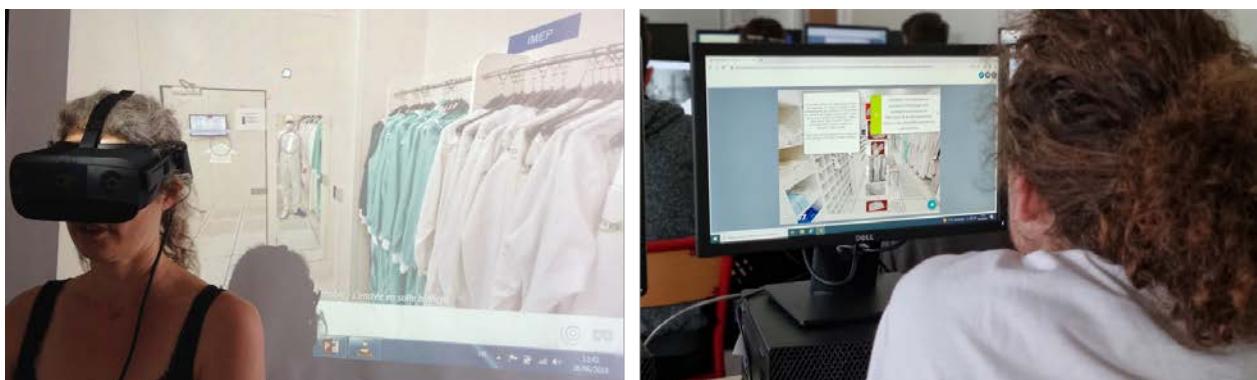


Fig.1. Visite virtuelle en situation immersive avec masque à réalité virtuelle et aperçu du jeu vidéo.

### B. Financement et temporalité

La méthodologie adoptée repose sur une démarche de conception itérative et participative (Tableau 1). L'équipe projet a associé des personnes enseignantes, ingénierues pédagogiques et dévelopeuses. Les activités ont été testées auprès d'élèves de première année dans le cadre de l'enseignement de pré-orientation IPhy-Nanotech. Les retours qualitatifs ont permis d'améliorer la jouabilité, la précision des contenus et l'équilibre entre réalisme scientifique et accessibilité.

Tableau 1 : Chronologie du projet « Mission Salle Blanche ».

Date	Etape	Description	Porteur
04/2020	Première visite virtuelle	Lancement du projet et développement de la visite immersive de la salle blanche.	MPLS - AD
07/2021	Première version du jeu	Création du jeu de simulation scientifique basé sur la caractérisation de cellules photovoltaïques.	Phelma
05/2022	Première diffusion de la mission	Intégration du dispositif dans les modules de pré-orientation IPhy-Nanotech à Grenoble INP-Phelma.	Phelma
10-12/2022	Traduction en anglais	Traduction des textes par une professionnelle et intégration à la visite virtuelle et au jeu vidéo	IRT-Nanoelec
05/2023	Deuxième diffusion	Optimisation technique, correction des bugs et enrichissement des scénarios pédagogiques.	Phelma

Le projet a bénéficié de financements croisés : IDEX Formation UGA (ingénierie pédagogique 15k€), Grenoble INP–Phlema (assistant ingénieur et traduction, 7400€), et IRT Nanoelec (développement de la visite virtuelle 5000€), auxquels s'ajoute l'investissement temporel de la porteuse de projet. Cette diversité de soutiens illustre l'intérêt stratégique de la simulation immersive pour la formation scientifique. Le tableau 1 présente le déroulé temporel de la mise en œuvre du projet.

### C. Cadre théorique

Le recours à la réalité virtuelle (RV) en éducation s'inscrit dans le paradigme de la pédagogie active et du constructivisme. Ces approches soutiennent que la connaissance se construit à travers l'expérience, l'action et la réflexion. De plus, selon Mayer (4), l'apprentissage multimodal améliore le transfert de connaissances lorsqu'il combine images, sons et interactions. Ainsi, l'usage de la réalité virtuelle en éducation repose sur plusieurs principes. Tout d'abord, l'immersion virtuelle permet de simuler un environnement complexe où l'apprenant agit, observe les conséquences de ses décisions et ajuste ses stratégies en temps réel. Ensuite, la gamification favorise la motivation intrinsèque en mobilisant des mécanismes de récompense, de progression et de feedback immédiat. Enfin, la RV offre un cadre sécurisé pour expérimenter des gestes techniques sans risque matériel, permettant ainsi d'apprendre par l'erreur, une dimension essentielle à la formation scientifique.

Par ailleurs, dans le domaine de la microélectronique, la maîtrise des procédés en salle blanche exige rigueur, observation et compréhension fine de la filière d'intégration, des procédés de fabrication et des techniques de caractérisation. Ces compétences se développent traditionnellement par la pratique, souvent limitée à de petits groupes avec un encadrement fortement guidé. Le projet "Mission : Salle Blanche" propose une alternative permettant une démocratisation de ces apprentissages, sans compromettre la précision scientifique.

## III. Présentation du projet

Deux outils principaux ont été développés : une visite virtuelle scénarisée de la salle blanche et un jeu vidéo interactif de type « point-and-click ». En fonction du public cible, ces outils peuvent être utilisés séparément ou de manière complémentaire, permettant ainsi une progression graduelle dans l'apprentissage. Le tableau 2 présente une comparaison synthétique des deux outils.

Tableau 2 : Comparaison synthétique des deux outils développés.

	Visite virtuelle	Jeu vidéo interactif
Objectif	Découverte de l'environnement et des procédés	Mise en pratique des concepts et expérimentation
Public cible	Grand public, Public Scientifique, Enseignement Supérieur	Public Scientifique, Enseignement Supérieur
Type d'apprentissage	Observation guidée	Action et résolution de problèmes
Compétences développées	Culture scientifique, compréhension des dispositifs et procédés	Rigueur, analyse, raisonnement expérimental

### A. Objectifs pédagogiques

Conçu par une équipe interdisciplinaire de Grenoble INP – UGA (Phelma et Perform), de la MPLS-AD et du CIME-Nanotech, le projet devait répondre aux besoins des différents publics-cibles de chaque institution (enseignants et enseignantes du secondaire, élèves-ingénieurs, grand public) et à différents contextes de mise en œuvre (Formation professionnelle, événements de diffusion des sciences, enseignement spécialisé). Par conséquent, le scénario de la visite virtuelle

a été pensé avec trois niveaux de lecture et vise la sensibilisation et la compréhension globale, tandis que le jeu vidéo vient en complément pour approfondir les connaissances des publics scientifiques en favorisant la mise en pratique et la résolution de problèmes. Les différents objectifs pédagogiques sont synthétisés dans le tableau 3.

Tableau 3 : Objectifs pédagogiques et compétences développées en fonction du dispositif considéré

Objectifs pédagogiques	Compétences visées	Niveaux de lecture	Dispositif
Découvrir l'environnement de la salle blanche	Connaissances contextuelles et vocabulaire technique	3 Grand public à Scientifique avancé	Visite virtuelle
Découvrir la constitution d'une cellule solaire	Découvertes des matériaux et techniques de fabrication	3 Grand public à Scientifique avancé	Visite virtuelle
Avoir une vue d'ensemble d'un procédé d'intégration microélectronique	Connaissances contextuelles	3 Grand public à Scientifique avancé	Visite virtuelle
Interpréter un procédé d'intégration microélectronique	Raisonnement scientifique et structuration des étapes	Scientifique avancé	Jeu vidéo
Manipuler des outils de caractérisation virtuels	Maîtrise des instruments de mesure et analyse critique des données	Scientifique avancé	Jeu vidéo
Appliquer les principes de sécurité et de propriété	Comportement responsable en contexte scientifique	Scientifique avancé	Jeu vidéo

## B. Visite virtuelle

Le parcours virtuel propose une immersion dans quatre zones emblématiques illustrées sur la figure 1 : le sas d'habillage, le couloir principal, la salle des fours et la salle de photolithographie. Trois niveaux d'information (grand public, public scientifique, étudiant et étudiante spécialisée) guident la découverte en fonction du profil de l'utilisateur. Chaque espace intègre des commentaires écrits et audio, ainsi que des vidéos illustrant les procédés réels lorsque cela est nécessaire à la compréhension.

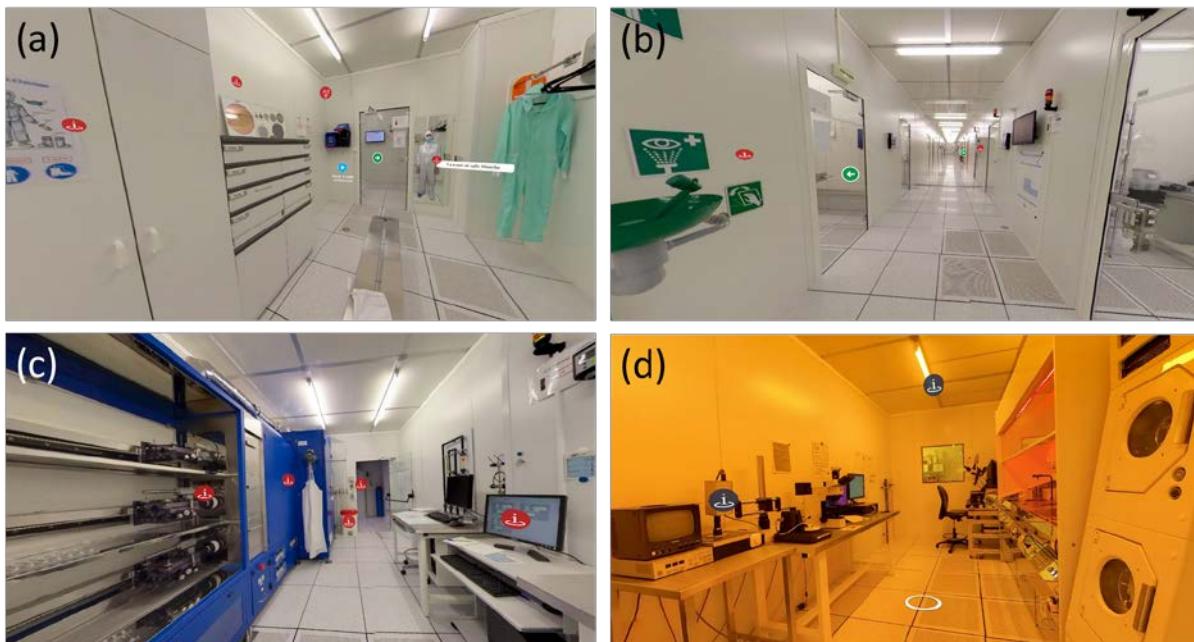


Fig.2. Vue d'ensemble des quatre zones accessibles lors de la visite virtuelle. (a) Sas d'habillage, (b) Couloir principal, (c) Salle des fours, (d) Salle de photolithographie.

Comme synthétisé dans le tableau 4, trois thématiques principales sont abordées par le biais des différents éléments présents dans les zones de visite.

Tableau 4 : Thématiques abordées dans la visite virtuelle et détails des notions.

Environnement salle blanche	Outils et équipements	Cellule solaire de première génération
<ul style="list-style-type: none"> <li>• Clean concept</li> <li>• Contrôle des conditions atmosphériques (classe, température, pression)</li> <li>• Doigts gris</li> <li>• Déchets et effluents</li> <li>• Sécurité</li> </ul>	<ul style="list-style-type: none"> <li>• Fours</li> <li>• Dopage</li> <li>• Photolithographie</li> <li>• Techniques de caractérisation</li> </ul>	<ul style="list-style-type: none"> <li>• Constitution</li> <li>• Procédé d'intégration</li> <li>• Grandeur caractéristiques</li> </ul>

Cette approche favorise la compréhension progressive des notions clés : propreté de l'air, sécurité, gestion des effluents, dopage, photolithographie et caractérisation des matériaux. Elle permet également d'introduire des concepts de métrologie et de contrôle de procédés. Afin de permettre une visite encore plus immersive, des masques de réalité virtuelle pour smartphone sont mis à disposition des personnes engagées dans la visite. Compatible avec la majorité des smartphones, cela apporte une dimension supplémentaire à la visite.

### C. Jeu vidéo

Le jeu place le personnage-joueur dans la peau d'un ou d'une membre d'une association fictive cherchant à rendre les technologies durables accessibles au plus grand nombre. Sa mission : collecter les données nécessaires à la reproduction d'une cellule solaire élaborée dans la salle blanche (Figure 3). Pour cela, en s'appuyant sur les informations obtenues lors de la visite virtuelle, il s'agit de caractériser la plaquette qui deviendra cellules solaires à chaque étape de la fabrication.



Fig.3. Feuille de mission présentée en début du jeu.

L'objectif primaire est donc de caractériser les matériaux de la cellule solaire afin de déterminer les épaisseurs caractéristiques des différentes couches, la résistivité des matériaux, les propriétés optiques et la morphologie. Les techniques de caractérisation mises à disposition sont présentées dans le tableau 5. Ce faisant, le ou la participante va avoir la possibilité d'appréhender la cellule solaire dans son ensemble et de comprendre l'empilement et le choix des matériaux : substrat et jonction PN ; couche anti-réflexion (propriétés optiques et texturation) ; extraction de charges (contacts métalliques, géométrie). Enfin, il ou elle aura également l'opportunité d'apprendre les essentiels de la salle blanche, avec des activités autour de l'habillage, la sécurité et les déchets.

Pour ce faire, le scénario intègre des activités variées : glisser-déposer, observation microscopique, questionnaires à choix multiples, dialogues interactifs, et utilisation d'appareils virtuels (Tableau 5). Cette diversité d'interactions permet ainsi de travailler plusieurs compétences.

Tableau 5 : Techniques de caractérisation.

<b>Données Matériaux</b>	<b>Technique de Caractérisation</b>
	Comparateur mécanique
Epaisseur	Profilomètre
	Ellipsomètre
Résistivité	Sonde 4 pointes
	Ellipsomètre
Propriétés optiques	Microscope Optique
Morphologie	Microscope électronique à Balayage

La première compétence développée porte sur la fiabilité des mesures. Notamment, pour arriver au terme du jeu, il est nécessaire de vérifier la reproductibilité des mesures afin de déduire l'erreur expérimentale. Il est fondamental de comprendre la notion de nombres significatifs et indispensable d'analyser les données au-delà du résultat de la mesure.

La seconde compétence porte sur la pertinence des mesures. En effet, le jeu est développé de telle sorte que chaque plaquette-témoin (11 plaquettes) (Figure 4) peut être placée dans chaque équipement de caractérisation, à l'exception du MEB (5 équipements), soit un total de 55 expériences de caractérisation. Cependant, la majorité de ces mesures n'apporte aucune information pertinente et c'est à l'apprenant de se demander quand et pourquoi une mesure doit être faite s'il ou elle souhaite finir le jeu dans un temps raisonnable.

Enfin, la troisième compétence porte sur le cœur de métier avec le suivi pas à pas d'une filière d'intégration et la compréhension de la transformation du substrat de silicium au fur à mesure de l'avancée dans la filière.

Grâce à sa dynamique, le jeu s'inscrit dans une approche constructiviste où l'apprenant devient véritablement acteur ou actrice de son apprentissage. La mécanique, classique dans l'univers du jeu vidéo, repose sur une progression du score au fil de l'avancée dans le jeu. Pour gagner des points, le joueur ou la joueuse doit réaliser correctement les activités proposées, centrées sur la caractérisation des matériaux : plus la caractérisation est pertinente, plus le gain en points est important. À l'inverse, les erreurs entraînent une perte de points. Certaines activités bonus, axées sur la connaissance de l'environnement de la salle blanche et de la physique des matériaux, offrent également des points supplémentaires, permettant de compenser d'éventuelles erreurs. En cas de blocage, il est possible d'obtenir de l'aide en échange d'une vie.

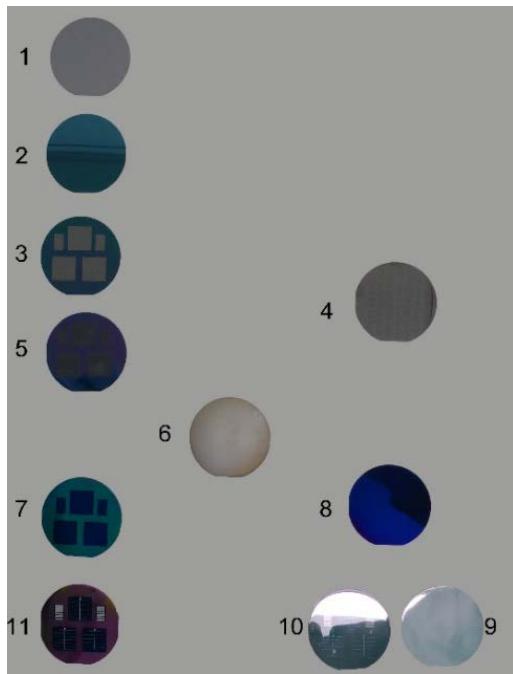


Fig.4. Plaquettes témoins utilisées tout au long du jeu. En début de jeu, seul le substrat vierge (1) est disponible. Puis lorsqu'il est correctement caractérisé, les plaquettes portant l'oxyde de champs pleine plaque (2) et gravé (3) sont débloquées. Le déblocage graduel des plaquettes se poursuit ensuite avec la plaquette dopée (4), la plaquette texturée (5), l'aluminium face arrière (6), la couche anti-reflet (7 et 8), l'aluminium face avant pleine plaque (9) et gravé (10) et enfin la plaquette finie (11).

La progression du score joue un rôle central : elle conditionne le déblocage progressif des plaquettes témoins (Figure 4), ce qui favorise la construction progressive des connaissances tout en évitant la dispersion due à un excès de choix ou d'informations. Cette évolution reflète par ailleurs la réalité du processus industriel, où les plaquettes sont transformées étape par étape, facilitant ainsi la compréhension de la filière d'intégration. Une feuille de progression est mise à disposition pour centraliser l'ensemble des données collectées.

#### IV. Résultats et analyse des apprentissages

L'enquête menée auprès des élèves à la suite de l'activité « Mission : Salle Blanche » proposée dans le cadre du module d'enseignement « *À la découverte des métiers – IPhy-NANOTECH* » (diffusion 2024) met en lumière une expérience globalement positive et formatrice, tout en révélant quelques pistes d'amélioration. Dans l'ensemble, les participants et participantes ont apprécié la mise en situation sous forme de mission d'espionnage, jugée originale et immersive. Beaucoup ont souligné qu'elle contribuait à rendre l'activité plus vivante et motivante (36%), même si plusieurs reconnaissent qu'une fois plongés dans le jeu, le scénario passait un peu au second plan (58%). Cette approche ludique a néanmoins permis d'introduire avec succès les principes du travail en salle blanche et de susciter la curiosité des élèves vis-à-vis des métiers liés à la nanotechnologie.

Le couplage entre la visite virtuelle et le jeu vidéo a été particulièrement bien accueilli. La plupart (40%) ont estimé que les deux supports se complétaient efficacement, la visite apportant le cadre et le contexte, et le jeu favorisant la mise en pratique. Certains ont néanmoins noté qu'un seul des deux outils aurait pu suffire, selon leurs préférences personnelles (visite virtuelle 20%, Jeu vidéo 40%).

Du point de vue de l'expérience utilisateur, les retours sont globalement positifs. Les élèves ont jugé la qualité des supports satisfaisante (90%), aussi bien sur le plan visuel qu'informatif. La majorité a passé entre une et trois heures sur la visite virtuelle, et entre trois et cinq heures sur le

jeu. Le décor et la diversité des activités ont été appréciés, bien que quelques remarques aient porté sur la maniabilité ou la clarté des consignes, parfois jugées perfectibles. Certains ont également regretté l'absence d'une fonction de sauvegarde multi-support ou la répétitivité de certaines missions.

Sur le plan pédagogique, l'activité semble avoir pleinement rempli son rôle d'introduction à l'univers de la salle blanche. Les personnes déclarent avoir découvert de nombreux appareils de mesure et mieux comprendre leur usage (88%). Pour beaucoup, cette mise en pratique virtuelle a favorisé une première familiarisation avec l'analyse de résultats expérimentaux — en particulier sur la précision et la reproductibilité des mesures (60%). De plus, les élèves soulignent l'intérêt de pouvoir explorer un environnement complexe sans crainte d'erreur, tout en visualisant les équipements et procédés réels. Concernant la cellule photovoltaïque, la quasi-totalité (94%) affirme désormais savoir de quoi elle est composée, et plus de la moitié (57%) disent avoir compris son processus de fabrication. Enfin, plusieurs personnes ont souligné le caractère formateur et stimulant de l'activité, tout en exprimant le souhait d'un approfondissement plus technique lors de futures séances. Ils et elles aimeraient notamment en savoir davantage sur le fonctionnement réel des instruments présentés, afin de mieux relier la théorie à la pratique.

En somme, du point de vue utilisateurs et utilisatrices, cette expérience mêlant jeu vidéo et exploration virtuelle s'avère à la fois instructive et motivante. Elle réussit à éveiller l'intérêt pour le travail en salle blanche et à renforcer la compréhension des outils de mesure, tout en offrant un cadre ludique et immersif.

Du point de vue de l'équipe enseignante qui encadre ensuite les TPs en salle blanche, les retours d'expérience montrent une amélioration significative de la motivation et de la compréhension conceptuelle. Il est également relevé une meilleure préparation aux travaux pratiques en salle blanche, une autonomie accrue et une curiosité renforcée. Les données recueillies sur l'impact à long terme sont actuellement insuffisantes et une étude de cohorte est envisagée afin de mieux mesurer les effets obtenus.

## V. Discussion critique : originalités, difficultés et leviers

Le projet se distingue par la combinaison originale d'une visite immersive et d'un jeu vidéo scientifique interactif. Cette hybridation favorise à la fois la découverte et la mise en pratique. Cependant, plusieurs difficultés ont été rencontrées : bien que très puissante et versatile, la plateforme sur laquelle le jeu a été développé n'a pas permis de répondre à tous les besoins avec notamment des limites autour de la sauvegarde et de la mesure du temps de jeu. La question de la pérennité et de l'hébergement des outils est encore actuellement ouverte. La visite virtuelle, hébergée par le prestataire moyennant des frais d'abonnement, est bien maintenue tant que nous trouvons annuellement les ressources nécessaires. Le jeu est actuellement hébergé sous Chamilo, une plateforme d'e-learning, dans l'espace de cours d'un module d'enseignement précis, ce qui rend difficile son partage et sa diffusion plus large. En dépit des impacts positifs et variés (Tableau 6) et de son existence en version française et anglaise, aujourd'hui, nous n'avons pas identifié de solution ni de modèle de diffusion simple qui permettrait d'utiliser largement l'outil développé.

Tableau 6 : Impacts pédagogiques et sociétaux.

Niveau d'impact	Effets observés
Élèves	Meilleure préparation aux travaux pratiques, droit à l'erreur, confiance en soi renforcée.
Établissement	Mutualisation des ressources pédagogiques, diffusion interdisciplinaire des outils immersifs.
Territoire	Ouverture à des publics éloignés géographiquement, valorisation des infrastructures locales.
Société	Promotion de la diversité et de l'inclusion dans les sciences et les technologies.

## **VI. Perspectives et conclusion**

“Mission Salle Blanche” illustre l’émergence d’une nouvelle génération d’outils éducatifs immersifs au service de la formation scientifique. En combinant rigueur, interactivité et accessibilité, le dispositif permet d’ouvrir l’apprentissage expérimental à un public élargi. Les perspectives incluent l’adaptation à d’autres niveaux (enseignement secondaire, formation continue) et l’évaluation systématique des apprentissages réalisés en contexte virtuel. La question de la pérennisation de l’outil reste également importante.

### **Remerciements**

Les auteurices remercie l’ensemble des personnes qui ont contribuées de près ou de loin à la réalisation du projet. Olivier Lebon et Catherine Demarcq qui ont prêtés leurs voix à une partie des cartels audio de la visite virtuelle, Loic Regnaud de Visite Interactive pour la captation de la visite virtuelle, Damien Renou de Ludiscape pour son soutien dans l’utilisation du logiciel de développement du jeu vidéo, ainsi que pour tous les correctifs et développements supplémentaires pour répondre à nos besoins, Caroline Schlenker pour la traduction anglais et Idris Aboubakari pour l’implémentation de la version anglaise et Youla Morfouli pour les impulsions parfois nécessaires pour tenir le projet dans la longueur.

Ce travail a bénéficié d'une subvention de l'État français dans le cadre du programme Investissement d'avenir IRT Nanoelec, sous le numéro de convention ANR-10-AIRT-05, et a été en partie financé par IDEX Université Grenoble Alpes.

### **Références**

1. C. Ternon, A. Kaminski, D. Constantin, L. Claudon, F. Volpi, L. Vincent, Q. Rafhay et A. Bsiesy. Simulation, élaboration et caractérisation de cellules photovoltaïques. *J3eA* 13, 0011 (2014).
2. A. Kaminski-Cachopo, C. Ternon, F. Volpi, D. Constantin, L. Vincent, Q. Rafhay, A. Bsiesy. Réalisation et caractérisation de cellules photovoltaïques. *Proceeding 12ème journées pédagogiques du CNFM*, 28-20/11/2012, Saint-Malo (2012)
3. C. Ternon, D. Constantin, A. Kaminski, L. Claudon, F. Volpi, Q. Rafhay, A. Bsiesy. Mise en place d’un TP de simulation, élaboration et caractérisation d’une cellule photovoltaïque de première génération. *Proceeding 11ème journées pédagogiques du CNFM*, 22-24/11/2010, Saint-Malo (2010).
4. Mayer, R. (2009). *Multimedia Learning* (2nd ed.). Cambridge University Press.



# Formation CMOS à l'AIME : évolution du procédé à l'aide de TCAD

R. Tan<sup>a</sup>, J-B. Lincelles<sup>a</sup>, M. Charnay<sup>b</sup>, C. Rouabhi<sup>a</sup>, C. Capello<sup>a</sup>, J. Schuber<sup>a,b</sup>, H. Azeroual<sup>a</sup>, I. Konate<sup>a</sup>, P.-F. Calmon<sup>d</sup>, O. Bernal<sup>d,e</sup>, H. Tap<sup>d,e</sup>, M. Respaud<sup>a,b,c</sup>

<sup>a</sup> AIME et pôle CNFM de Toulouse, Université de Toulouse, INSA, 135 avenue de Rangueil, 31077 Toulouse, France

<sup>b</sup> Département de Génie Physique, Université de Toulouse, INSA, 135 avenue de Rangueil, 31077 Toulouse, France

<sup>c</sup>CEMES-CNRS, Université de Toulouse, Toulouse, France

<sup>d</sup>LAAS-CNRS, Université de Toulouse, Toulouse, France

<sup>e</sup>INP-ENSEEIHT, Toulouse, France

Contact email : [lincelle@insa-toulouse.fr](mailto:lincelle@insa-toulouse.fr), [tan@insa-toulouse.fr](mailto:tan@insa-toulouse.fr)

L'AIME propose depuis 2021 une formation axée sur la fabrication de composants CMOS en salle blanche. Cette formation permet aux étudiants de réaliser à façon des circuits intégrés analogiques qu'ils ont conçus et étudiés au préalable par CAO. Nous présentons ici les travaux visant à développer les avancements d'un procédé CMOS sur substrat unique, entièrement réalisé à l'AIME.

## I. Introduction

La formation CMOS proposée actuellement à l'AIME permet aux étudiants d'aborder la simulation technologique (TCAD), la conception d'un circuit analogique CMOS (sous Cadence) et sa fabrication en salle blanche à partir d'un wafer de silicium vierge. Néanmoins, les NMOS et PMOS sont actuellement intégrés dans deux substrats de type différents, fabriqués par deux équipes d'étudiants et placés dans deux boîtiers différents avant d'être accueillis sur le PCB de test.<sup>1,2</sup>

Nous continuons à développer un procédé CMOS à l'AIME permettant d'intégrer les deux types de transistors sur la même plaquette. Cela permettra aux étudiants de fabriquer un composant plus proche des circuits intégrés commerciaux, et de prendre part à la fabrication des deux types de transistors.<sup>3</sup>

Ce procédé CMOS est soumis à des contraintes fortes, parmi lesquelles la nécessité de se dérouler sur deux semaines consécutives, de pouvoir s'adapter à l'implantation ionique et au dopage par diffusion au four, ou encore à l'absence de nitrate de silicium. Nous avons, à partir de ce constat, proposé à un étudiant de l'INSA de Toulouse de travailler sur cette problématique à l'aide d'outils de simulation TCAD, dans le cadre d'un dispositif d'apprentissage par projet.

## II. Pistes développées par la TCAD

Concernant la formation des caissons, nous avons choisi de ne créer que le caisson N, le substrat P faisant office de caisson pour le NMOS. Il ne s'agit donc pas d'une technologie « twin-well », et ceci permet d'éviter une étape supplémentaire de photolithographie.

La problématique suivante est particulièrement importante : qui vient en premier ? Le dopage au phosphore lié à la fabrication des sources/drains des transistors NMOS ou le dopage au bore lié à la fabrication des sources/drains des transistors PMOS ? Dans le cadre de nos contraintes et du bilan thermique disponible, cette question n'est pas anodine,

notamment dans le cas d'un procédé entièrement basé sur de la diffusion thermique. Les simulations à l'aide de Silvaco ont montré qu'il était préférable de commencer par le dopage du phosphore (NMOS) et de terminer par le dopage au bore (PMOS), ce qui aboutit à la structure de la figure 1.a). Dans le cas contraire, le bilan thermique vu par les drains/sources des PMOS est trop élevé et leur diffusion trop importante. Le caisson N ne crée plus de barrière de potentiel suffisante et un courant de fuite apparaît entre les drains et le substrat (courant de « punchthrough »). Cela génère un courant de fuite dépendant de la tension du drain. Dans une structure 2D, ce drain empêche également de polariser correctement le caisson N, comme dans la figure 1.b).

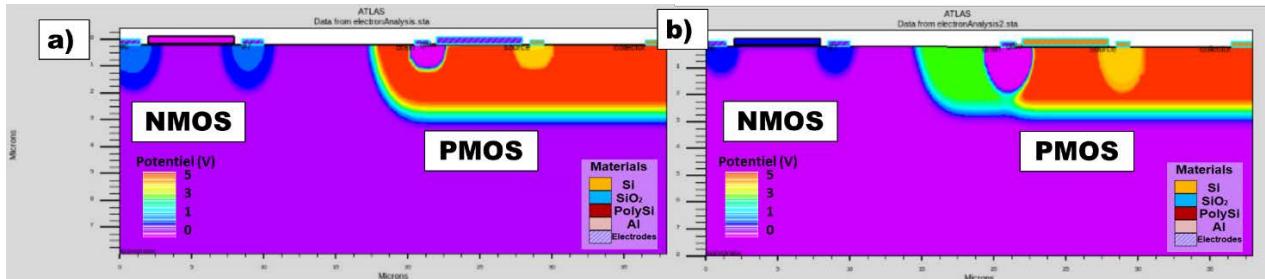


Figure 1: potentiel électrostatique d'un procédé NMOS puis PMOS (a) et d'un procédé PMOS puis NMOS (b) sur substrat P. En b) le drain du PMOS étend son potentiel sur une grande profondeur, empêchant de polariser correctement le caisson N, et provoquant un courant de fuite à travers le substrat P.

Une troisième problématique concerne la tension de seuil ( $V_T$ ) des transistors PMOS. En effet, le dopage par diffusion thermique crée un profil de dopants avec une concentration particulièrement élevée en surface. Si le caisson N est créé par cette méthode, elle peut induire un  $V_T$  trop élevé pour le PMOS. Il est donc nécessaire de contrôler cette concentration de phosphore diffusé dans les caissons, tout en tenant compte du budget thermique disponible (contrainte de temps). La piste actuellement explorée pour cela est d'utiliser des sources solides de phosphore faiblement dopées dans notre four de diffusion thermique. Un exemple de procédé simulé par Silvaco est présenté en annexe.

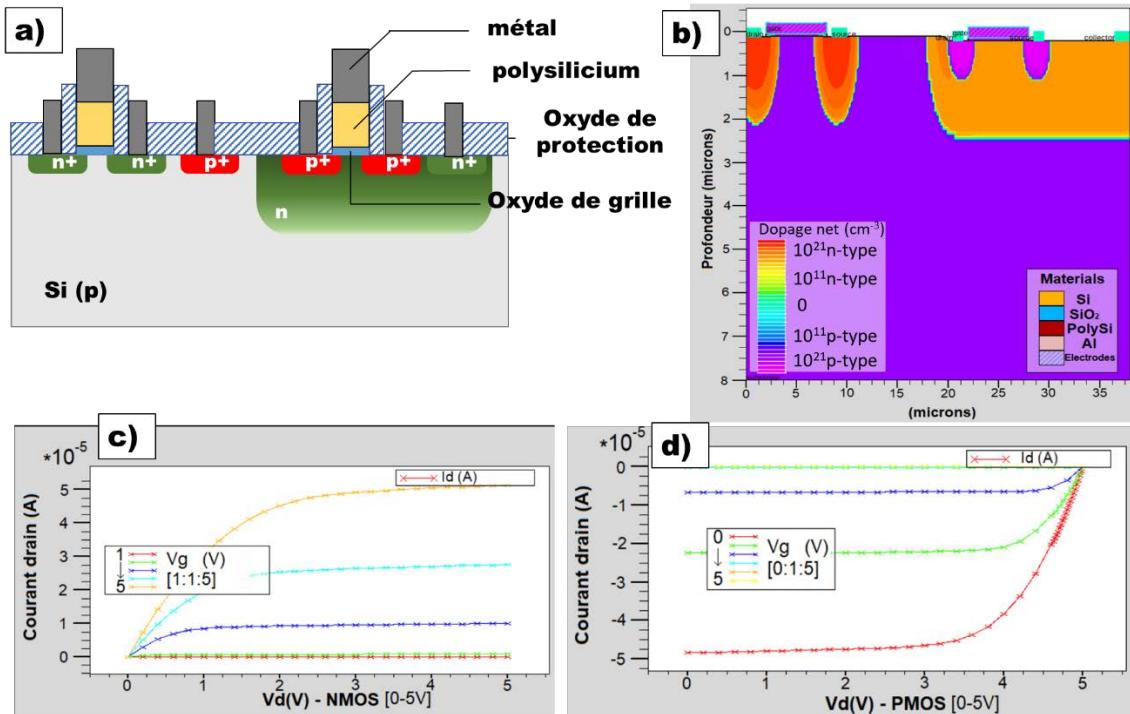


Figure 2: Simulation TCAD du procédé CMOS AIME : a) Schéma b) Structure simulée c) Caractéristiques du NMOS simulées d) Caractéristique du PMOS simulés.

### III. Début de la campagne expérimentale

La suite du travail consiste à réaliser les tests de diffusion avec des sources solides récemment acquises. La formation d'un caisson de type N dans un substrat P permettant d'y implémenter un PMOS fonctionnel avec un  $V_T$  correct est la première étape. Il faudra ensuite s'assurer de pouvoir garder cette fonctionnalité au sein du procédé CMOS complet (et donc tenir compte du bilan thermique complet). Cela demandera certainement d'ajuster les étapes d'activation des dopants (recuit), de la suite du procédé.

La fiabilité et reproductibilité du procédé sera ensuite étudié, ce qui nécessite entre autres de définir des règles de conception pertinentes (par exemple la distance entre les drains et les bords des caissons, taille minimale des PMOS...) et les valeurs attendues de différentes observables ( $V_T$ , courbes  $I_{ds}(V_{ds})$  et  $I_{ds}(V_{gs})$ ,...).

Ces études ainsi que les résultats expérimentaux préliminaires de concentration de dopants et de profondeur de dopage en fonction des bilans thermiques seront présentés et discutés lors des communications de cette 18<sup>ème</sup> édition des journées pédagogiques du CNFM.

### Remerciements

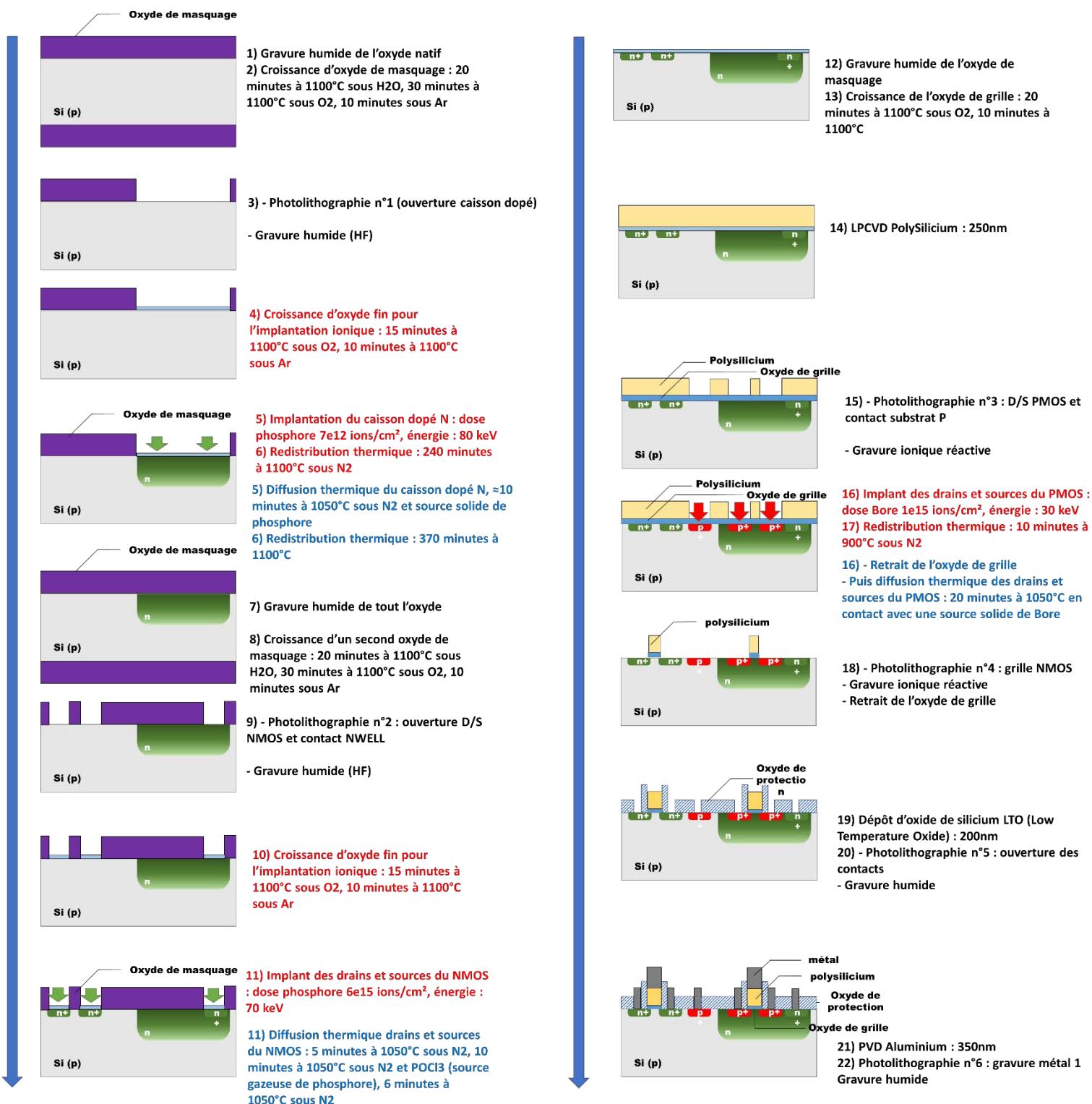
Les auteurs remercient le GIP-CNFM (Coordination Nationale de Formation en Microélectronique et Nanotechnologies), l'EUR NanoX (n°ANR-17-EURE-0009), France 2030 pour le projet ANR-23-CMAS-0024 INFORISM, la région Occitanie pour le projet AIMEQu (n°OCC008002) sur son programme Occitanie-FEDER-FSE+ 2021-2027, pour

leurs soutiens financiers et leurs contributions au développement de nos plateformes technologiques et de formations innovantes.

## Références

1. H. Tap et al., « *Du silicium au circuit CMOS. Pédagogie active par Apprentissage Par Projet* », 16è JPCNFM (2021)
2. H. Tap et al. J3eA. [10.1051/j3ea/20191019](https://doi.org/10.1051/j3ea/20191019) (2019)
3. R.P Tan et al., « *Evolution de la formation CMOS : vers un procédé sur plaquette unique* », 17è JPCNFM (2023)

**IV. Annexe : procédé CMOS et paramètres utilisés dans Silvaco.** A noter que les étapes de dopage peuvent être réalisées soit par implantation ionique (en rouge), soit par diffusion (procédé en bleu)





# Procédé « flash » MOSFET : l'essentiel des procédés de micro-nanofabrication en deux photolithographies

G. Agnus<sup>a</sup>, A. Hamadeh<sup>a</sup>, R. Tan<sup>b</sup>, C. Capello<sup>b</sup>, C. Rouabhi<sup>b</sup>, J. Schäuber<sup>b,c</sup>, H. Azeroual<sup>b</sup>, I. Konate<sup>b</sup>, J.-B. Lincelles<sup>b</sup> et M. Respaud<sup>b,c,d</sup>

<sup>a</sup> Université Paris-Saclay, C2N, CNRS, 91120, Palaiseau

<sup>b</sup> AIME pôle CNFM de Toulouse, INSA de Toulouse, France

<sup>c</sup> Département de Génie Physique, Université de Toulouse, INSA, Toulouse, France

<sup>d</sup> CEMES-CNRS, Université de Toulouse, Toulouse, France

Contact email : [tan@insa-toulouse.fr](mailto:tan@insa-toulouse.fr) , [guillaume.agnus@universite-paris-saclay.fr](mailto:guillaume.agnus@universite-paris-saclay.fr)

Nous présentons dans cette communication une formation dispensée depuis 3 ans au sein de la section de la salle blanche du C2N dédiée à la formation. Cette formation a été suivie par des étudiants M1/M2 de filières électronique ou matériaux de l'Université Paris Saclay, ainsi que par des élèves ingénieurs des écoles CentraleSupélec, Polytech Paris-Saclay et l'Ecole Centrale d'Électronique. L'idée ici est de fournir un procédé complet de fabrication de composants en microélectronique (NMOS) en environnement salle blanche et contenant le maximum d'étapes technologiques, avec une contrainte temporelle forte (2 à 4 demi-journées maximum).

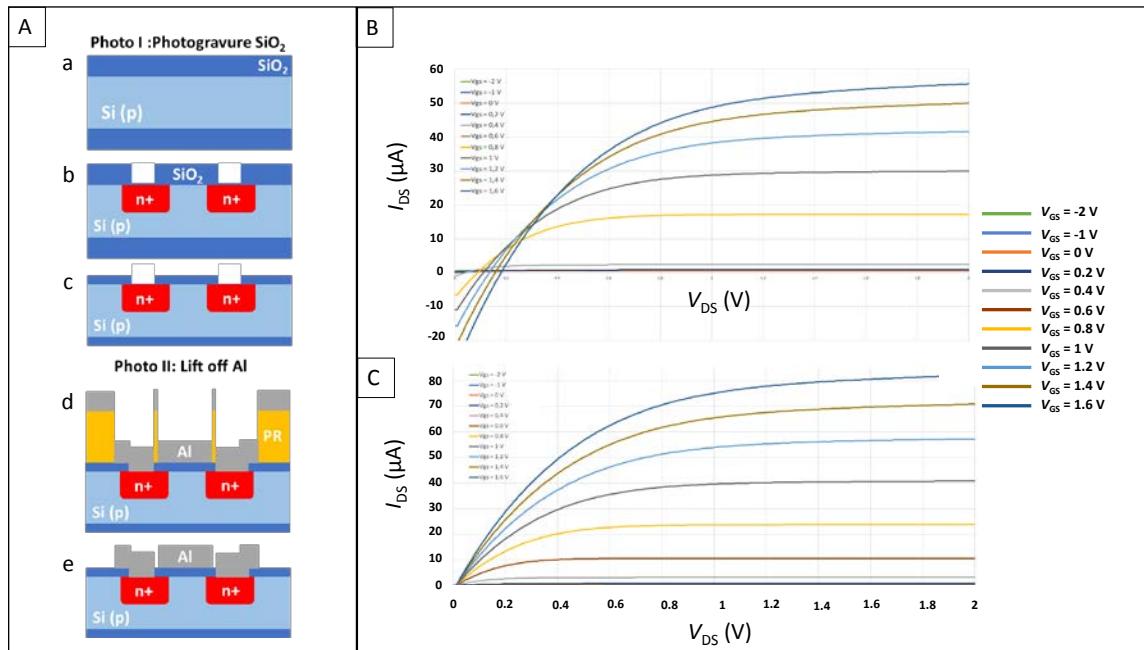
## I. Contexte

En collaboration avec l'AIME de Toulouse, le pôle CNFM d'Orsay donne l'opportunité aux étudiants d'élaborer eux-mêmes des composants élémentaires de la microélectronique tel que le transistor, simple à conceptualiser mais complexe voire impossible à fabriquer en 2 jours. Permettre à des étudiants de réaliser et d'assister à un maximum d'étapes et de procédés technologiques possibles durant ces 2 jours nous a amené à modifier les procédés standards de fabrication de transistors NMOS, déjà eux-mêmes réduits à 4 photolithographies pour de la démonstration pédagogique.<sup>1,2</sup> Bien que conscients des défauts de qualité des composants obtenus induits, nous avons optimisé le procédé avec seulement 2 niveaux de photolithographies, pour des longueurs de canaux visés allant de 5 à 120 µm. Cela permet néanmoins aux étudiants de s'immerger complètement au cœur des procédés de fabrication, du silicium vierge, jusqu'au test électrique du transistor fini.

## II. Formation en salle blanche

Brièvement, les étudiants démarrent leur formation avec des plaquettes de Si (type P) présentant une couche d'oxyde thermique de 300 nm (oxydation sèche) [cf Fig.1A/a) et b)]. Ils effectuent une première photolithographie afin d'ouvrir les zones de diffusion. Le dopage au phosphore subséquent est réalisé à l'AIME par diffusion thermique à partir d'une source liquide ( $\text{POCl}_3$ ). Une fois les plaquettes renvoyées au C2N, l'étape suivante consiste à abaisser l'oxyde initial qui jusqu'alors ne jouait que le rôle de barrière de diffusion. Cet abaissement, visant 70 nm d'épaisseur et se réalisant pleine plaque, est obtenu par gravure ionique réactive (RIE) sur l'oxyde qui jouera dorénavant le rôle d'oxyde de grille [cf Fig.1A/c)]. Les étudiants réalisent ensuite le deuxième niveau de

photolithographie [cf Fig.1A/d)]. Les zones de contacts (source, drain et grille) sont finalement obtenues après évaporation d’Al et lift-off de la résine. Les étudiants terminent la partie fabrication de la formation par la désoxydation face arrière et un recuit thermique pour assurer la qualité de contact et de la couche d’Al. Ils passent ensuite à la phase finale de caractérisations électriques de leurs composants sur wafer, à l’aide d’une station sous pointes. Des caractéristiques  $I_{DS}$  ( $V_{DS}$ ) à  $V_{GS}$  constant des mesures réalisées par les étudiants sont présentées sur la Fig.1.B/. Comme attendu, les transistors présentent des courants de fuites très élevés, de l’ordre de la dizaine de  $\mu$ A, mais montrent clairement une modulation de canaux par effet de champ. Ces fuites s’expliquent aisément par la réduction intensive du nombre d’étapes technologiques, notamment : de nettoyage (absence de RCA clean...), du double emploi de l’oxyde de barrière de diffusion abaissé par RIE pour devenir l’oxyde de grille (impuretés de phosphore, de fluor, sur-gravure localisée...) ou tout simplement par l’utilisation de l’aluminium en tant que grille dans un NMOS (diffusion Al, travail de sortie...). Il est à noter que ces choix ont été réalisés initialement par commodité d'accès aux techniques et aux machines, particulièrement pour le dopage au phosphore et pour le choix de la grille en aluminium. Cette présence de courant de fuite conséquent permet néanmoins d'amener une discussion critique avec les étudiants sur le lien entre les méthodes d'élaboration des matériaux et leurs conséquences directes sur les propriétés électriques. Nous présentons par exemple sur la Fig.1C/ les caractéristiques après avoir soustrait un courant de fuite (de grille) et retrouvons des courbes plus fonctionnelles. L'idée ici n'est pas de remonter à des valeurs quantitatives de courants dans les canaux mais de stimuler la réflexion chez les étudiants et, dans ce cas précis, d'illustrer les effets de courants de fuites sur la physique du composant.

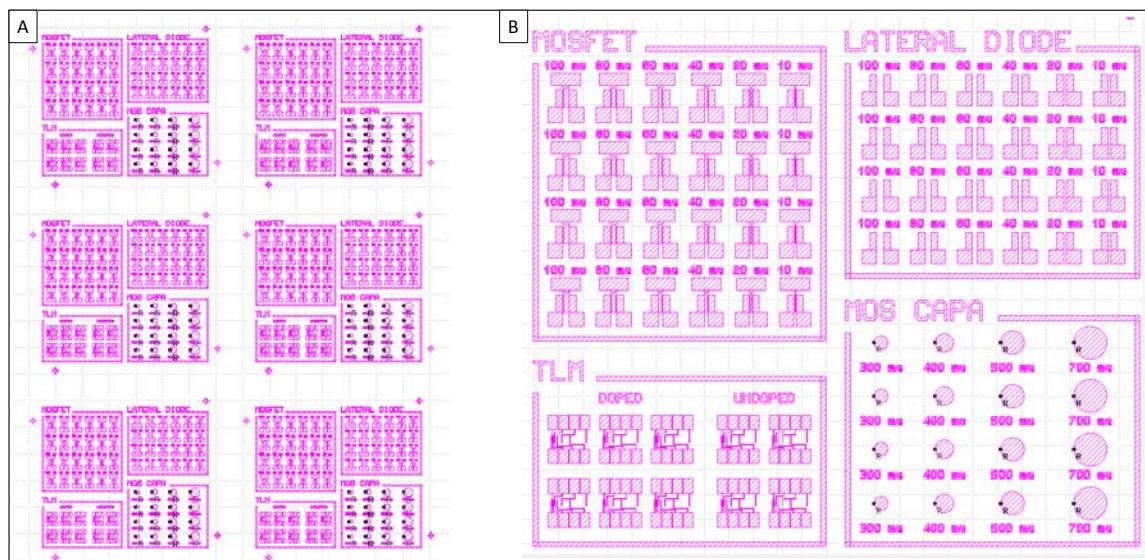


*Figure 1 : A/ principales étapes du procédé flash de fabrication de MOSFET avec une photogravure puis un lift-off B/ caractéristiques  $I_{DS}$  ( $V_{DS}$ ) à différentes tensions  $V_{GS}$  C/ caractéristiques  $I_{DS}$  ( $V_{DS}$ ) à différentes tensions  $V_{GS}$  après soustraction du courant de fuite.*

### III. Evolution et améliorations du procédé

Le C2N et l'AIME travaillent conjointement à l'heure actuelle afin d'améliorer le procédé, tout en conservant l'essence même de cette formation à savoir procurer une expérience intensive de fabrication de dispositifs micro-nano électronique en salle blanche sur un laps de temps de 2 jours maximum. Parmi les pistes envisagées, nous envisageons pour les formations futures :

- *i/* de retirer complètement l'oxyde de protection puis de le faire croître à nouveau, avec éventuellement un nettoyage RCA au préalable
- *ii/* de fabriquer des transistors PMOS au lieu de NMOS pour atténuer les réductions de tension seuil. Ce type de dopage est déjà proposé par des formations à l'AIME<sup>2</sup>
- *iii/* un nouveau jeu de masque en développement qui permettra de tester d'autres types de composants (capacité MOS, diodes planaires...cf Fig 2)



*Figure 2 : A/ Nouveau design du jeu de masques B/ bloc unitaire avec ajout de diodes planaires, capacités MOS et contacts TLM*

Bien que les performances des MOSFET obtenus soient loin des standards industriels, cette formation constitue néanmoins une expérience technologique complète, avec un parcours complet à travers la chaîne de fabrication en microélectronique en deux photolithographies avec : alignement de masques (photogravure et lift-off), gravure sèche et humide, dopage, dépôt métallique sous vide, tests électriques. Elle permet, en outre, aux étudiants de comprendre les phénomènes physiques mis en jeu tout en corrélant les résultats obtenus aux contraintes technologiques fortes imposées.

### Remerciements

Les auteurs remercient le GIP-CNFM (Coordination Nationale de Formation en Microélectronique et Nanotechnologies), l'EUR NanoX (n°ANR-17-EURE-0009), France 2030 pour le projet ANR-23-CMAS-0024 INFORISM, la région Occitanie pour le projet AIMEQu (n°OCC008002) sur son programme Occitanie-FEDER-FSE+ 2021-2027, pour

leurs soutiens financiers et leurs contributions au développement de nos plateformes technologiques et de formations innovantes.

## Références

1. O. de Sagazan *et al.*, J3eA **23**, (Hors Série 1) 1004 (2024). <https://doi.org/10.1051/j3ea/20241004>
2. H.Tap *et al.*, J3eA **23**, (Hors Série 1) 1019 (2024). <https://doi.org/10.1051/j3ea/20241019>

# **Techniques et technologies d'assemblage des composants électroniques sur PCBA 2D vers les systèmes Plastronique 3D**

Ph. Lombard, C. Orango, T. Gerges, B. Allard, M. Cabrera

Université de Lyon ; Université Claude Bernard Lyon 1 – CNRS – Ecole Centrale de Lyon – INSA de Lyon ; Laboratoire AMPERE – UMR CNRS 5005  
F-69621 Villeurbanne, France – [www.ampere-lab.fr](http://www.ampere-lab.fr)

Pôle CNFM de Lyon-Saint-Etienne – CIMIRLY, INSA Lyon, Villeurbanne, France

Plateforme technique, scientifique et pédagogique :  
« Packaging avancé et plastronique 3D » – Laboratoire AMPERE

Cont@ct : [philippe.lombard@univ-lyon1.fr](mailto:philippe.lombard@univ-lyon1.fr)

Les technologies de composants et les procédés de brasage et d'assemblage de cartes électroniques sont au cœur de l'industrie moderne, où miniaturisation, performance et fiabilité représentent des défis majeurs. Ce module, conçu pour des apprenants du supérieur, aborde les méthodes clés d'assemblage des cartes électronique 2D, des techniques traditionnelles (brasage à la vague, refusion, press-fit) aux approches innovantes (brasage par phase vapeur, brasage photonique), jusqu'aux innovations récentes (brasage sélectif, collage conducteur) également utilisé pour l'assemblage de systèmes plastronique 3D.

L'objectif pédagogique est de fournir une compréhension approfondie des matériaux, des outils et des normes qui régissent ces processus, tout en mettant l'accent sur les défis industriels actuels : gestion thermique, compatibilité des matériaux, et respect des contraintes environnementales (RoHS, sans plomb, REACH).

Alliant théorie et pratique, cet enseignement couvre les principes fondamentaux de ces techniques et leurs applications dans des secteurs variés (aérospatial, automobile, défense, électronique grand public, etc.). Il prépare les futurs ingénieurs et techniciens à concevoir, optimiser et contrôler des processus d'assemblage performants, en intégrant les dernières avancées technologiques et les exigences de qualité et de durabilité. Une attention particulière est accordée à l'analyse des défauts, à la résolution de problèmes et à l'adaptation et évolution rapides du domaine.

## **I. Assemblage en électronique – Introduction et contexte**

L'assemblage des composants électroniques sur un support est une étape fondamentale dans la conception de fonctions électroniques et la fabrication de dispositifs ou sous-systèmes (ex. des cartes électroniques), qui s'intègrent ensuite dans des systèmes complexes. Ce processus consiste à reporter et à fixer des composants actifs (puces, transistors) et passifs (résistances, condensateurs) sur le support, en assurant à la fois leur conductivité électrique et leur maintien mécanique. Omniprésents dans des secteurs aussi variés que l'aérospatial, l'automobile, la robotique, les télécommunications, le médical ou la défense, ces assemblages constituent le socle des technologies modernes.

L'IPC (Institute of Printed Circuit), organisme de normalisation mondialement reconnu, souligne dans son rapport sur les tendances de l'industrie électronique [1], que l'assemblage [2] est devenu une étape clé et un maillon indispensable de la chaîne de production. Il influe directement la performance et la durabilité des produits finis et ne se limite pas à une simple opération technique : il conditionne la compétitivité, la qualité et la fiabilité des systèmes embarqués ou un défaut d'assemblage peut entraîner des défaillances critiques. Les défis de formation dans ce domaine sont donc multiples et reflètent les besoins actuels et futur de l'industrie.

Nous désignerons ci-dessous par PCB (Printed Circuit Board), le support (également appelé substrat) métallisé du Circuits Imprimés (CI) ; et par PCBA (Printed Circuit Board Assembled) le support sur lequel sont assemblés les composants électroniques.

## II. Formation – Besoins et objectifs

Pour répondre aux enjeux de miniaturisation, de performance et d'évolution des technologies, de fiabilité et de conformité environnementale (normes RoHS, sans plomb, REACH), un « assembleur » doit allier précision et innovation dans la fabrication d'un PCBA. Cela implique une connaissance approfondie : des propriétés des matériaux (CI, alliages, flux, vernis, encapsulant, etc.) ; des principes fondamentaux des procédés d'assemblage (brasage, collage conducteur, techniques de report et de dépôt) ainsi que ; des caractéristiques des composants à assembler (technologie des composants, packaging et boîtier, etc.) ; afin d'optimiser à la fois la fonctionnalité et la durabilité des systèmes électroniques.

Il convient donc de former des techniciens et ingénieurs capables de ; relier théorie et mise en œuvre industrielle ; maîtriser ces techniques d'assemblage pour répondre aux exigences industrielles. Le tableau suivant synthétise les spécificités du module de formation proposé.

Objectifs pédagogiques ::	<ul style="list-style-type: none"><li>• <b>Savoirs</b> : comprendre les principes physiques et chimiques d'un assemblage ;</li><li>• <b>Savoir-faire</b> : mettre en œuvre théoriquement et pratiquement des techniques et des méthodes de dépôt (sérigraphie, dépôt à la seringue – dispensing) ; de reporte de composants (machine de placement) : d'assemblage (brasage et collage : manuel et automatisé).</li><li>• <b>Savoir-être</b> : respecter les normes de sécurité et de qualité (IPC, ISO).</li><li>• <b>Objectifs d'apprentissage et compétences acquises</b> :<ul style="list-style-type: none"><li>✓ Compréhension théorique et pratique (procédés industriels et techniques d'assemblage manuel et automatisé) ;</li><li>✓ Connaissance des matériaux et phénomènes physiques mis en jeu ;</li><li>✓ Compréhension des normes et critères qualité dans les assemblages ;</li><li>✓ Sensibilisation aux enjeux environnementaux et de sécurité (RoHS, sans plomb, REACH) ;</li><li>✓ Analyse de défauts et assurance qualité, résolution des problèmes courants d'assemblage et de brasage.</li></ul></li></ul>
Public cible :	<ul style="list-style-type: none"><li>• <b>Domaine disciplinaire</b> : étudiants postbac dans le domaine du génie électrique, de la physique et des procédés ; ou de la mécatronique.</li><li>• <b>Formations</b> : académiques ; continues ; alternances ; reconversions professionnelles.</li><li>• <b>Prérequis</b> : connaissances théoriques et pratiques de bases en électronique.</li></ul>

Ce projet pédagogique propose une formation théorique et pratique transverse sur les procédés d’assemblage des PCBA 2D, vers les systèmes Plastronique 3D.

En effet, à l’interface entre plasturgie et électronique, la plastronique [3-6] ouvre des perspectives innovantes en permettant l’intégration et la miniaturisation optimales de systèmes et circuits électroniques au sein de structures polymères tridimensionnelles (3D). Cependant, les propriétés intrinsèques de ces substrats plastiques, notamment leur faible résistance thermique (température de transition vitreuse –  $^{\circ}\text{Tg}$ ), imposent des contraintes majeures sur le choix des alliages et des méthodes d’assemblage. Ces limitations justifient ainsi le recours privilégié aux colles conductrices, en substitut aux joints de brasure traditionnels pour garantir la fiabilité et la durabilité des assemblages.

Dans tous les cas, la miniaturisation, l’augmentation de la densité d’intégration et la baisse des coûts de production ont entraîné le remplacement progressif des technologies. Traditionnellement « traversant » avec des composants THT (Through-Hole Technology), puis mixtes avec des technologies THT et des Composants Montés en Surface (CMS), les systèmes électroniques tendent aujourd’hui à être intégralement implémentés avec des composants CMS [7-8].

D’autre part, qu’il s’agisse des procédés de brassage ou de collage, ils sont soumis à des exigences accrues en matière de qualité et de respect des normes environnementales, notamment la directive RoHS qui interdit l’utilisation du plomb dans les alliages de brasage depuis 2006 et autres problématiques en lien avec les flux et résidus [9-11]. Cette réglementation a profondément transformé les pratiques industrielles, imposant le développement d’alliages sans plomb et une adaptation des procédés pour maintenir la performance et la fiabilité des assemblages.

### III. Module pédagogique – Organisation

Le module d’enseignement est structuré comme suite :

- **Volume horaire :** 30h, sécable en blocs pédagogique de 4h ;
  - ✓ Cours théoriques – 6 séances de 1h30 : principes, procédés, normes, technologies, matériaux, etc. ;
  - ✓ Travaux pratiques (manipulation d’équipements) – 8 séances de 2h30 : report, assemblage, contrôle qualité, etc. ;
  - ✓ Projet final – 10h : conception et brasage d’une carte électronique ; tests fonctionnels ; contrôle qualité et inspection.
- **Critères d’évaluation – Contrôle continu :** rapport de projet ; soutenance orale ; conceptions ; qualité des assemblages ; conformité et respect des normes (ex. IPC-A-610) ; fonctionnalité et inspection ; créativité ; travail d’équipe.
- **Gratification :** 3 crédits ECTS ;
- **Méthodologie :** Combinaison de cours théoriques, de démonstrations en laboratoire sur des cas pratiques, et de projets pratiques encadrés ;
- **Localisation :** plateforme « Packaging avancé et plastronique 3D » – Laboratoire AMPERE, CIMIRLY, INSA Lyon, Villeurbanne, France.

#### IV. Moyens et mise en œuvre – Illustrations

Cette formation sera réalisée sur la plateforme « Packaging avancé et plastronique 3D ». Illustrée figure 1, elle comprend 5 salles (blanche, chimie, techniques, caractérisations) pour une surface totale de l'ordre de 180 m<sup>2</sup>.

Cette plateforme technique et technologique offre des moyens et des ressources permettant, **à partir d'une idée (TRL 0-1), de concevoir et de réaliser physiquement un prototype fonctionnel et d'obtenir ses caractéristiques multi-physiques (TRL 4-5)**.

Le positionnement et les activités du plateau sont :

- Le génie électrique : **(i) packaging de composants et systèmes électroniques ; (ii) plastronique 3D + interface avec les domaines : de la plasturgie, du traitement de surfaces et des matériaux ;**
- Le développement et la caractérisation de **procédés technologiques originaux de fabrication d'échantillons et d'objets** ;
- Le développement et la caractérisation de **dispositifs & systèmes portant une innovation** ;
- Une **approche globale et pragmatique : Conception – Fabrication – Caractérisation** ;
- Le développement et l'utilisation de **matériaux écologiquement plus respectueux** en évaluant les **impacts environnementaux** tout au long du **cycle de vie des dispositifs**
- Des **expertises scientifiques et des formations par la recherche en lien avec l'industrie**.

Le plateau comprend des moyens numériques pour la conception et la simulation multiphysique, des outils de prototypage et des instruments de tests et de caractérisations en électronique, mécanique et physicochimie.

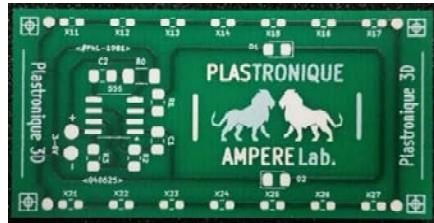
Il est ainsi possible de fabriquer ; fonctionnaliser et traiter des réseaux conducteurs sur divers substrats (conventionnels, polymères plastiques, céramique, etc.) ; reporter, traiter et assembler des composants et fonctions électroniques ; analyser et caractériser largement des échantillons et systèmes.

L'objectif est de développer et maîtriser des moyens technologiques pour concevoir des fonctions plurielles, innovantes et comprendre les phénomènes physiques mis en jeux.

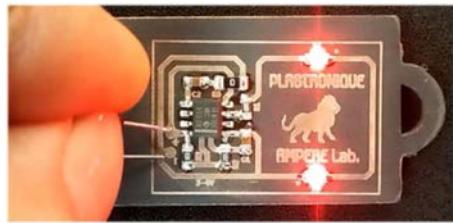


**Fig.1.** Illustration de l'environnement et d'une partie des moyens techniques disponibles sur la plateforme « Packaging avancé et plastronique 3D ».

Nous illustrons, figure 2, deux exemples de circuits et dispositifs utilisés lors des séances pratiques de formations.



(a) PCB test – Substrat FR4 HTG175 de 1.6 mm d'ép. ; cuivre de 35 µm d'ép. ; finition argent chimique ; vernis épargne et sérigraphie.

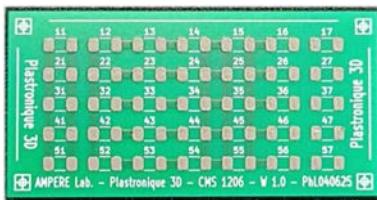


(b) Circuit plastronique [12] – Substrat Onyx (Polyamide - PA chargé en fibre de carbone), composants CMS, joint de brasure SAC305.

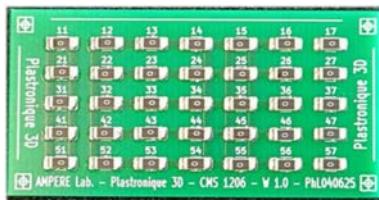
**Fig.2.** Exemples de circuits utilisés dans l'assemblage de PCBA manuel ou automatique.

Plusieurs orientations sont données suivant les objectifs des séances. C'est le cas par exemple des études comparatives relatives : aux performances de pâtes à braser (ex. Sn63Pb37 vs Sn42Bi57.6Ag04), aux méthodes de refusion (ex. four infrarouge vs phase vapeur) ; aux finitions des PCB (ex. étamage vs argent chimique) ; à la nature des substrat (ex. FR4 – standard vs Onyx – plastronique) ; etc.

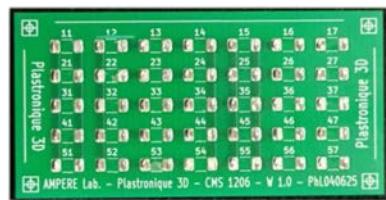
Les critères qualités considérés, illustrés figure 3, peuvent être : esthétiques (ex. joint de brasure) ; électriques (ex. conductivité) ; chimiques (ex. résidus de flux) ; mécaniques (ex. force d'adhésion) ; etc.



(a) Dépôt de pâte à braser par sérigraphie.



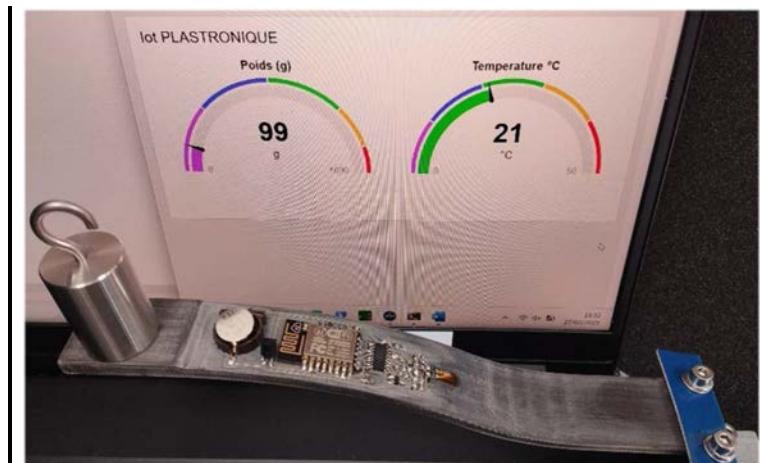
(b) Implémentation et brasage de composants CMS.



(c) Tests d'arrachement : étude de l'adhésion mécanique.

**Fig.3.** Circuits tests – Etudes comparatives d'adhésion mécanique en fonction de la nature des pâtes à braser ; des profils de refusions ; etc.

La figure 4 illustre le cas d'un projet final [13]. Celui-ci permet de synthétiser et mettre en pratique le savoir-faire acquis. Il demande d'adapter les choix techniques et technologiques aux contraintes du systèmes à concevoir.



**Fig.4.** Dispositif plastronique pour la mesure de contraintes (jauges de contraintes, capteur de température, transmission sans-fil) sur substrat polymère composite chargé et renforcé.

## V. Conclusion et perspectives

L’assemblage des composants électroniques, qu’il s’agisse de cartes 2D ou de systèmes plastroniques 3D, représente un pilier essentiel de l’industrie électronique moderne. Face aux défis croissants de miniaturisation, performance, fiabilité et durabilité, ce module pédagogique a été conçu pour offrir aux apprenants une compréhension globale des procédés d’assemblage, des matériaux et des normes en vigueur, tout en intégrant les dernières innovations technologiques et les contraintes environnementales.

En combinant théorie et une forte composante pratique, cette formation permet aux futurs ingénieurs et techniciens d’acquérir les compétences nécessaires pour concevoir, optimiser et contrôler des processus d’assemblage performants, adaptés aux exigences variées des secteurs industriels (aérospatial, automobile, défense, électronique grand public, etc.). L’accent a été mis sur une approche expérimentale concrète avec l’analyse des défauts, la résolution de problèmes et l’adaptation aux évolutions rapides du secteur prépare les apprenants à relever les défis actuels et futurs de l’industrie.

Enfin, en abordant les enjeux de compatibilité des matériaux, de gestion thermique et de conformité réglementaire (RoHS, sans plomb, REACH), ce module contribue à former des professionnels capables d’allier innovation, qualité et durabilité, tout en répondant aux besoins croissants de l’électronique moderne. Il pose ainsi les bases d’une approche transversale et prospective, essentielle pour accompagner les mutations technologiques et industrielles à venir.

### Remerciements

Les auteurs remercient tout particulièrement le Ministère français de l'Enseignement supérieur, de la Recherche et de l'Innovation ; la Région Auvergne Rhône-Alpes. Les auteurs sont également reconnaissants au GIP-CNFM [14] au projet IDEFI-FINMINA [15] ; à l’ANR AMI CMA INFORISM [16] ainsi qu’à l’EDIH Polytronics [17].

### Références

1. IPC. (2020). IPC-2591: Connected Factory Exchange (CFX).
2. IPC. (2021). Global Technology Roadmap for Electronics.
3. J. Franke (ed.). Three-Dimensional Molded Interconnect Devices (3D-MID): Materials, Manufacturing, Assembly and Applications for Injection Molded Circuit Carriers. Carl Hanser Verlag GmbH Co KG (2014).
4. Activités de la plateforme Plastronique : <https://hal.science/search/index?q=plastronique+ampere>.
5. Ph. Lombard, T. Gerges, B. Allard, S. A. Lambert et M. Cabrera, Plastronique 3D et 3D-MID, programme innovant d’enseignement supérieur et de formation à l’Université de Lyon, J3eA 18, 1014 (2019).
6. P. Lombard, H. Cauchy-Clerc, B. Allard, M. Cabrera ; Etude de cas en plastronique IME – Alliance de la plasturgie et de l’électronique pour le packaging de systèmes 3D - J3eA, Volume 23, (Hors Série 1) 1003 (2024) – Accès libre : <https://doi.org/10.1051/j3ea/20241003>.
7. Hwang, J. S., Modern Solder Technology for Competitive Electronics Manufacturing, McGraw-Hill, 2022.
8. Leister, M., Reflow Soldering Processes and Troubleshooting, ASM International, 2021.
9. Directive 2011/65/UE du Parlement européen et du Conseil (RoHS 2).
10. Karl J. Puttlitz, Kathleen A. Stalter, « Handbook of Lead-Free Solder Technology for Microelectronic Assemblies (Mechanical Engineering) », Marcel Dekker, Inc. New York Basel.
11. PC/JEDEC J-STD-006C, "Requirements for Electronic Grade Solder Alloys and Fluxed and Non-Fluxed Solid Solders for Electronic Soldering Applications".
12. D Gerdil , P Lombard , T Gerges , B Allard , J.-Y Charmeaux , V. Semet, M. Cabrera., A new perspective for the plastronic functionalization of 3D printed composites and high performances thermoplastic parts. From prototypes to final parts, LOPEC Conference 2025, Feb 2025, Munich (Allemagne), Germany – Poster de conférence hal-04995489v1
13. D. Gerdil, V. Semet, P. Lombard, T. Gerges, B. Allard, J.Y. Charneau, M. Cabrera ; Plastronic Functionalization of 3D-printed Composite Parts made of Polyamide-6 and Micro Carbon Fibers reinforced with Continuous Carbon Fibers ; 16th International Congress Mechatronic Integration Discourse, 2-3 July 2025, Amberg, Germany.
14. GIP-CNFM: Groupement d’Intérêt Public - Coordination Nationale pour la formation en Microélectronique et en nanotechnologies – <http://www.cnfm.fr> (last access June 2025).
15. ANR IDEFI-FINMINA : Initiative d’Excellence – Formation Innovante en Microélectronique et Nanotechnologies, ANR-11-IDFI-0017. Le projet est échu en 2022.
16. INFORISM, INGénierie de FORmations Innovantes et Stratégiques en Microélectronique, projet ANR-23-CMAS-0024-INFORISM au titre du programme France 2030. Ce projet à 5 ans a démarré au cours de l’année académique 2023-2024.
17. EDIH (European Digital Innovation Hub) POLYTRONICS, projet issu du programme européen « Digitising European Industry » ayant pour objectif de constituer un guichet unique (physique ou virtuel) afin de connecter les entreprises des secteurs des matériaux polymères à des moyens et écosystèmes nécessaires à leur transformation numérique – [www.polytronics.online](http://www.polytronics.online). Ce projet de 36 mois se terminera en juin 2026.

# De la caractérisation à la construction de modèles de composants de puissance à semiconducteur à grand-gap

B. Niass Ndao<sup>a</sup>, P. Brosselard<sup>a</sup>, B. Allard<sup>a</sup>

<sup>a</sup> Ampère et pôle CNFM de Rennes (CIMIRLY), INSA Lyon, Villeurbanne, France  
Contact email : bruno.allard@insa-lyon.fr

Dans le cadre de l'ANR AMI CMA INFORISM<sup>1</sup>, et de l'action 3, une offre de formation a été organisée pour soutenir la montée en compétences autour de l'électronique de puissance à semiconducteurs grand gap. Cette offre se particularise par une proportion importante d'approches expérimentales. La simulation de convertisseurs de puissance exige des modèles compacts de composants pour dépasser des soucis de convergence. L'article décrit un TP déroulant la procédure de construction de modèles.

## I. INFORISM et l'offre de formation nouvelle

L'action 3 du projet INFORSIM est intitulé « Récupération, transformation et conversion d'énergie ». Cette action couvre aussi bien les problématiques de récupération d'énergie électromagnétique ambiante que l'électronique de puissance. Dans le champ de l'électronique de puissance, un Groupe de Travail piloté par la Filière Electronique<sup>2</sup> et la PFA<sup>3</sup>, avait abouti en 2021 à l'expression des besoins en termes de compétences et de métiers. Cette expression de besoins a été traduite en cahier des charges pour des formations des experts en électronique de puissance pour la mobilité, dans un premier temps, eu égard à la PFA, et dans un second temps, de manière plus générale. Le GIP CNFM s'est approprié cet état des lieux pour bâtir le projet ANR INFORISM et le pôle de Lyon-Saint-Etienne a choisi, entre autres, d'aborder à des propositions de formation dans le domaine de l'électronique de puissance utilisant des composants de puissance à semiconducteur à grand-gap.

Le Carbure de Silicium (alias Silicon Carbide ou SiC<sup>4</sup>) est un matériau étudié depuis au moins 5 décennies pour l'élaboration de composants de puissance<sup>5</sup>. Le MOSFET SiC est actuellement un composant prisé pour les applications basse et moyenne puissance. Le projet considère des dispositifs avec une tenue en tension de 1200 V. L'intérêt du SiC est d'offrir une tenue en tension avec des épaisseurs de couche plus fine, c'est-à-dire in fine une résistance à l'état passant plus petite du dispositif, comparé au MOSFET Si de calibre équivalent. Par ailleurs la commutation du MOSFET SiC génère moins de pertes Joule que la contrepartie SiC. Finalement le MOSFET SiC autorise des fréquences de fonctionnement plus élevées, ce qui est bénéfique du côté des

<sup>1</sup> French national program (France 2030): INFORISM (Engineering of Education Innovative and Strategic in Microelectronics), AMI-CMA, ANR-23-CMAS-0024, June 2024, <https://www.cnfm.fr>

<sup>2</sup> <https://www.filiere-electronique.fr>

<sup>3</sup> Plateforme Automobile, <https://pfa-auto.fr>

<sup>4</sup> Brief Overview of Silicon Carbide, Microchip, 20/09/2024,  
<https://developerhelp.microchip.com/xwiki/bin/view/products/power-management/sic-intro/overview/>

<sup>5</sup> Silicon Carbide Power Technology for Energy Efficient Devices, CORDIS Report, 31/12/2017,  
<https://cordis.europa.eu/project/id/604057/reporting>

composants passifs magnétiques et capacitifs. Ceux-ci sont plus petits (en valeur et en volume) et expliquent le saut possible en densité de puissance des convertisseurs de puissance. Les batteries de traction à 800 V, ou les étages d'entrée d'alimentation de datacenter sont les cibles applicatives du MOSFET SiC 1200V, mais pas que.

Un autre composant est devenu très populaire pour le calibre en tension de 650 V (tension redressée du secteur, batterie 400 V) : le HEMT<sup>6</sup> en nitride de gallium (alias Gallium Nitride ou GaN) (1). Le très faible niveau de pertes Joule lors de commutation rend le HEMT GaN très attractif par rapport au MOSFET Si de même calibre. La montée en fréquence de commutation produit le bénéfice en densité de puissance. Par ailleurs, la technologie GaN-sur-Si autorise l'intégration de systèmes. Le chargeur de batterie connecté au secteur a subi un saut de performances indéniables avec l'adoption du GaN (2). Les études font rage pour développer des solutions de chargeurs embarqués (*on-board charger*) pour la mobilité (3). Cette application est intéressante du point de vue pédagogique, dans la mesure où beaucoup de topologies de convertisseurs utilisent la structure devenue standard DAB<sup>7</sup> (4).

Les composants à semiconducteur à grand-gap commutent très vite, c'est-à-dire qu'ils peuvent passer de l'état fermé à l'état ouvert en quelques nanosecondes. Ceci conduit les tensions comme les courants à évoluer avec des pentes de très fortes valeurs, jamais vues avec les composants en silicium. Ceci ne va pas sans effet secondaire. En effet les variations ultra-rapides de courant sont assimilables à des fronts d'onde. Le long des pistes conductrices sur les cartes électroniques, les fronts engendrent des phénomènes de propagation, qui peuvent être vus comme générés par des éléments parasites inductifs. De même les fortes variations de tension vont installer des interactions capacitatives entre des pistes conductrices ou entre pistes conductrices et plans de masse. Là encore les courants parasites engendrés seront associés à la modélisation d'éléments parasites capacitifs.

Pour simuler la commutation de composants grand-gap au sein d'un convertisseur, la formation propose l'utilisation du logiciel LTSpice. Il faut dépasser des problèmes de convergence en cours de simulation, dus à la complexité des modèles des constructeurs pour leurs dispositifs. Les constructeurs guident l'utilisateur dans le réglage du simulateur (5) mais ceci conduit à des bancs de simulation complexes comme l'illustre la figure 1. De plus ces réglages ne garantissent pas l'absence de problème de convergence. Aussi il est plus intéressant de revenir à des modèles dits plus compacts des dispositifs. Ces modèles seront moins précis dans le détail mais permettent l'étude des convertisseurs à une échelle intermédiaire par rapport à l'échelle système. Bien entendu les modèles plus compacts reprennent de nombreuses équations des modèles évolués du MOSFET.

L'offre de formation continue pour la montée en compétences en électronique de puissance se décline en plusieurs modules (Figure 2). En particulier nous retiendrons une entrée en matière autour de la physique des composants de puissance (module 8400), le panorama des composants de puissance (module 8401) et l'étude de la commutation des composants de puissance (module 8403), cf Figure 3.

Dans le corps du module 8403, une partie s'intéresse à la construction de modèles plus compacts pour la simulation de circuits de convertisseurs de puissance.

<sup>6</sup> High Electron Mobility Transistor : il s'agit en bref d'un transistor à effet de champ, modulé par le dopage.

<sup>7</sup> Dual Active Bridge → M. Blanc, Y. Lembeye, J.-P. Ferrieux, « Dual Active Bridge (DAB) pour la conversion continu-continu », Techniques de l'Ingénieur, article E3975 (2019)

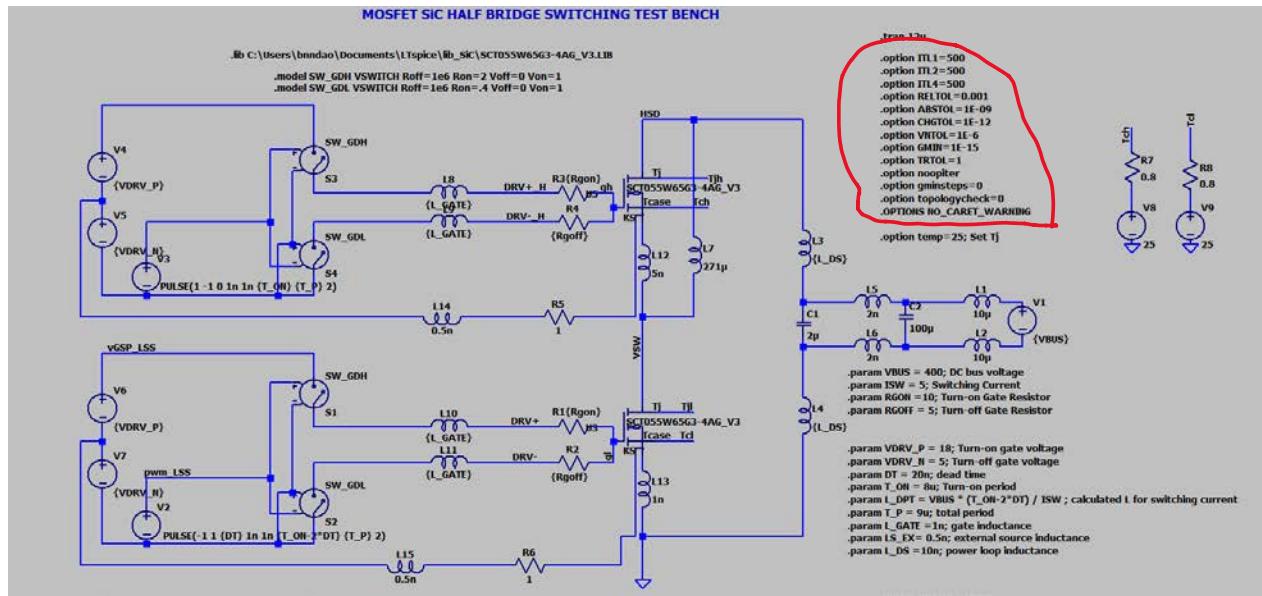


Fig.1. Banc de simulation d'une structure « demi-pont » avec les options du simulateur. Les modèles de MOSFET SiC sont ceux du constructeur.

Fig.2. Panorama de l'offre de formation continue autour de l'électronique de puissance à semiconducteurs à grand-gap



L'objectif de cette formation est de réaliser un tour d'horizon des notions de base de la physique des semi-conducteurs afin de concevoir des briques élémentaires de composants électroniques. L'application à la problématique de la tenue en tension des composants de puissance est abordée.

**ELECTRONIQUE DE PUISSANCE - COMPOSANTS ÉLECTRONIQUES ACTIFS**  
L'objectif de la formation est de faire un tour d'horizon des différents types de composants de puissance, leurs principales caractéristiques, leurs limites et leur mise en parallèle.

**ELECTRONIQUE DE PUISSANCE - COMMUTATION DES COMPOSANTS DE PUISSANCE**  
L'objectif est de réaliser un tour d'horizon du banc de test dédié, dit à double pulses, d'appréhender les problématique de mesure, les sources de perturbation des commutation et observer des commutation.

Fig.3. Offres principales relatives aux composants de puissance à semiconducteurs à grand-gap

## II. Procédure de construction de modèles compacts

Il s'agit d'un TP de prise en main d'une procédure d'identification de paramètres d'un modèle de MOSFET (level 4) pour répondre à deux objectifs : simplifier le réglage des options du simulateur pour éviter les défauts de convergence, tout en permettant la simulation de circuits avec un nombre élevé de composants de puissance sans perte excessive de précision, à l'échelle de la commutation.

Comme la procédure s'applique un dispositif de puissance ciblé (référence commerciale), il faut un minimum de données de caractérisation, ainsi qu'un algorithme simple d'identification des valeurs des paramètres du modèle et enfin un script d'optimisation de ces valeurs pour rendre cohérente la réponse du modèle.

### A. Caractérisations minimales d'un dispositif de puissance.

Les caractéristiques nécessaires à la modélisation sont :  $Id_s(V_{DS})$ ,  $Id_s(V_{GS})$ ,  $C_{GS}(V_{GS})$  et  $C_{DS}(V_{DS})$  où  $Id_s$  est le courant de drain du MOSFET,  $V_{DS}$  la tension drain-source,  $V_{GS}$ , la tension grille-source,  $C_{GS}$  est la capacité parasite observée entre grille et source et  $C_{DS}$  est la capacité parasite entre drain et source. Les caractéristiques sont obtenues à l'aide d'un testeur Keysight B1505A, et une partie du TP concerne la mise en œuvre des mesures.

En particulier des cartes-supports (Figure 4) ont été produites pour faciliter l'appropriation de composants en boîtier de type HiP247-4 ou HU3PAK pour les MOSFET SiC, et PowerFlat pour les HEMT GaN.



Fig.4. Cartes-supports pour faciliter la connexion au testeur Keysight B1505A.

La procédure de construction de modèles plus compacts nécessite des caractérisations à faible et fort courant  $Id_s$ , à faible et fort niveau de polarisation  $V_{DS}$ . Pour éviter l'auto-échauffement, une technique de mesure sous impulsion est nécessaire, discutée lors du TP quand les réglages du testeur sont regardés. La figure 5 montrent la caractérisation d'un dispositif SCT055HU65G3AG, composant 30 A, 650 V.

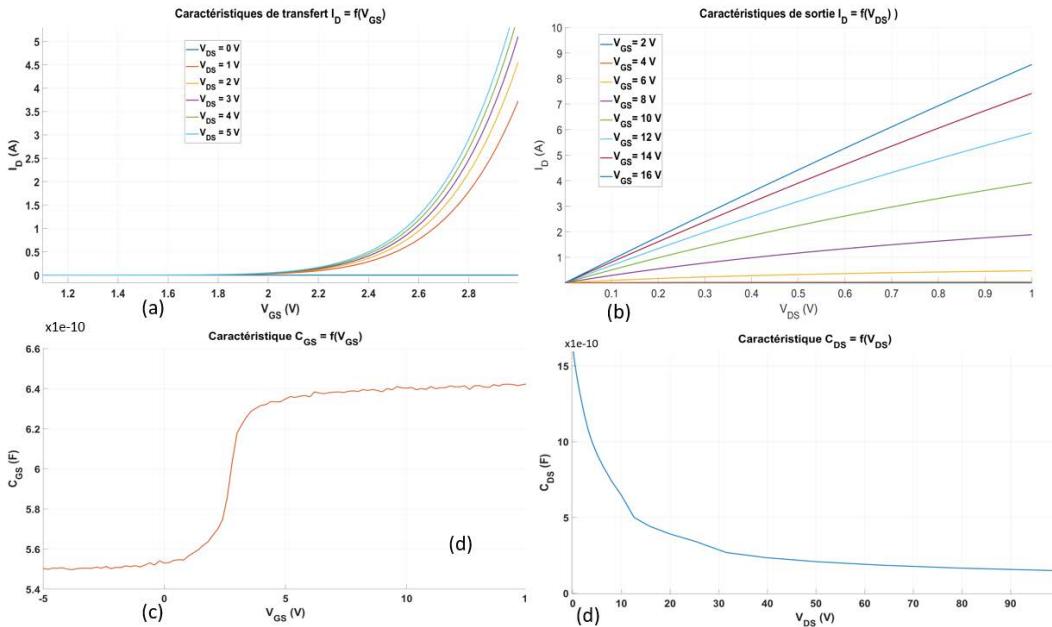


Fig.5. Caractéristiques  $I_{DS}$ - $V_{GS}$ (a),  $I_{DS}$ - $V_{DS}$ (b),  $C_{GS}$ - $V_{GS}$ (c) et  $C_{DS}$ - $V_{DS}$ (d) du dispositif SCT055HU65G3AG, telles que rendues par le testeur, sous couvert de réglages proposés à l'apprenant.

Par ailleurs, dans la datasheet du constructeur, il faut évaluer des paramètres dimensionnels supplémentaires du MOSFET : la longueur effective de canal et la largeur effective de canal.

### B. Procédure

L'apprenant déroule la procédure selon la figure 6. En préambule et pendant le déroulement du TP, l'apprenant reçoit une information sur la signification de chacun des paramètres, sans entrer dans le détail des modèles SPICE les plus avancés des MOSFETs verticaux.

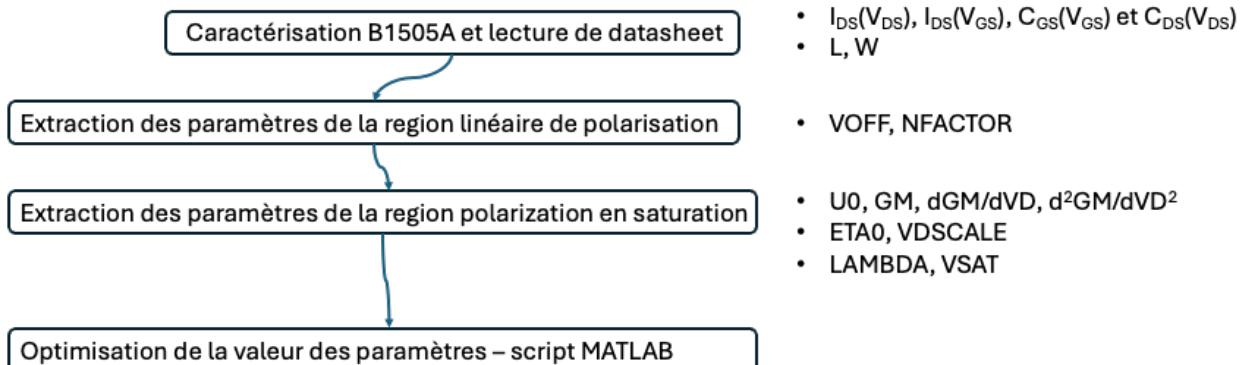


Fig.6. Ossature principale de la procédure d'extraction de paramètres de modèle.

L'issue de la procédure est l'obtention d'un fichier encapsulé *LIB* pour le dispositif de puissance concerné, autour du modèle générique SWITCH.

### III. Simulation typique de circuit

L'apprenant est invité à analyser les principales formes d'ondes des structures typiques demi-pont, pont complet et Dual Active Bridge, sous commutation dure. La commutation douce est un sujet en soi qui ne peut pas être ajouté au TP (faute de temps et pour des évidentes raisons de cohérence pédagogique). L'objectif est que l'apprenant effectue un comparatif de la trajectoire de

commutation du dispositif au sein des structures typiques proposées. A l'échelle système, la simulation à l'aide d'interrupteurs idéaux permet d'analyser et vérifier des principes de commande, sachant que les formes d'ondes d'intérêt seront idéales. Utiliser un modèle plus représentatif d'un dispositif donne accès au stress électrique des dispositifs.

L'utilisation de modèles constructeur du MOSFET SiC (par exemple STMicroelectronics pour le dispositif SCT055W65G3-4AG) conduit à un moment ou un autre à une impasse avec le simulateur LTSpice, et irrémédiablement concernant la topologie DAB. C'est-à-dire qu'en un temps raisonnable (une journée !), il apparaît un échec de réglage des options du simulateur pour soulever les différents problèmes de convergence. Cette situation est frustrante. C'est la raison principale pour l'identification des paramètres du modèle de dispositif souhaité, sur un modèle plus compact.

La figure 7 montre le banc de simulation d'un Dual Active Bridge, avec 8 dispositifs MOSFETs SiC. La commande standard du DAB repose sur un déphasage entre le primaire et le secondaire. Ce type de commande peut se modéliser simplement par l'expression des signaux logiques en amont des circuits de commande de grille. Ces circuits de commande de grille sont résumés par leur seul étage de sortie, et non pas un modèle complexe de circuit intégré commercial. Cette complexité n'a pas d'intérêt ici du fait de l'horizon de temps d'analyse considéré (trajectoire de commutation). L'important concerne la section de réglage des options du simulateur, qui doit rester simples, avec les seuls éléments facilement compréhensibles. Les valeurs par défaut des options du simulateur pourraient convenir mais il est plus pédagogique de les faire apparaître sur le banc de simulation. Des copiés-collés seront facilités ainsi que l'apprentissage par l'exemple des combinaisons d'option qui résolvent tels ou tels écueils de simulation. En pratique, il est nécessaire de retoucher ces options en fonction des caractéristiques de l'analyse (tension de bus, vitesse du signal de commande de grille, valeurs des éléments parasites, ...), même si c'est à la marge. Le processus de réglage doit être simple et ne peut donc pas porter sur un grand nombre d'options. Une motivation de l'analyse vient d'un besoin d'obtenir une meilleure définition des formes d'ondes d'intérêt sans pour autant alourdir considérablement le temps de simulation.

La figure 7 offre une vision assez idéale du circuit. C'est la première étape dans l'analyse d'une structure. Avec l'introduction des éléments parasites de câblage pour gagner en pertinence de simulation, de nouveaux problèmes de convergence se manifestent qu'un réglage des options du simulateur résout, généralement plutôt facilement.

Les formes d'ondes d'intérêt (tension et courant) permettent d'analyser les stress électriques et même d'évaluer les pertes joules au premier ordre pour discuter la problématique de l'assistance thermique des composants. L'objectif de la formation, en général, est de poser les limites qui contraignent d'envisager des assistances thermiques autres que la convection forcée.

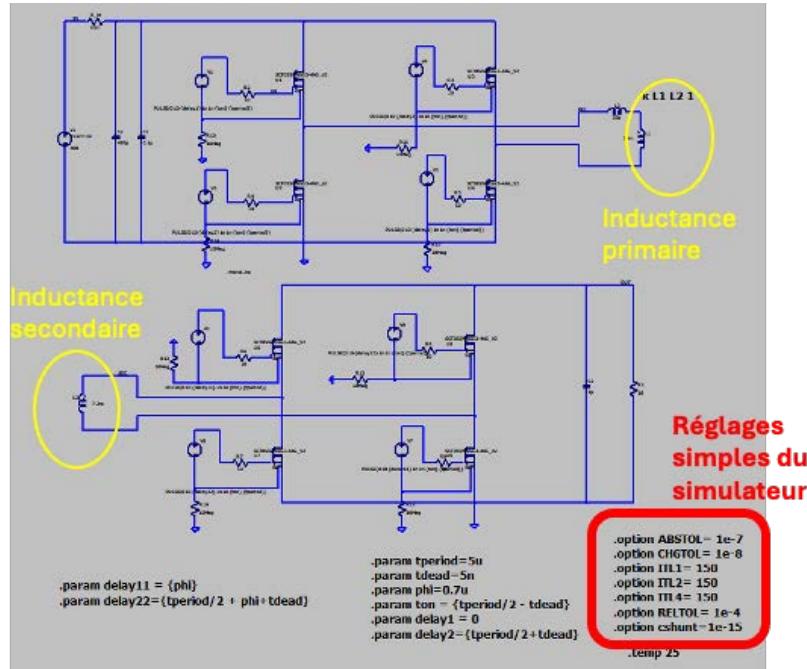


Fig.7. Modèle de simulation de la structure DAB avec des dispositifs SCT055W65G3-4AG.

#### IV. Conclusion

La formation par l'approche expérimentale en électronique de puissance ne peut pas se passer de simulation « circuit » des convertisseurs. A l'échelle système, vis-à-vis de la loi de commande, des interrupteurs idéaux à la place des transistors de puissance suffisent. Vient ensuite un besoin d'analyse des trajectoires de commutation des transistors afin d'observer les stress électriques auxquels ils sont soumis. Les constructeurs fournissent des fichiers-modèles prêts à l'utilisation sous Spice, donc aussi sous LTSpice. L'expérience est que la simulation butte très rapidement sur des soucis de convergence. Le réglage des options du simulateur devient un sport. Pour dépasser cette limitation, il est plus rentable d'identifier les paramètres d'un modèle moins sophistiqué du MOSFET, mais qui permettra des simulations de convertisseurs en allégeant la phase de réglage des options du simulateur. Les résultats sont sans doute moins précis mais l'analyse qui est recherchée n'a pas besoin d'une précision importante, par contre la simulation doit pouvoir être répétée plusieurs fois pour observer des limites de comportement des dispositifs au sein du convertisseur (par exemple vis-à-vis des aspects thermiques). C'est une compétence attendue de l'ingénieur que de choisir ses modèles de dispositifs et de régler les options du simulateur de circuits.

#### Remerciements

Les auteurs remercient la DGSIP pour son soutien ainsi que l'ANR INFORISM (6) portée par le GIP CNFM (7), pour le financement des cartes et bancs utilisés dans le cadre de la nouvelle offre portée par INSAVALOR.

#### Références

1. J.-C. De Jaeger, "Dispositifs HEMT à base de GaN – matériaux et épitaxie », Techniques de l'Ingénieur, article E1995 (2024).

2. J. A. Chaudhary, R. Attanasio and G. Vitale, "Gallium Nitride (GaN) Based Topology Comparison for Low Power Battery Charging Applications," 2025 IEEE Applied Power Electronics Conference and Exposition (APEC), Atlanta, GA, USA, pp. 3304-3311, doi: 10.1109/APEC48143.2025.10977477 (2025).
3. S. Funatsu et al., "GaN Based Modified Integrated On-Board Charger Configuration Using Minimum Additional Active and Passive Components," in IEEE Transactions on Industry Applications, doi: 10.1109/TIA.2025.3600210 (2025)
4. A. Kumar and R. Kalpana, "Design and Analysis of GaN and Planar Magnetics based DAB Converter for EV On-Board Chargers," 2025 IEEE Energy Conversion Congress & Exposition Asia (ECCE-Asia), Bengaluru, India, pp. 1-6, doi: 10.1109/ECCE-Asia63110.2025.11112402 (2025).
5. STMicroelectronics, « UM1575 – Spice model tutorial for Power MOSFETs”, Note d’Application 023670 Rev 1, (2013)
6. French national program (France 2030): INFORISM (Engineering of Education Innovative and Strategic in Microelectronics), AMI-CMA, ANR-23-CMAS-0024, June 2024, <https://www.cnfm.fr>
7. GIP-CNFM: Groupement d’Intérêt Public - Coordination Nationale pour la formation en Microélectronique et en nanotechnologies. Website: <http://www.cnfm.fr> (last access June 2025)

# Banc Double-Impulsions pour la caractérisation de composants de puissance à semiconducteur grand-gap

B. Niass Ndao<sup>a</sup>, P. Brosselard<sup>a</sup>, B. Allard<sup>a</sup>

<sup>a</sup> Ampère et pôle CNFM de Rennes (CIMIRLY), INSA Lyon, Villeurbanne, France

Contact email : bruno.allard@insa-lyon.fr

Dans le cadre de l'ANR AMI CMA INFORISM<sup>1</sup>, et de l'action 3, une offre de formation a été organisée pour soutenir la montée en compétences autour de l'électronique de puissance à semiconducteurs grand gap. Cette offre se particularise par une proportion importante d'approches expérimentales. Le banc dit à double impulsions est notamment un outil de plus en plus répandu pour la caractérisation de composants en commutation. Cet article décrit comment le banc s'articule au sein de l'offre de formation.

## I. INFORISM et l'offre de formation nouvelle

L'action 3 du projet INFORSIM est intitulé « Récupération, transformation et conversion d'énergie ». Cette action couvre aussi bien les problématiques de récupération d'énergie électromagnétique ambiante que l'électronique de puissance. Dans le champ de l'électronique de puissance, un Groupe de Travail piloté par la Filière Electronique<sup>2</sup> et la PFA<sup>3</sup>, avait abouti en 2021 à l'expression des besoins en termes de compétences et de métiers. Cette expression de besoins a été traduite en cahier des charges pour des formations des experts en électronique de puissance pour la mobilité, dans un premier temps, eu égard à la PFA, et dans un second temps, de manière plus générale. Le GIP CNFM s'est approprié cet état des lieux pour bâtir le projet ANR INFORISM et le pôle de Lyon-Saint-Etienne a choisi, entre autres, d'aborder à des propositions de formation dans le domaine de l'électronique de puissance utilisant des composants de puissance à semiconducteur à grand-gap.

Le Carbure de Silicium (alias Silicon Carbide ou SiC<sup>4</sup>) est un matériau étudié depuis au moins 5 décennies pour l'élaboration de composants de puissance<sup>5</sup>. Le MOSFET SiC est actuellement un composant prisé pour les applications basse et moyenne puissance. Le projet considère des dispositifs avec une tenue en tension de 1200 V. L'intérêt du SiC est d'offrir une tenue en tension avec des épaisseurs de couche plus fine, c'est-à-dire in fine une résistance à l'état passant plus petite du dispositif, comparé au MOSFET Si de calibre équivalent. Par ailleurs la commutation du MOSFET SiC génère moins de pertes Joule que la contrepartie SiC. Finalement le MOSFET SiC autorise des fréquences de fonctionnement plus élevées, ce qui est bénéfique du côté des

<sup>1</sup> French national program (France 2030): INFORISM (Engineering of Education Innovative and Strategic in Microelectronics), AMI-CMA, ANR-23-CMAS-0024, June 2024, <https://www.cnfm.fr>

<sup>2</sup> <https://www.filiere-electronique.fr>

<sup>3</sup> Plateforme Automobile, <https://pfa-auto.fr>

<sup>4</sup> Brief Overview of Silicon Carbide, Microchip, 20/09/2024, <https://developerhelp.microchip.com/xwiki/bin/view/products/power-management/sic-intro/overview/>

<sup>5</sup> Silicon Carbide Power Technology for Energy Efficient Devices, CORDIS Report, 31/12/2017, <https://cordis.europa.eu/project/id/604057/reporting>

composants passifs magnétiques et capacitifs. Ceux-ci sont plus petits (en valeur et en volume) et expliquent le saut possible en densité de puissance des convertisseurs de puissance. Les batteries de traction à 800 V, ou les étages d'entrée d'alimentation de datacenter sont les cibles applicatives du MOSFET SiC 1200V, mais pas que.

Un autre composant est devenu très populaire pour le calibre en tension de 650 V (tension redressée du secteur, batterie 400 V) : le HEMT<sup>6</sup> en nitride de gallium (alias Gallium Nitride ou GaN) (1). Le très faible niveau de pertes Joule lors de commutation rend le HEMT GaN très attractif par rapport au MOSFET Si de même calibre. La montée en fréquence de commutation produit le bénéfice en densité de puissance. Par ailleurs, la technologie GaN-sur-Si autorise l'intégration de systèmes. Le chargeur de batterie connecté au secteur a subi un saut de performances indéniables avec l'adoption du GaN (2). Les études font rage pour développer des solutions de chargeurs embarqués (*on-board charger*) pour la mobilité (3). Cette application est intéressante du point de vue pédagogique, dans la mesure où beaucoup de topologies de convertisseurs utilisent la structure devenue standard DAB<sup>7</sup> (4).

Les composants à semiconducteur à grand-gap commutent très vite, c'est-à-dire qu'ils peuvent passer de l'état fermé à l'état ouvert en quelques nanosecondes. Ceci conduit les tensions comme les courants à évoluer avec des pentes de très fortes valeurs, jamais vues avec les composants en silicium. Ceci ne va pas sans effet secondaire. En effet les variations ultra-rapides de courant sont assimilables à des fronts d'onde. Le long des pistes conductrices sur les cartes électroniques, les fronts engendrent des phénomènes de propagation, qui peuvent être vus comme générés par des éléments parasites inductifs. De même les fortes variations de tension vont installer des interactions capacitatives entre des pistes conductrices ou entre pistes conductrices et plans de masse. Là encore les courants parasites engendrés seront associés à la modélisation d'éléments parasites capacitifs.

Pour étudier la commutation d'un composant grand-gap, il faut donc l'insérer dans un circuit électrique qui autorisera les fortes variations de tension et de courant, tout en maîtrisant la tension à l'état bloqué du composant et le courant à l'état conducteur. De plus, il faudra être capable de mesurer correctement les grandeurs utiles. Enfin, pour des questions d'énergie, il ne faut pas installer une répétition de commutations sous peine d'effets thermiques, qui compliquent la caractérisation. Le banc de test dit à double impulsions s'est imposé pour résoudre les contraintes précédentes.

L'offre de formation continue pour la montée en compétences en électronique de puissance se décline en plusieurs modules (Figure 1). En particulier nous retiendrons une entrée en matière autour de la physique des composants de puissance (module 8400), le panorama des composants de puissance (module 8401) et l'étude de la commutation des composants de puissance (module 8403), cf Figure 2.

Dans le corps du module 8403, une partie s'intéresse à la trajectoire de commutation ainsi que la caractérisation expérimentale de cette trajectoire. C'est là qu'intervient le banc, objet de cet article, avec sa simulation associée.

<sup>6</sup> High Electron Mobility Transistor : il s'agit en bref d'un transistor à effet de champ, modulé par le dopage.

<sup>7</sup> Dual Active Bridge → M. Blanc, Y. Lembeye, J.-P. Ferrieux, « Dual Active Bridge (DAB) pour la conversion continu-continu », Techniques de l'Ingénieur, article E3975 (2019)

Fig.1. Panorama de l'offre de formation continue autour de l'électronique de puissance à semiconducteurs à grand-gap



Fig.2. Offres principales relatives aux composants de puissance à semiconducteurs à grand-gap

## II. Simulation du banc double-impulsion

Le test double impulsion peut être réalisé de manière simple avec une topologie de conversion dite en demi-pont. C'est-à-dire que deux transistors sont alimentés en série par une tension continue (V<sub>BUS</sub>) et délivrent ou absorbent du courant sur leur point milieu. La figure 3 montre le modèle LTSpice d'une telle structure. Le test en lui-même consiste à faire conduire un transistor à caractériser (U4), et qui va laisser son courant de drain augmenter sous le contrôle d'une inductance

(L1, sans saturation). En maîtrisant le temps de conduction, on définit une valeur maximale du courant, juste avant l’ouverture du transistor. Chaque transistor est piloté par un contrôleur de grille (alias *gate driver*), modélisé par le dernier étage de ce type de circuit, ainsi que des résistances de grille (R1, R2) et la prise en compte d’éléments parasites de câblage. Lorsque le transistor à caractériser s’ouvre, le courant dans l’inductance de charge (L1) ne peut pas être interrompu. Aussi celui-ci va circuler dans le transistor miroir (U3), piloté en diode antiparallèle (et qui assure naturellement le court-circuit de l’inductance de charge).

Le transistor à caractériser va alors supporter la tension VBUS. Une première impulsion de courant a été réalisée, qui a installé un courant d’une certaine valeur dans l’inductance L1. Bien évidemment une structure de banc similaire est réalisée pour le test des MOSFET SiC.

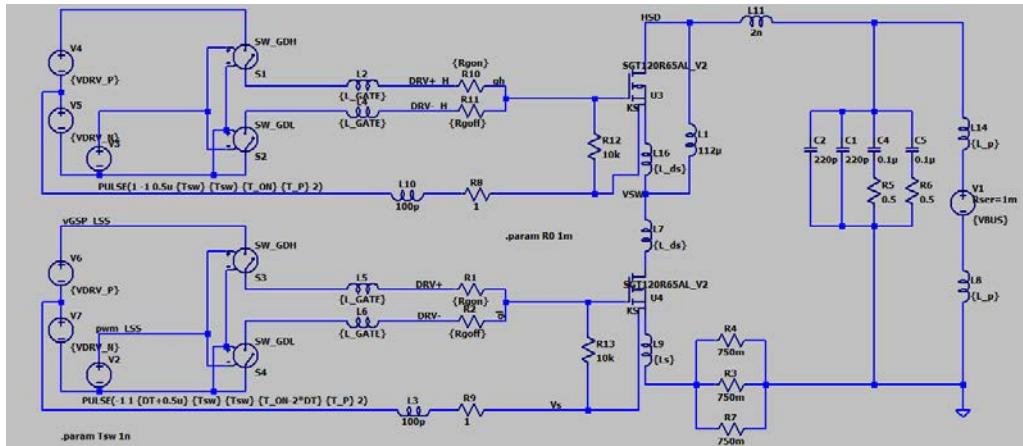


Fig.3. Modèle LTSpice d’une structure *demi-pont* à base de composants HEMT GaN (inspirée d’une carte de développement STMicroelectronics).

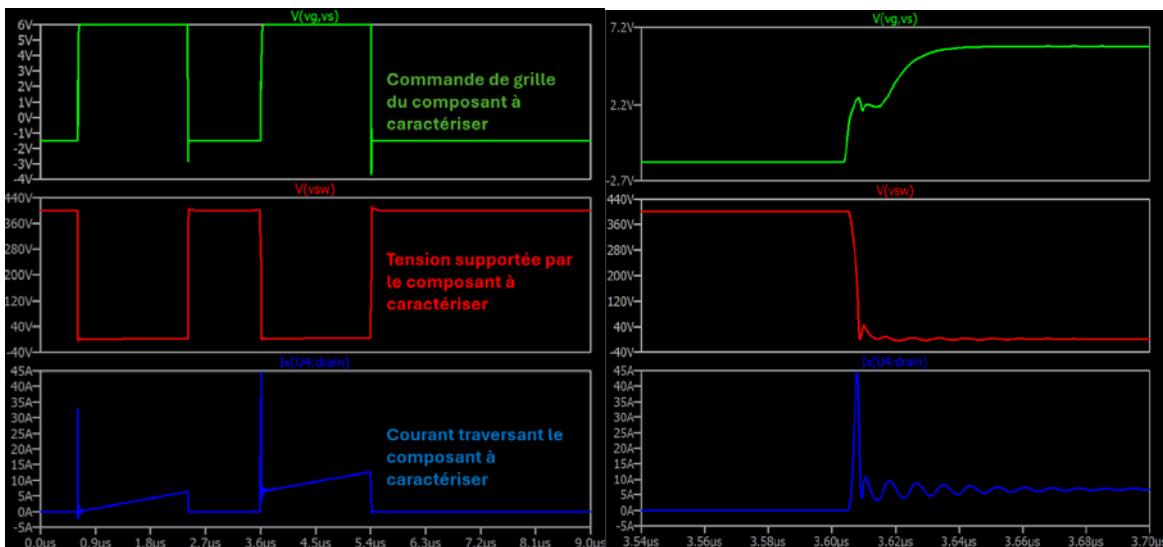


Fig.4. Simulation LTSpice d’une structure *demi-pont* à base de composants HEMT GaN (inspirée d’une carte de développement STMicroelectronics).

La figure 4 montre un résultat de simulation typique sur un banc dédié au HEMT GaN. La tension VBUS est fixée à 400 V. L’installation d’un courant de 5 A est obtenue à 2,5 μs.. La seconde impulsion va permettre au transistor à caractériser de produire une commutation de l’état bloqué à l’état conducteur, immédiatement suivie d’une commutation de l’état conducteur à l’état bloqué.

La simulation montre qu'en 1  $\mu$ s environ, le courant dans l'inductance de charge a peu varié et on peut donc considérer que le transistor effectue des trajectoires de commutation entre 400 V et 5 A. La simulation indique une surintensité à l'ouverture du transistor. De même la mesure de courant est affectée d'oscillations. Ce sont des phénomènes parasites qui doivent être montrés expérimentalement pour mieux évaluer l'impact de solutions d'amélioration.

### III.Banc double-impulsion et expérimentation

Les apprenants travailleront sur des cartes développées conjointement avec STMicroelectronics (HEMT GaN) et GANSystems (HEMT GaN). La figure 5 montre un banc typique mis à disposition d'un apprenant. Le circuit portant les HEMT GaN est une carte « fille » (6) encastrée dans une carte mère assurant les alimentations secondaires des contrôleurs de grille des transistors ou bien l'offre de connectique essentielle vers les principaux courants et tensions.

- 1 : Oscilloscope Tektronix DPO4014B
- 2 : Alimentation isolée 12V DC (TENMA 72-2545) pour la carte mère
- 3 : Générateur des signaux de commande RSDG 1032X
- 4 : Source de tension (SMU 2410 Keithley)
- 5 : Inductance de charge à air (112uH)
- 6 : Carte fille portant les HEMT GaN (SGT120R65AL)
- 7 : Sonde de courant TCP0150
- 8 : Sondes passives de tension Tektronix TPP0250 500MHz

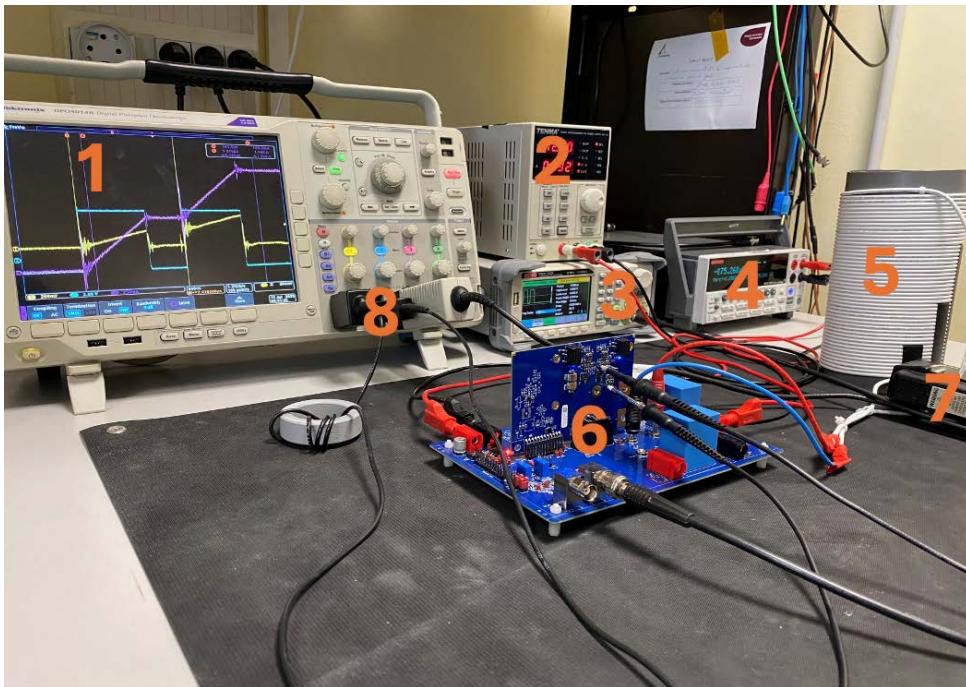


Fig.5. Banc typique mis à disposition de l'apprenant (carte de développement STMicroelectronics).

L'apprenant recevra un protocole de test qui balayera les aspects suivants :

- Vérification des branchements.
- Séquence de mise sous tension de l'ensemble (notamment réglage des alimentations et générateur de signaux arbitraires).
- Vérification de l'état de santé du circuit à l'aide de signaux prédéfinis.
- Essai à faible tension VBUS et faible courant maximal – Analyse

- Test de solutions d'amélioration vis-à-vis de la mesure
- Essai à amplitudes de tension/courant de service moyennes
- Essai à amplitudes de tension/courant de service élevées
- Rapprochement des résultats avec le contenu de la datasheet du composant
- Rapprochement des résultats avec la simulation préalable
- Liste des phénomènes encore non expliqués

A titre d'exemple, la figure 6 donne un exemple de prise de mesure de potentiel de référence par fil à pince crocodile. L'apprenant fait face à des oscillations et il doit lister des hypothèses quant à leur origine. Une hypothèse sera la taille de la « boucle de masse », surface enfermée par le corps de la sonde et le système de prise de potentiel de référence. La figure 7 reprend la même mesure mais avec une autre approche (ressort). Normalement les conclusions sont assez rapides à tirer par l'apprenant. Ce dernier sera guidé pour évaluer l'impact d'autres techniques de mesure.

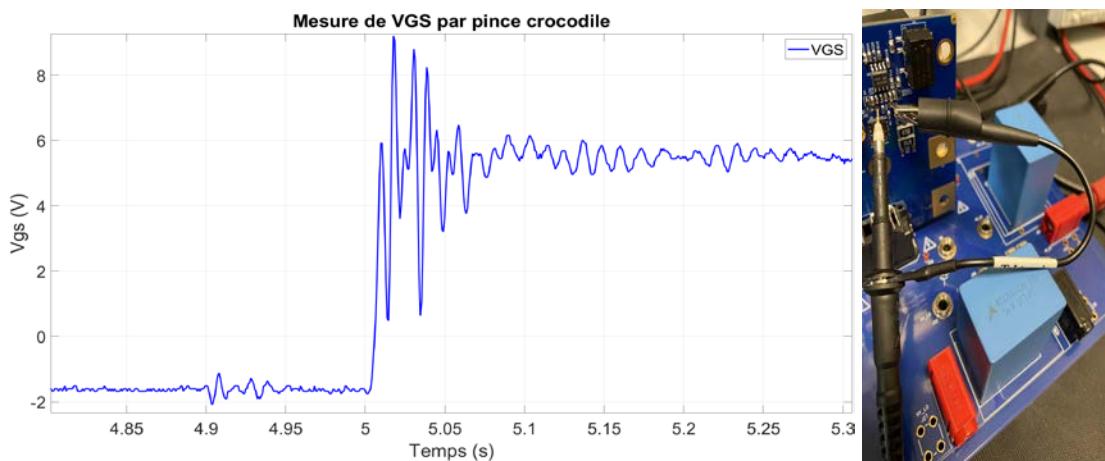


Fig.6. Mesure de la tension  $V_{GS}$  aux bornes du transistor à caractériser, avec une prise de potentiel de référence par pince crocodile.

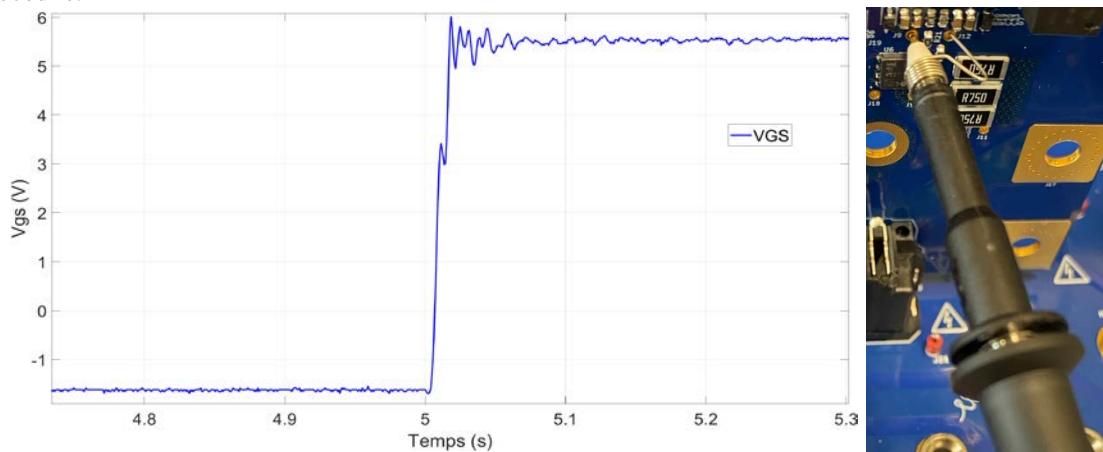


Fig.7. Mesure de la tension  $V_{GS}$  aux bornes du transistor à caractériser, avec une prise de potentiel de référence par ressort.

En effet, si les mesures de tension sont assez facilement améliorées, il n'en sera pas de même pour la mesure du courant. Des sondes spécifiques seront proposées mais c'est une limite de l'utilisation de cartes de développement : les solutions de mesure du courant sont figées, voire empêchées par la conception de la carte. C'est la raison pour laquelle les apprenants seront dirigés in fine vers un banc de laboratoire, dont la complexité empêche de le proposer directement.

#### IV. Conclusion

La formation par l'approche expérimentale en électronique de puissance ne peut pas se contenter de démonstrateurs de type *protoboard*. A chaque expérience doit correspondre une carte complète et optimisée. Concernant le test double-impulse, un compromis a été décidé de ne pas recourir à un banc de type laboratoire, mais des cartes de développement standardisées, avec la possibilité de changer rapidement les composants éventuellement cassés.

Le projet INFORISM a permis l'acquisition d'un oscilloscope Tetro MSO58B 5-BW-500, des sondes différentielles de tension Tektro ISOVU TIVP05 et une sonde différentielle de tension dédiée au shunt aselfique large-bande passante, Tektro ISOVU TICP100. Ce matériel sera rapidement déployé sur le banc de test. La figure 8 montre des connecteurs de type MMCX, nécessaires pour tirer parti des sondes de tension ISOVU. Par ailleurs ces mini-connecteurs autorisent une plus grande compacité du *layout*, donc aident à minimiser les éléments parasites mis en jeu lors des commutations. Enfin la figure 9 compare la réponse de la sonde différentielle de tension utilisée jusque-là pour la tension  $V_{GS}$  avec celle de la sonde ISOVU récemment acquise, lors de la commutation à la conduction. Les perturbations introduites par la sonde, ainsi que la déformation due à la fonction de transfert propre, sont largement atténuées par la sonde Isovu.

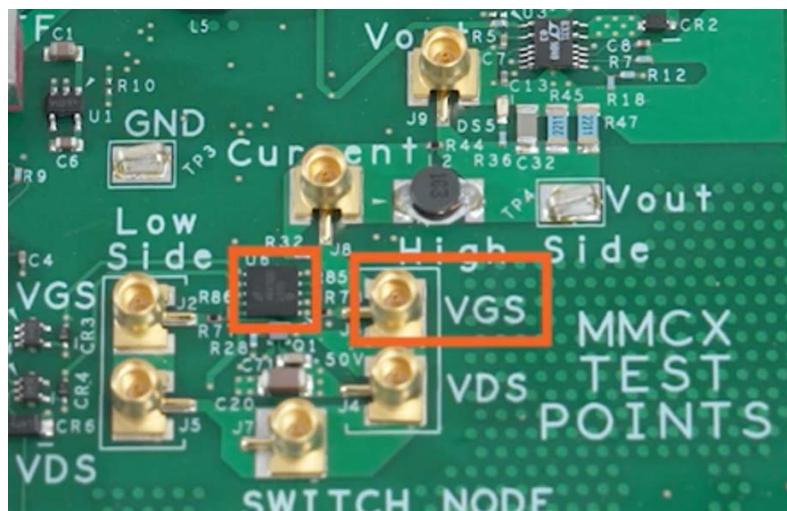


Fig.8. Exemple de carte fille embarquant des connecteurs MMCX pour faciliter la mesure différentielle de tension.

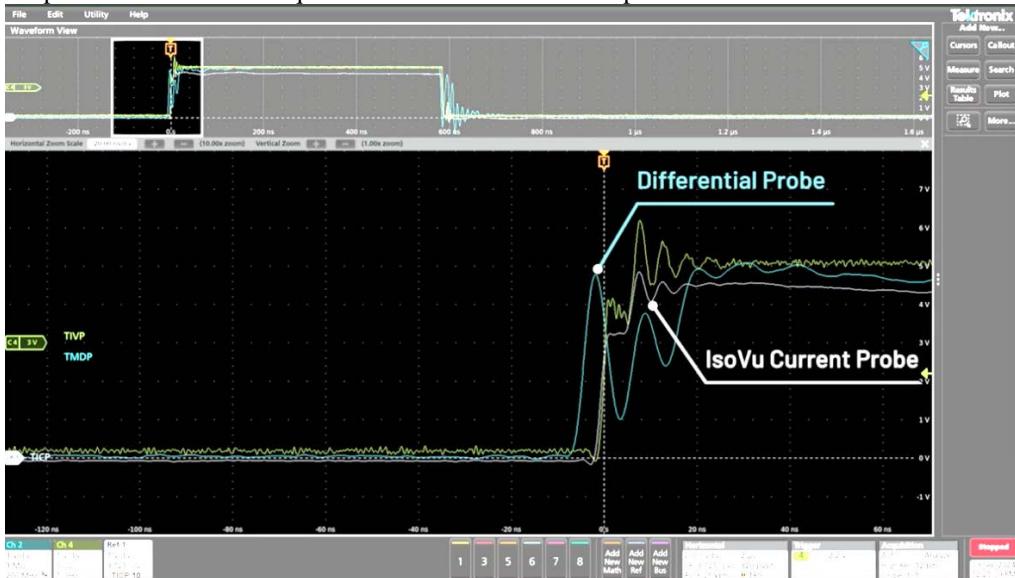


Fig.9. Comparaison de la réponse de deux types de sonde de tension différentielle, sur le même oscilloscope MSO58B, lors de la commutation à la conduction d'un composant GaN (GANSytem) et sur le signal  $V_{GS-}$  avec l'aimable autorisation de la société Tektronix.

## Remerciements

Les auteurs remercient la DGSIP pour son soutien ainsi que l'ANR INFORISM, pour le financement des cartes et bancs utilisés dans le cadre de la nouvelle offre portée par INSAVALOR.

## Références

1. J.-C. De Jaeger, "Dispositifs HEMT à base de GaN – matériaux et épitaxie », Techniques de l'Ingénieur, article E1995 (2024).
2. J. A. Chaudhary, R. Attanasio and G. Vitale, "Gallium Nitride (GaN) Based Topology Comparison for Low Power Battery Charging Applications," 2025 IEEE Applied Power Electronics Conference and Exposition (APEC), Atlanta, GA, USA, pp. 3304-3311, doi: 10.1109/APEC48143.2025.10977477 (2025).
3. S. Funatsu et al., "GaN Based Modified Integrated On-Board Charger Configuration Using Minimum Additional Active and Passive Components," in IEEE Transactions on Industry Applications, doi: 10.1109/TIA.2025.3600210 (2025)
4. A. Kumar and R. Kalpana, "Design and Analysis of GaN and Planar Magnetics based DAB Converter for EV On-Board Chargers," 2025 IEEE Energy Conversion Congress & Exposition Asia (ECCE-Asia), Bengaluru, India, pp. 1-6, doi: 10.1109/ECCE-Asia63110.2025.11112402 (2025).
5. French national program (France 2030): INFORISM (Engineering of Education Innovative and Strategic in Microelectronics), AMI-CMA, ANR-23-CMAS-0024, June 2024, <https://www.cnfm.fr>
6. GIP-CNFM: Groupement d'Intérêt Public - Coordination Nationale pour la formation en Microélectronique et en nanotechnologies. Website: <http://www.cnfm.fr> (last access June 2025)

# Mise en œuvre d'une station sous pointes pour la caractérisation de composants intégrés silicium avec étalonnage de type SOLT

K. Djebbar<sup>a, b</sup>, D. Passerieux<sup>a, b</sup>, B. Barelaud<sup>a, b</sup>, O. Tantot<sup>a, b</sup>, J. Lintignat<sup>a, b</sup>

<sup>a</sup>XLIM, UMR 7252, Université de Limoges/CNRS, 123 av A. Thomas, 87060 Limoges, France

<sup>b</sup>PLM – Pôle CNFM de Limoges

Contact email : khelifa.djebbar@xlim.fr, bruno.barelaud@xlim.fr

Ce travail décrit la mise en œuvre d'un banc de mesures RF sous pointes pour la caractérisation de transistors intégrés HBT SiGe. Après l'étalonnage de l'analyseur de réseaux vectoriel (R&S ZNB20) au moyen d'une procédure SOLT (Short, Open, Load, Thru), les étudiants réalisent les mesures du dispositif sous test ainsi que des structures Pad, Open et Short nécessaires à la correction POS (Pad-Open-Short). L'implémentation de cette méthode sous interface Python permet d'extraire automatiquement les paramètres intrinsèques du transistor à partir des mesures corrigées. Les résultats obtenus sont ensuite comparés à la simulation afin de valider le modèle équivalent et permettent d'illustrer l'impact des éléments parasites d'accès. Ce TP initie les étudiants de Master 2 aux techniques de mesure sous pointes, de calibration, d'épluchage (de-embedding) et de modélisation en hyperfréquences.

## I. Introduction

En microélectronique RF et hyperfréquences, la connaissance précise des caractéristiques électriques des dispositifs actifs est indispensable pour la conception de circuits intégrés performants. Parmi ces dispositifs, les transistors bipolaires à hétérojonction silicium-germanium (SiGe HBT) occupent une place importante grâce à leur combinaison de hautes fréquences de transition, de faible bruit et de compatibilité avec les technologies BiCMOS (5). Leur intégration dans des systèmes de communication ou de traitement du signal impose une caractérisation fine sur une large bande de fréquences.

Les mesures réalisées sous pointes directement sur puce nue permettent d'accéder aux paramètres S des dispositifs sans passer par un packaging. Toutefois, ces mesures incluent inévitablement les effets parasites introduits par les plots de contact, les interconnexions et les lignes d'accès. Si un étalonnage complet de l'analyseur de réseaux vectoriel corrige une partie des erreurs systématiques de mesure, il reste nécessaire d'appliquer une procédure d'épluchage adaptée pour obtenir uniquement la réponse intrinsèque du transistor.

Dans ce travail, nous utilisons la méthode dite Pad-Open-Short (POS), une approche simplifiée reposant sur trois structures de référence mesurées sous pointes. Cette méthode fournit ainsi une estimation plus fidèle des caractéristiques propres du transistor.

Les étudiants exploitent ensuite ces données dans un script Python afin d'automatiser l'extraction des matrices d'admittance et des paramètres S corrigés, qui sont comparés aux résultats de simulation.

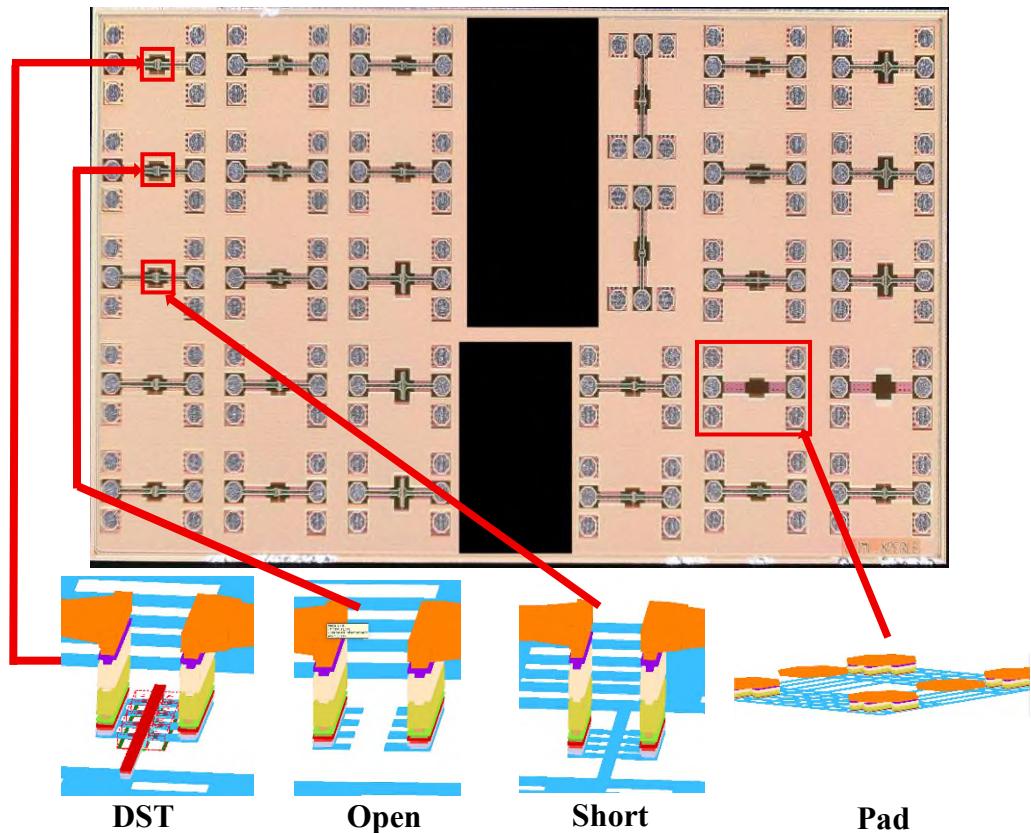


Fig.1. : Vue de la puce intégrant douze transistors HBT SiGe de configurations différentes, accompagnées de leurs structures d'épluchage (Pad, Open et Short)

## II. Utilisation de l'Analyseur de Réseaux Vectoriel (R&S) et Présentation de la station sous pointes RF Everbeing ainsi que l'étalonnage

### A. Théorie des Analyseurs de Réseaux Vectoriels



Fig.2. : Analyseur de Réseaux Vectoriel ROHDE & SCHWARZ (R&S) ZNB2

L'analyseur de réseaux vectoriel (VNA) (fig. 2) est l'instrument de référence pour la caractérisation hyperfréquence des dispositifs passifs et actifs. Il permet de mesurer les paramètres de diffusion [S] en module et en phase, ce qui fournit un accès direct aux coefficients de réflexion et de transmission d'un quadripôle. Ces grandeurs complexes, définies relativement à une impédance de référence de  $50 \Omega$ , sont essentielles pour évaluer l'adaptation, le gain et les pertes d'insertion des dispositifs intégrés.

Le fonctionnement interne du VNA repose sur une source hyperfréquence, des coupleurs directs séparant les ondes incidentes et réfléchies, ainsi qu'un système de conversion de fréquence permettant d'afficher les résultats à une fréquence intermédiaire. Cette conversion facilite le traitement et l'analyse du signal, car elle réduit la fréquence à un domaine où les circuits électroniques sont plus performants et précis. Elle assure ainsi une meilleure stabilité des mesures, tout en permettant la détection cohérente de l'amplitude et de la phase des ondes pour caractériser avec exactitude les paramètres S d'un dispositif. Les résultats peuvent ensuite être visualisés sous différentes représentations (linéaire, logarithmique, polaire ou encore via l'abaque de Smith), offrant une lecture adaptée aux besoins de l'utilisateur.

En pratique, les mesures sont affectées par trois familles d'erreurs : systématiques (directive, désadaptation, diaphonie), aléatoires (bruit interne) et de dérive (variations de température, instabilités de l'appareil ou de l'utilisateur). Les erreurs systématiques constituent la principale source de déviation et nécessitent une correction par étalonnage. La procédure la plus courante est le SOLT (Short-Open-Load-Thru), qui permet de positionner précisément les plans de référence aux pointes de mesure et de relier les paramètres mesurés aux valeurs réelles du dispositif testé (1-7-8).

#### B. Présentation de la station sous pointes RF

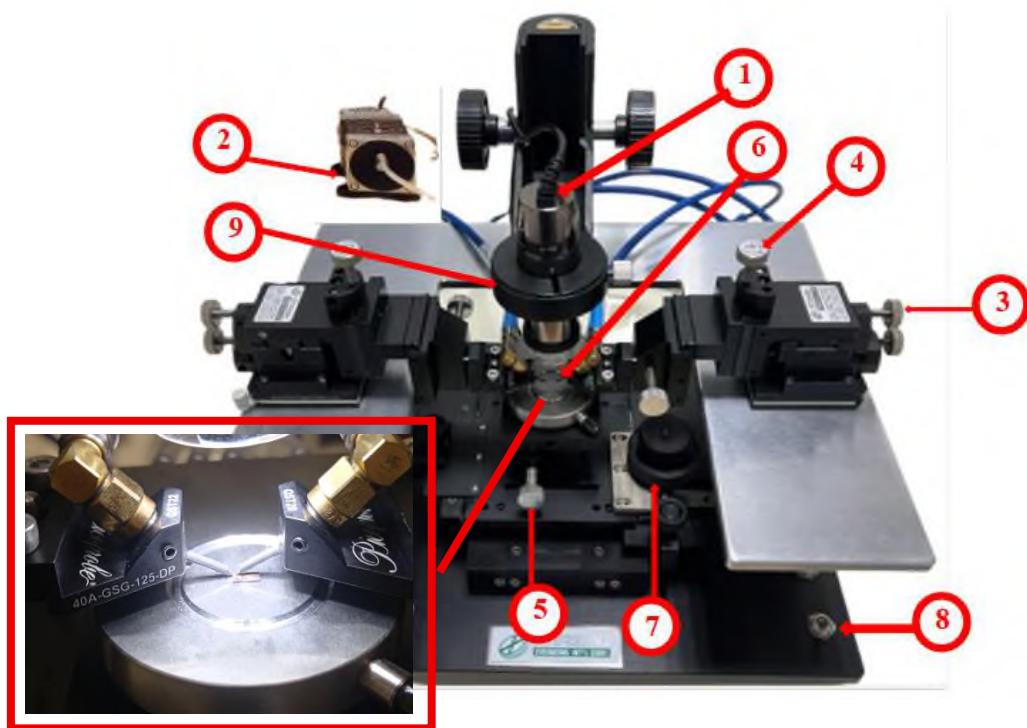


Fig.3. : Station sous pointes RF Everbeing

La Figure 3 illustre la station sous pointes RF Everbeing utilisée pour la caractérisation des transistors SiGe HBT. Cette station manuelle est équipée d'un chuck avec aspiration, d'un microscope optique et de positionneurs micrométriques permettant l'alignement précis des pointes GSG (Ground-Signal-Ground).

La mise en œuvre suit une procédure stricte afin d'assurer la sécurité des équipements et la reproductibilité des mesures :

- Connecter le câble USB d'alimentation du microscope à un ordinateur pour allumer l'objectif (1)
- Mettre en route la pompe d'aspiration (2).
- Remonter et éloigner les pointes port 1 et port 2 d'un bon centimètre à l'aide des positionneurs axes x,y (3) et z (4),
- Baisser le chuck (6) en tournant la molette (7).

ATTENTION : Toujours vérifier que les pointes RF ne touchent pas le chuck (6) de la station avant tout vers vous à l'aide de la molette (5)

- Placer le circuit à mesurer au centre du chuck,
- Activer l'aspiration en poussant le bouton (8),
- Recentrer le chuck sous les pointes RF en positionnant correctement le circuit à mesurer sous le microscope avec les verniers du chuck (7),
- Utiliser les verniers (9) pour zoomer et pour affiner la netteté,

Ces étapes doivent être réalisées sous la supervision obligatoire d'un enseignant afin d'éviter tout dommage aux pointes ou au circuit.

### C. Procédure d'étalonnage

Avant toute mesure, un étalonnage complet du quadripôle (two ports) doit être réalisé afin de corriger les erreurs systématiques de l'instrument (directivité, désadaptation, pertes, diaphonie). La procédure utilisée est de type SOLT (Short–Open–Load–Thru) (fig. 4) et repose sur un substrat de calibration commercial (GGB CS-5).

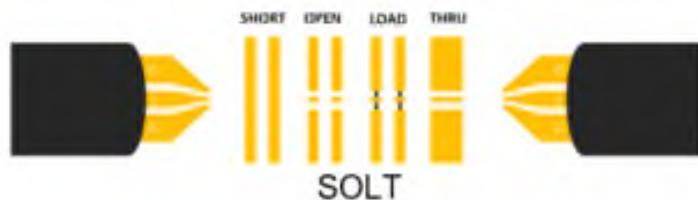


Fig.4. : Etalons standard de l'étalonnage SOLT

Ce substrat est généralement utilisé pour des étalonnages sous pointes entre 45 MHz et 50 GHz avec des pointes Cascade, Picoprobe GGB dont le pitch est compris entre 125 µm et 250 µm.

### III. Méthode d'épluchage Pad-Open-Short (POS)

La méthode Pad-Open-Short (POS) est une version simplifiée de la méthode classique à trois ou quatre étapes (3-9). Elle repose sur la mesure de trois structures de référence (fig. 5) :

- Pad : structure de test ne comportant que les pads d'accès,
- Open : structure identique au DST (Dispositif Sous Test) mais sans composant actif,
- Short : connexion directe entre les pads.

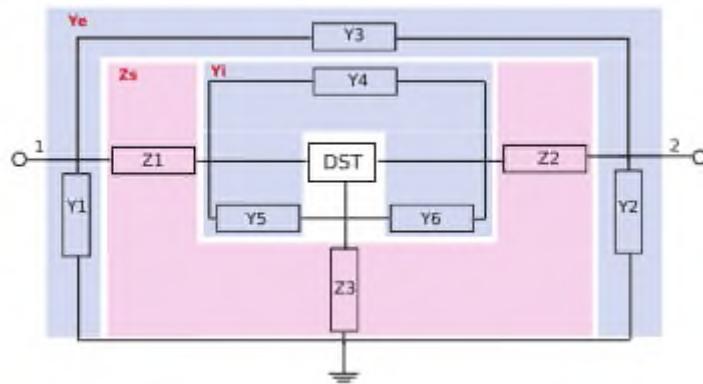


Fig.5. : Schéma électrique équivalent de l'épluchage par la méthode “ Pad Open Short”

La correction POS consiste à déterminer la matrice d'admittance intrinsèque  $Y_{int}$  du transistor à partir de la matrice mesurée  $Y_{ext}$ , selon les relations suivantes :

$$Y_{int} = ((Y_{ext} - Y_e)^{-1} - Z_s)^{-1} - Y_i \quad [1]$$

Où :

- $Y_e$  est la matrice d'admittance du standard Pad,
- $Z_s$  est la matrice d'impédance déduite du standard Short :

$$Z_s = (Y_{short} - Y_e)^{-1} \quad [2]$$

- $Y_i$  est déterminée à partir du standard Open :

$$Y_i = ((Y_{open} - Y_e)^{-1} - Z_s)^{-1} \quad [3]$$

Après avoir mesuré le dispositif sous test (DST) ainsi que les différentes structures de dé-embedding (Pad, Open et Short), les fichiers de mesure au format Touchstone (.s2p) sont exploités. Ils sont introduits dans une interface prédefini qui effectue automatiquement les calculs nécessaires à la correction POS. Cette étape permet d'extraire les paramètres intrinsèques du transistor et de comparer directement les résultats expérimentaux corrigés avec ceux issus de la simulation.

Les courbes des paramètres S mesurés et simulés sont affichées afin d'évaluer la concordance, et les coefficients de réflexion S11 et S22 sont représentés dans l'abaque de Smith.

## IV. Résultats

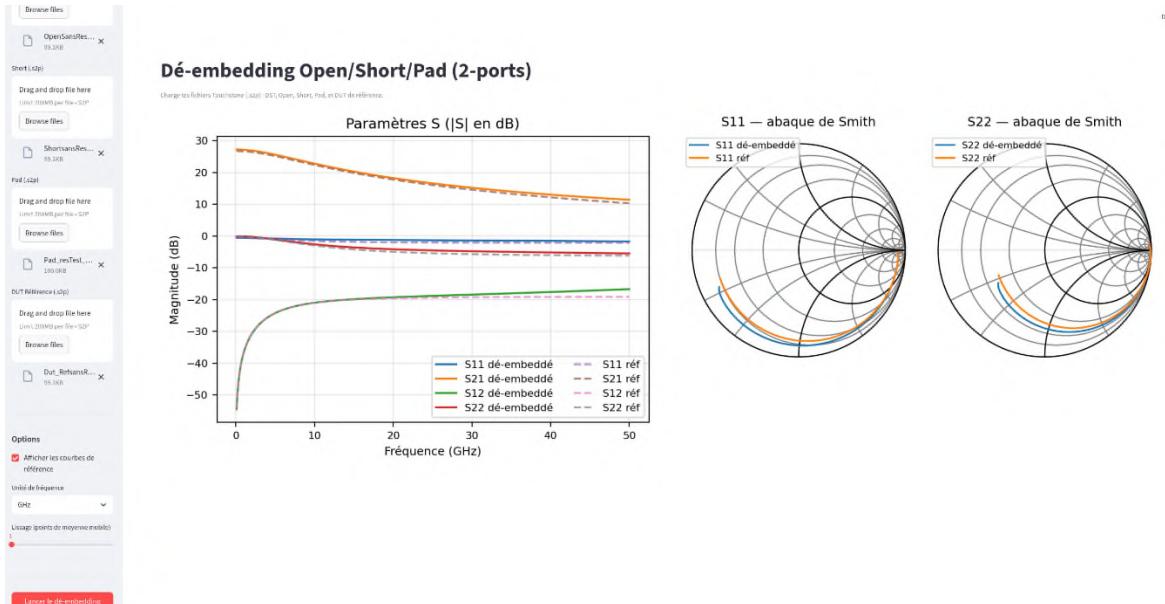


Fig.6.: Interface de dé-embedding Pad/Open/Short

Après application de la procédure de de-embedding POS, les paramètres S intrinsèques des transistors SiGe HBT sont obtenus et comparés aux résultats de simulation. La Figure 6 illustre, à titre d'exemple, la comparaison des paramètres en linéaire de S<sub>11</sub>, S<sub>21</sub>, S<sub>12</sub>, S<sub>22</sub> sur la bande de fréquence 0,1 – 50 GHz pour un transistor de référence dans l'interface .

On observe un bon accord global entre les mesures corrigées et la simulation, ce qui confirme la validité de la méthode POS pour extraire les caractéristiques propres du transistor.

## V. Conclusion

Une démarche de travaux pratiques en hyperfréquences a été mise en place autour de l'utilisation d'une station sous pointes et d'analyseurs de réseaux vectoriels de dernière génération. Cette démarche offre une mise en pratique complète : de la calibration de l'instrumentation à l'extraction de modèles électriques, en passant par la programmation numérique pour le traitement des mesures. Les étudiants acquièrent ainsi une compréhension approfondie des techniques modernes de caractérisation RF et de leur importance dans la conception et la validation de circuits intégrés (2-6).

## Remerciements

Les auteurs souhaitent remercier le Pôle Limousin de Microélectronique (PLM), et le GIP-CNFM (7) coordonnateur du projet ANR IDEFI FINMINA (10-11), qui ont co-financé l'analyseur de réseaux vectoriel à destination de l'enseignement pour la filière l'électronique de la Faculté des Sciences et Techniques de Limoges.

## References

1. D. M. Pozar, *Microwave Engineering*, 4th ed. Hoboken, NJ, USA: Wiley, 2011
2. G. Gonzalez, *Microwave Transistor Amplifiers: Analysis and Design*, 2nd ed. Upper Saddle River, NJ, USA: Prentice Hall, 1997
3. L. F. Tiemeijer, R. J. Havens, A. B. Jansman, and Y. Bouttement, "Comparison of the pad-open-short and open-short-load deembedding techniques for accurate on-wafer RF characterization of high-quality passives," *IEEE Transactions on Microwave Theory and Techniques*, vol. 53, no. 2, pp. 723–729, Feb. 2005
4. J. C. Rautio and R. F. Harrington, "An electromagnetic time-domain analysis of planar microstrip circuits," *IEEE Transactions on Microwave Theory and Techniques*, vol. 35, no. 8, pp. 726–730, Aug. 1987
5. J. Martens et al., "SiGe HBT technology for RF and microwave circuit applications," *Solid-State Electronics*, vol. 45, no. 10, pp. 1587–1594, Oct. 2001
6. R. G. Bosisio, A. Ghannouchi, and G. Boeck, "RF and microwave device measurements," in *Handbook of RF and Microwave Power Amplifiers*, Cambridge, U.K.: Cambridge Univ. Press, 2011, ch. 3, pp. 47–72
7. GIP-CNFM : Groupement d'Intérêt Public - Coordination Nationale pour la formation en Microélectronique et en nanotechnologies, <http://www.cnfm.fr> (Accès novembre 2020)
8. Rohde & Schwarz, *Vector Network Analyzer ZNB Family – Operating Manual*, 2019.
9. E. Vandamme, D. Schreurs, and C van Dinther, "Improved Three-Step De-Embedding Method to Accurately Account for the Influence of Pad Parasitics in Silicon On-Wafer RF Test-Structures", *IEEE Transactions On Electron Devices*, Vol. 48, No. 4, April 2001
10. IDEFI-FINMINA : Initiative d'Excellence - Formation Innovante en Microélectronique et Nanotechnologies, ANR-11-IDFI-0017. Website: <http://www.cnfm.fr/VersionFrancaise/actualites/FINMINA.htm> (Accès 2021)
11. O. Bonnaud, FINMINA: a French national project dedicated to educational innovation in microelectronics to meet the challenges of a digital society, *Smart Education and e-learning 2020, Smart Innovation Systems and Technologies 188*, V. Uskov et al. (Eds.): Springer Nature Singapore Pte Ltd. 2020, pp.31



# Essais CEM en cage de Faraday

D. Sleiman<sup>a,b</sup>, W. Uhring<sup>a,b</sup>, N. Collin<sup>a</sup>

<sup>a</sup> ICube et pôle CNFM du Grand Est (MIGREST), Université de Strasbourg, Strasbourg, France

<sup>b</sup> IUT de Haguenau (Université de Strasbourg), Strasbourg, France

Contact email : Wilfried.uhring@unistra.fr

La réalisation d'une nouvelle plateforme pour la mesure et la caractérisation de la compatibilité électromagnétique résulte d'un partenariat entre l'entreprise Alcatel Lucent Enterprise et le laboratoire ICube et le pôle MIGREST du GIP-CNFM. Cette infrastructure mutualisée contraste avec les installations classiques et favorise les activités de recherche, les prestations de service et l'enseignement. L'équipement constitue un atout stratégique pour la formation, la recherche et l'innovation permettant le développement de compétences et de connaissances se traduisant par la formation des étudiants et l'interaction entre le monde académique et industriel.

## I. Introduction

Le laboratoire ICube de Strasbourg dispose désormais d'une cage de Faraday (Figure 1) totalement équipée pour la caractérisation et mesure CEM mise à disposition par Alcatel-Lucent Enterprise par la mise en place d'un partenariat avec l'université de Strasbourg et le CNRS [1]. Cette installation permet de réaliser des mesures électromagnétiques dans un environnement complètement isolé des perturbations extérieures. Elle fournit une plateforme partagée entre la recherche, la formation et l'innovation dans le domaine de la compatibilité électromagnétique (CEM). Son équipement performant participe à créer des synergies entre le monde académique et le monde industriel.

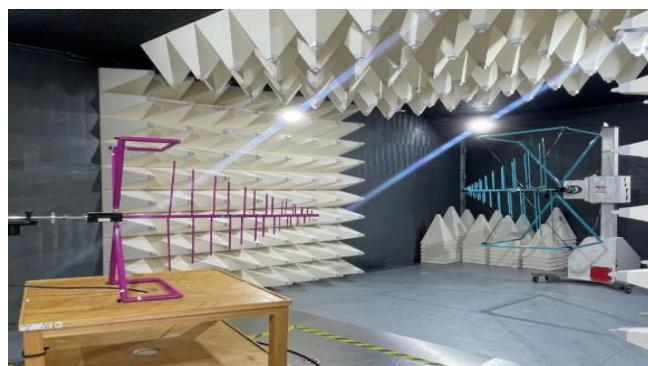


Figure 1: Cage de Faraday ICube Strasbourg

## II. Une plateforme au service de la recherche et de la formation

Au-delà de la recherche scientifique, la plateforme s'inscrit dans une mission nationale de formation portée par le pôle Microélectronique Grand-Est (MIGREST) du GIP-CNFM [2] et dans un cadre pédagogique unique permettant aux étudiants de tous niveaux de se former à la problématique de la compatibilité électromagnétique. Ce transfert direct de savoir-faire est facilité par la mobilisation des experts des entreprises au contact avec les enseignants-chercheurs.

### III. Spécifications techniques de la chambre

La cage de Faraday du laboratoire ICube est une chambre semi-anéchoïque de 7,5 m de long, 4 m de large et 3,3 m de haut, équipée d'un plateau tournant à +/- 180°, d'une antenne bilog (30 MHz – 3 Ghz) fixé à un mat robotisé permettant de modifier sa hauteur entre 1 et 2 m et de changer sa polarisation ainsi que d'une antenne cornet (1 GHz – 18 GHz).. Cette chambre garantit un niveau d'isolation de 100 dB avec l'extérieur jusqu'à des fréquences avoisinant les 40 Ghz et permet d'effectuer des tests CEM conduits ou rayonnés... Le pilotage des instruments et l'acquisition des données sont assurés de manière automatisée par le logiciel industriel Nexio BAT-EMC [3],

### IV. Outil de pilotage et d'automatisation/ Nexio BAT-EMC

Les mesures effectuées en cage de Faraday sont réalisées à l'aide du logiciel Nexio BAT-EMC, qui permet d'automatiser les campagnes de tests, depuis le pilotage des instruments de mesure et des générateurs jusqu'à l'acquisition et à l'exploitation des résultats, en passant par la configuration de différents scénarios d'essais en émission et en immunité pour garantir précision et reproductibilité. L'interface dédiée de ce logiciel aux applications CEM permet de faciliter également l'analyse des résultats et l'édition de rapports conformes aux normes.

### V. Expérimentations menées par des étudiants

Plusieurs travaux pratiques ont été mis en place pour la formation d'étudiants en 2<sup>e</sup> année de BUT GEII dans le parcours Electronique et Systèmes Embarqués (ESE), de 3<sup>e</sup> année de BUT GEII dans un module de CEM du tronc commun et deMaster 2 parcours Systèmes Electroniques et Microélectroniques dans le cadre d'un cours d'initiation à la CEM [4]. Une large gamme d'expérimentations effectuées par les étudiants grâce aux différents instruments et configurations permet de mettre en exergue les phénomènes physiques du domaine de la CEM, de s'initier aux techniques de mesures et appréhender les notions de normes CEM et leurs applications., Le tableau 1 synthétise le ressenti des étudiants pour les principales manipulations expérimentales effectuées à ce jour.

Tableau 1: Résultats des tests CEM pour différentes configurations (relevé par les étudiants)

Expérience	Ce qu'on a fait	Ce qu'on a trouvé
<b>Présentation de la cage et du matériel</b>	Base de données du matériel, configuration du test, mesures automatiques. Comparaison avec porte entrouverte et porte fermée.	<b>Porte entrouverte :</b> on voit les signaux extérieurs (FM, TNT, GSM...). <b>Porte fermée :</b> plus de perturbations.
<b>Mesure en immunité</b>	Antenne génère un champ, puissance ajustée automatiquement, suivi par caméra.	Le système continue de fonctionner. Mise en évidence des effets possibles de modulation.
<b>Rayonnement d'antenne</b>	Mesure de l'impédance, adaptation à 50 Ω, table rotative pour le diagramme.	Diagramme clair avec deux lobes typiques d'une antenne bipolaire.
<b>Mesure en émission (BAT-EMC)</b>	PC du type desktop, avec et sans capot de protection.	Observation de l'effet du blindage du boîtier métallique du PC. L'ordinateur respecte les normes.
<b>Pistes de PCB</b>	Carte avec pistes différentes (25, 50, 75 Ω, avec/sans plan de masse), signal injecté.	Pistes sans plan de masse rayonnent beaucoup plus, surtout à la fréquence de résonance.

## VI. Détail des différents tests réalisés et expliqués par les étudiants

Un ensemble de tests a été réalisé en 2025 dans la cage de Faraday afin d'étudier les comportements électromagnétiques de différents dispositifs. Ce travail expérimental a permis d'étudier les émissions, l'immunité et le rayonnement des systèmes testés ainsi que d'apprécier l'efficacité de l'isolation de la chambre.

### A. Isolation électromagnétique de la chambre

Nous avons procédé au test d'isolation électromagnétique de la chambre anéchoïque [5], dont l'objectif est de vérifier l'efficacité de son blindage face aux perturbations électromagnétiques externes. Pour y parvenir, nous avons réalisé deux mesures successives au moyen du logiciel NEXIO BAT-EMC, la première avec la porte de la chambre ouverte, puis la seconde avec la porte de la chambre fermée. Ce dispositif permet de comparer directement l'influence de la fermeture de la chambre sur le niveau de rayonnement parasite mesuré.

On peut observer dans la Figure 2 le spectre mesuré entre 30 MHz et 1 GHz. La courbe rouge correspond à la limite de conformité fixée par la norme EN55011, classe B, mesurée à 3 m. Toute valeur mesurée dépassant cette limite signifie que l'installation n'est pas conforme aux exigences normatives.

Le signal mesuré avec l'antenne en polarisation verticale est représenté par la courbe bleue (Figure 2) les polarisations étant définies ainsi :

- Polarisation vertical (PV) : le champ électrique est orienté verticalement par rapport au sol.
- Polarisation horizontale (PH) : le champ électrique est orienté horizontalement par rapport au sol.

Il est intéressant de noter que dans plusieurs bandes de fréquence, le logiciel NEXIO BAT-EMC a détecté que cette courbe dépasse la limite fixée par la norme. Les dépassements apparaissent sous forme de pics matérialisés par des croix jaunes, qui montrent que les niveaux de rayonnement sont plus grands que la limite autorisée. Plus précisément, les dépassements sont, à partir de 650 MHz, constatés dans la bande des hautes fréquences, ce qui indique que la chambre avec la porte ouverte ne fournit pas une isolation suffisante pour ces fréquences.

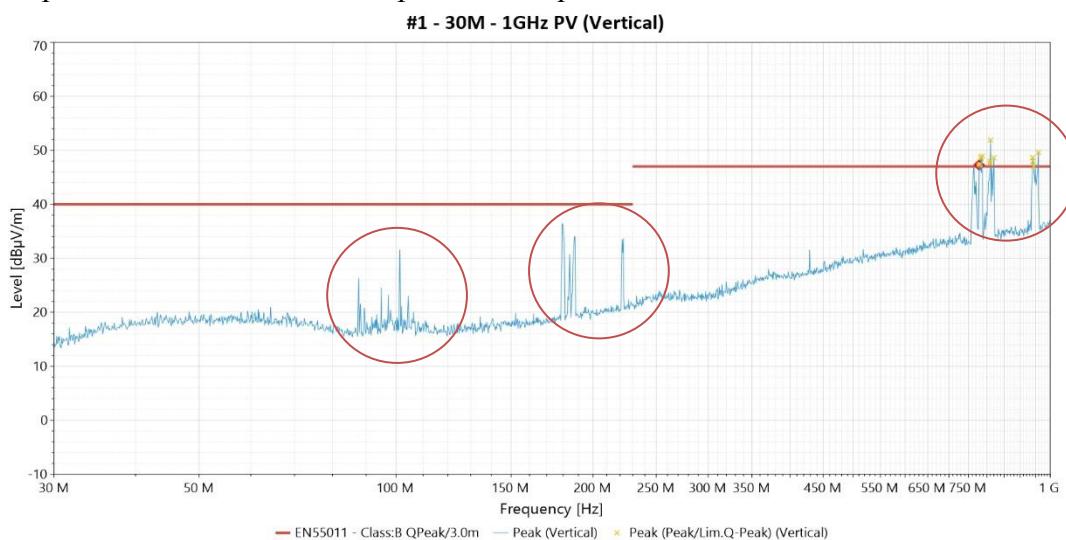


Figure 2: Le signal mesuré avec l'antenne en PV lorsque la porte est ouverte

Dans le spectre analysé, plusieurs émissions d'équipement de diffusions régulées par l'ANFR et l'ARCOM se distinguent par la présence de pics. Ainsi on distingue les émissions entre 87,5 et

108 MHz de la bande radio FM. La région comprise entre 174 et 240 MHz est occupée par les signaux de la radio numérique terrestre (DAB/RNT), et au-delà de 700 MHz, il s'agit principalement des réseaux de téléphonie mobile de type GSM, 4G et 5G.

Ensuite, nous avons réalisé les mesures avec la porte de la chambre fermée, afin de vérifier si des ondes électromagnétiques extérieures pouvaient encore pénétrer à l'intérieur. La Figure 3 présente les résultats obtenus entre 30 MHz et 1 GHz avec l'antenne en polarisation verticale.

Contrairement au cas précédent (porte ouverte), on observe que la courbe bleue reste entièrement en dessous de la limite réglementaire. Aucun dépassement ni pic significatif n'est présent, ce qui signifie que la chambre assure une isolation électromagnétique correcte lorsque la porte est fermée (Figure 3). La courbe bleue représente donc ici le bruit plancher de mesure, lié principalement au bruit de l'analyseur de signaux.

Ces résultats confirment donc l'efficacité du blindage électromagnétique de la chambre, en particulier au niveau de la porte, qui constitue généralement un point sensible en raison des possibles fuites liées aux joints de blindage.

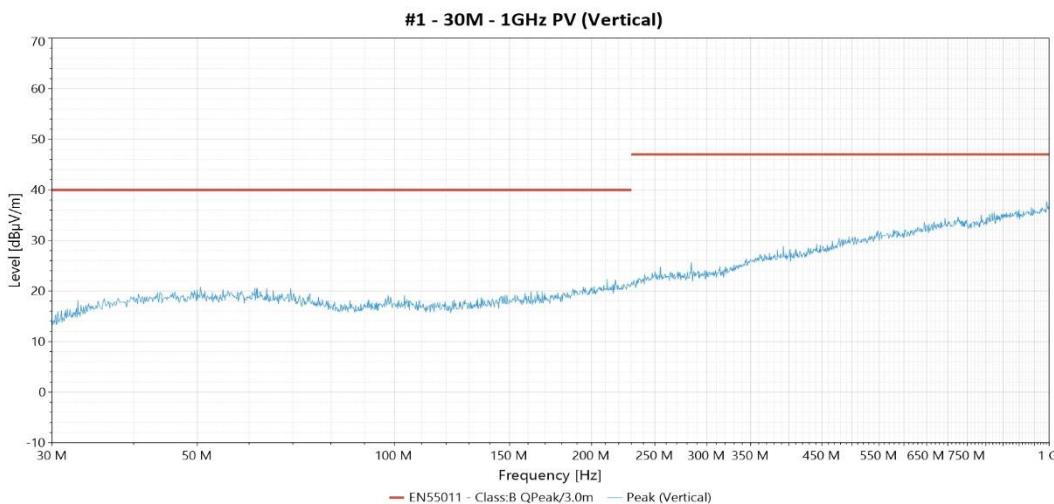


Figure 3: Le signal mesuré avec l'antenne en PV lorsque la porte est fermée

## B. Diagramme de rayonnement d'une antenne large bande Bilog

Nous avons procédé à la mesure du rayonnement rayonné par l'antenne bilog Teseq CBL 6141B rose visible sur la Figure 1 dans la cage de Faraday [6]. L'équipement de mesure utilisé pour ce test est un VNA en mode S<sub>21</sub> avec la l'antenne bilog rose en émission sur le port 1 et l'antenne de la cage en réception sur le port 2.

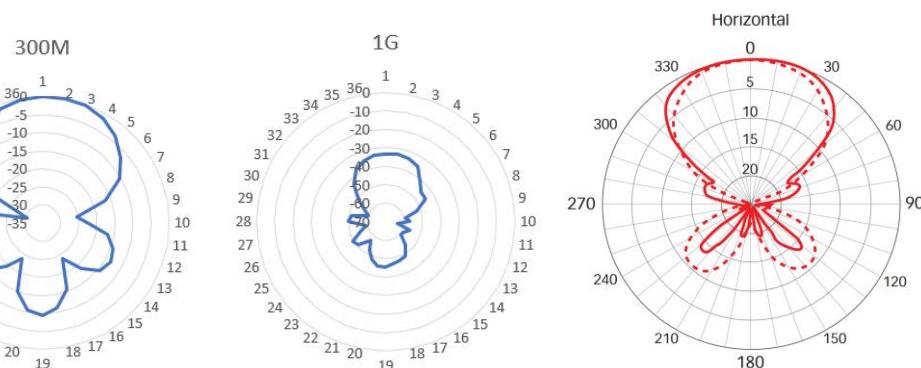


Figure 4: Diagramme de rayonnement de l'antenne large bande Bilog en polarisation horizontale pour deux fréquences différentes : 300MHz à gauche et 1GHz à droite. Extrait de la fiche constructeur pour l'antenne à 300 MHz (pointillée) et 1GHz (continue) à droite

Les deux antennes sont placées en polarisation horizontale, et les mesures sont effectuées pour deux fréquences différentes : 300 MHz et 1 GHz. La première mesure à 300 MHz montre un diagramme similaire à celui donné par le constructeur avec toutefois un lobe supplémentaire à l'arrière de l'antenne. Des réflexions parasites sur le sol de la cage sont probablement à l'origine de cette mesure non conforme. Il faut noter que la cage n'est pas optimisée pour la mesure de rayonnement d'antenne.

À 1 GHz, c'est un peu moins régulier, on observe des lobes secondaires et des creux sont bien marqués. On observe bien que l'antenne est plus directive, le rayonnement est donc mieux concentré dans certains axes : ce qui est normal puisque la directionnalité de l'antenne augmente avec la fréquence [7]. Le lobe arrière est toujours visible, confortant l'hypothèse d'une réflexion parasite sur le sol de la cage observée également à 300MHz.

Une deuxième En polarisation verticale, pour deux fréquences différentes : 300 MHz et 1 GHz.

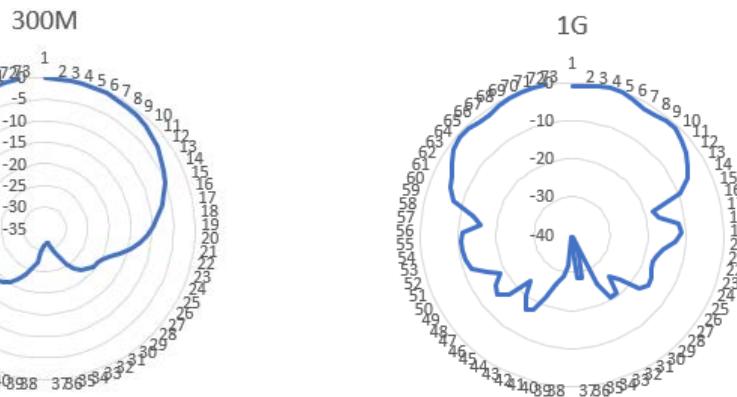


Figure 5: Diagramme de rayonnement de l'antenne large bande Bilog en polarisation verticale pour deux fréquences différentes : 300MHz et 1GHz

L'expérience a été réalisée avec réflexion du sol (sans pyramides absorbantes) et sans réflexion du sol (avec pyramides absorbantes) et dans l'un et l'autre cas, les résultats sont restés identiques.

La Figure 5 donne les diagrammes de rayonnement de l'antenne bilog en polarisation verticale, mesuré à 300 MHz et à 1 GHz. À 300 MHz, le diagramme est plutôt large et homogène, ce qui indique que l'antenne rayonne plutôt uniformément et peu directement. À 1 GHz, le diagramme se complique avec les apparitions de lobes secondaires et de creux importants, témoignant d'un comportement plus directif, ce qui est conforme à la définition d'une antenne bilog large bande, dont la répartition du rayonnement diffère selon fréquence et polarisation.

En PH, le rayonnement est plus irrégulier principalement à haute fréquence tandis qu'en PV, le rayonnement est plus homogène, les deux polarisations sont nécessaires pour une caractérisation complète.

### C. Analyse de l'efficacité du blindage des boîtiers

Le but de ce test consiste à évaluer le blindage électromagnétique d'un boîtier de PC en comparant ses performances dans sa configuration fermée et dans sa configuration ouverte, à l'intérieur d'une cage de Faraday [8]. L'analyse a été menée du point de vue des émissions, c'est-à-dire en mesurant le rayonnement électromagnétique émis par le boîtier en respectant les différentes configurations adoptées.

Les mesures ont été pratiquées pour les deux principales polarisations de champ électromagnétique.

Pour chaque polarisation, le boîtier a été étudié avec tous les angles d'émissions possibles : pour être plus explicite, on a effectué un déplacement du dispositif mesurant  $360^\circ$  autour du boîtier par pas réguliers pour détecter toute forme de rayonnement quel que soit l'angle d'émission. Cela permet de cartographier la répartition du champ électromagnétique et permet d'évaluer le niveau d'efficacité du blindage sous tous les angles de mesure.

**Boîtier fermé :** Les mesures montrent que, pour les deux polarisations (PV et PH), aucun pic d'émission ne dépasse les limites normatives (Figure 6). Ce qui assure que le boîtier remplit son rôle de protection contre les fuites électromagnétiques avec la conformité aux exigences réglementaires. Le blindage fait donc pleinement le travail et il empêche la propagation du champ vers l'extérieur.

### Polarisation horizontale / verticale

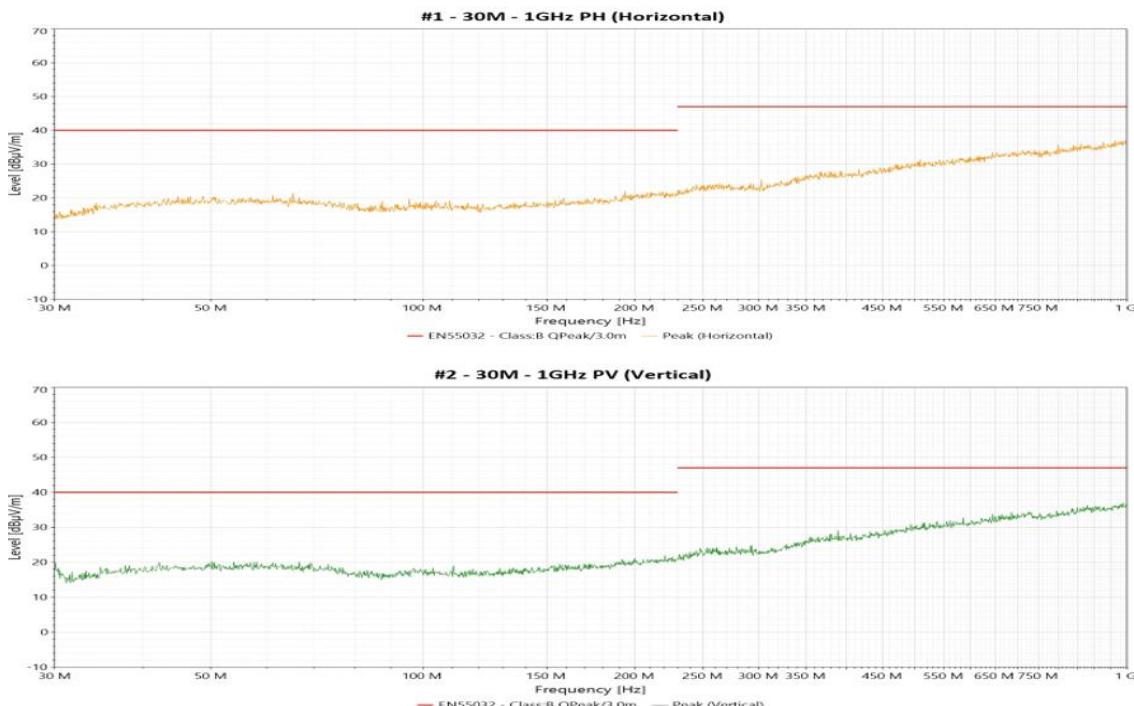


Figure 6: Les courbes en PH et PV lorsque le boîtier est fermé

**Boîtier ouvert :** En l'absence de couverture, plusieurs pics d'émission s'approchent des limites normatives : là il y a des fuites significatives de rayonnement (Figure 7). On retrouve ces pics à des fréquences classiques utilisées dans les PC, notamment à 133MHz. Les pics sont différents selon la polarisation verticale pour horizontale, indiquant des directions privilégiées selon l'orientation du routage des pistes de la carte mère du PC.

Tout ici montre l'intérêt du blindage : quand il n'y a pas de blindage, les composants internes du boîtier sont sources d'émissions incontrôlées avec interférences.

## Polarisation horizontale / verticale

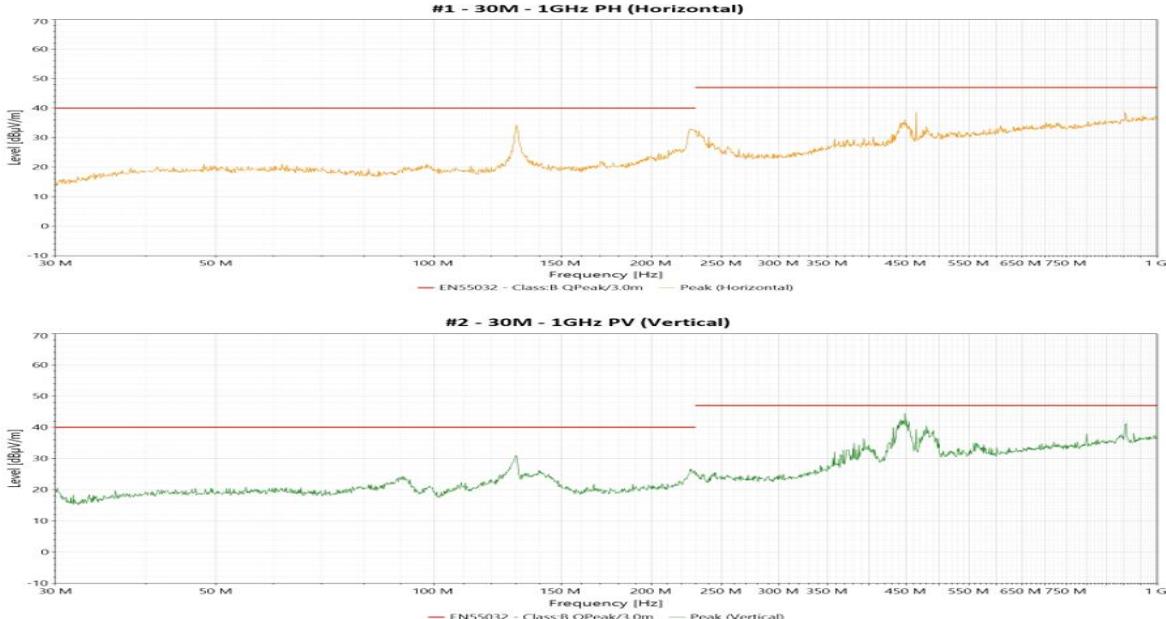


Figure 7:Les courbes en PH et PV lorsque le boîtier est ouvert

## VII. Conclusion

Les expérimentations effectuées dans la cage de Faraday ont permis de vérifier l'efficacité de son isolation et le comportement électromagnétique de différents dispositifs. Ces tests ont montré que le blindage ainsi que les bonnes pratiques CEM sont primordiaux pour les équipements comme pour les circuits. La plateforme se révèle donc un outil de recherche, d'innovation et de formation aux enjeux de compatibilité électromagnétique pour les étudiants. Elle permet d'illustrer les concepts abstrait comme l'émission des antennes, les notions de blindage, de conception de circuits imprimés. D'autres offres de formation sont en cours de montage avec en autre, maîtrise du logiciel de pilotage NEXIO BAT-EMC, les notions d'immunité, notions de diaphonie inductive et capacitive.

## Remerciements

Les auteurs remercient le GIP-CNFM et la DGESIP pour leur soutien [9], ainsi que les laboratoires ICube et IPHC pour leur appui dans la mise en place de cette plateforme. Ils expriment également leur gratitude pour le financement apporté par le projet INFORISM (ANR-23-CMAS-0024) et le programme France 2030 [10].

## Références

- [1] «Le CNRS, L'Université de Strasbourg et Alcatel-Lucent Enterprise co-créent une nouvelle plateforme de recherche pour le laboratoire ICube grâce au partage d'une cage de Faraday,» 12 Mai 2022. [En ligne]. Available: <https://www.alsace.cnrs.fr/fr/cnrsinfo/le-cnrs-universite-de-strasbourg-et-alcatel-lucent-enterprise-co-creent-une-nouvelle>.
- [2] «Une nouvelle plateforme de recherche grâce au partage d'une cage de Faraday,» 2012. [En ligne]. Available: <https://www.conectus.fr/une-nouvelle-plateforme-de-recherche-grace-au-partage-d'une-cage-de-faraday>.

- [3] NEXIO, «NEXIO Product Catalog,» 2017. [En ligne]. Available: <https://reliantemc.com/download/NEXIO/NEXIO-Product-Catalog.pdf>.
- [4] W. Uhring, E. Jamet, A. Geoffroy, N. Gross et J. Bainier, «Plateforme nationale de formation à la mesure de compatibilité,» *J3eA*, vol. 23, p. 1020, 2024.
- [5] S. Guo, D. Guo, Q. Zhang et N. Wu, «Research on design of electromagnetic compatibility shielded anechoic chamber,» *IOP Conference Series: Earth and Environmental Science*, vol. 474, n° %17, p. 072062, 2020.
- [6] M. Bittera, K. Kovac, V. Smieško et J. Hallon, «Influence of Directivity Pattern of Bilog Antenna to Radiated EMI Measurement Uncertainty,» *IEEE Transactions on Electromagnetic Compatibility*, vol. 49, n° %11, pp. 85-89, 2007.
- [7] C. A. Balanis, *Antenna Theory: Analysis and Design* (3rd Edition), Hoboken, New Jersey, USA: Wiley-Interscience, 2005.
- [8] M. L. Tounsi et H. Brahim, «Analyse de l'influence du blindage dans les lignes de transmission planaires par la méthode d'approche dans le domaine spectral,» p. 1–6, 1997.
- [9] GIP-CNFM (Groupement d'Intérêt Public - Coordinati, «CNFM,» June 2025. [En ligne]. Available: <http://www.cnfm.fr>.
- [10] French national program (France 2030): INFORISM (E, «INFORISM Program,» June 2024. [En ligne]. Available: <https://www.cnfm.fr>.

# Étudier l'intégrité du signal dans les PCBs : expérimentation et modélisation

T. Dubois<sup>a</sup>, R. Boni Salifou<sup>a</sup>, A. Duguet<sup>a</sup>, G. Costa e Silva<sup>a</sup>, S. Le Bihan<sup>a</sup>,

<sup>a</sup> IMS et pôle CNFM de Bordeaux (PCB), Université de Bordeaux, Bordeaux, France

Contact email : tristan.dubois@u-bordeaux.fr

Avec l'augmentation des débits dans les systèmes électroniques numériques, les équipementiers de l'avionique et du spatial sont amenés à développer des cartes électroniques complexes multicouches, capables de transporter des signaux électriques de fréquences pouvant atteindre plusieurs dizaines de GHz. À ces fréquences, les technologies de stack-up — incluant le choix des matériaux, la conception des pistes et des vias — deviennent des éléments essentiels à maîtriser. Afin de sensibiliser les étudiants de M1 Systèmes Électroniques à ces problématiques, un enseignement dédié a été développé. Il inclut la conception de PCB, ainsi que la réalisation de mesures et de simulations TDR (Time Domain Reflectometry) et de diagrammes de l'œil.

## I. Introduction et contexte

L'évolution rapide des technologies électroniques représente un défi majeur pour les ingénieurs concepteurs, confrontés à une demande accrue en performance, à une densité d'intégration toujours plus élevée et à des vitesses de transmission croissantes dans les circuits imprimés multicouches. Les signaux à haut débit, particulièrement sensibles aux discontinuités de propagation, exigent une maîtrise précise des structures de transmission. Plusieurs travaux ont déjà permis d'optimiser des éléments critiques tels que les vias (1-3), les condensateurs de découplage DC et les connecteurs BGA. L'intégrité du signal (SI) reste un enjeu central de la conception des cartes électroniques, influencée par des phénomènes tels que l'atténuation, la diaphonie, le mauvais appariement d'impédance ou le jitter.

L'intégrité du signal (SI) est étudiée à travers différentes approches expérimentales telles que la mesure des paramètres S, l'analyse TDR (*Time Domain Reflectometry*) et le diagramme de l'œil, réalisées à l'aide d'un analyseur de réseaux vectoriels, d'un réflectomètre temporel ou d'un oscilloscope haute fréquence. En complément, l'utilisation de simulateurs électriques et électromagnétiques 3D est devenue indispensable pour modéliser le comportement des signaux à haut débit, jusqu'à 25 Gbps dans les projets avioniques et 112 Gbps dans les projets spatiaux. La complémentarité entre les mesures expérimentales et les simulations numériques constitue un élément central dans l'évaluation de l'intégrité du signal. Les mesures expérimentales permettent de valider les modèles et d'obtenir une caractérisation précise du comportement réel des interconnexions, mais leur mise en œuvre requiert souvent un équipement coûteux, un temps de préparation important et une expertise technique spécifique. À l'inverse, les simulations électromagnétiques 3D offrent la possibilité d'anticiper les effets de discontinuités, d'étudier différents scénarios de conception et d'optimiser les structures avant la fabrication. L'association de ces deux approches permet ainsi d'obtenir une compréhension complète et prédictive du comportement des liaisons haut débit, tout en assurant un équilibre optimal entre précision et efficacité.

L'objectif de cet article est de présenter le développement d'une série de travaux pratiques (TP) s'étendant sur trois séances de 2 h 50, visant à permettre aux étudiants de Master 1 Systèmes Electronique d'intégrer les problématiques d'intégrité du signal dans la conception de cartes électroniques, et de les initier à la caractérisation expérimentale ainsi qu'à la simulation numérique. La section 1 décrit les moyens expérimentaux et logiciels utilisés pour les mesures et les simulations. La section 2 présente les dispositifs étudiés, constitués notamment de lignes micro-rubans (micro-striplines) et micro-rubans enterrées « striplines », permettant d'illustrer l'impact des structures mécaniques et physiques des lignes de transmission sur leurs performances d'intégrité du signal. La section 3 expose les résultats de mesures et de simulations (électriques et électromagnétiques 3D) de TDR et de diagrammes de l'œil. Enfin, l'article se conclut par une synthèse des résultats obtenus.

## II. Moyens d'essai, de simulation et résultats

### A. Moyens d'essai et de simulation

Pour la caractérisation expérimentale des pistes de cartes électroniques, le T3SP15D de Teledyne LeCroy (Fig. 1) est utilisé. Cet analyseur TDR/TDT haute performance permet de mesurer avec précision l'impédance, les discontinuités et les pertes sur des structures telles que les pistes, via ou connecteurs. Doté de deux canaux différentiels 15 GHz, il offre une résolution spatiale d'environ 3 mm, adaptée à l'étude des signaux numériques rapides dans les PCB multicouches.

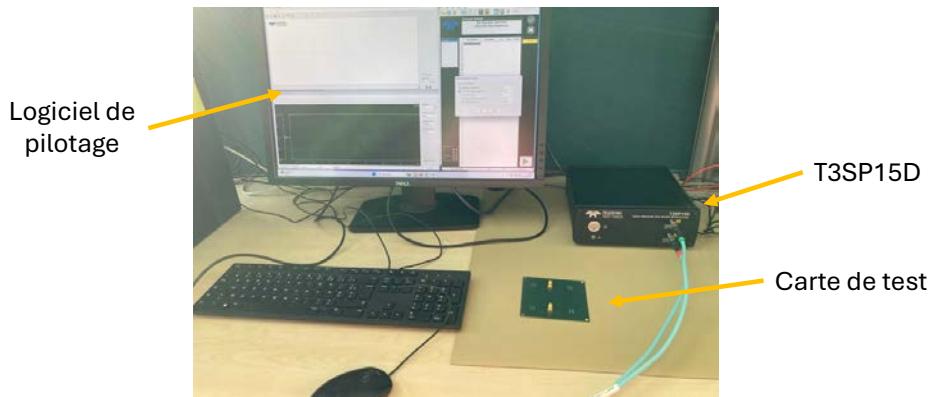


Fig.1. Photo du T3SP15D de Lecroy permettant de réaliser des mesures TDR (*Time Domain Reflectometry*) et de paramètres S.

Pour la simulation, deux outils complémentaires sont mobilisés :

- ADS (Advanced Design System) de Keysight Technologies, dédié à la modélisation électrique et à l'analyse de l'intégrité du signal ;
- SIWave d'Ansys, spécialisé dans la simulation électromagnétique 3D des PCB multicouches, permettant d'évaluer les discontinuités d'impédance, les pertes d'insertion et le jitter, tout en optimisant le stack-up et le routage avant fabrication.

### B. Lignes de PCB sous tests

Les mesures et les simulations sont réalisées sur deux structures simples : deux lignes micro-rubans connectorisées adaptées respectivement 43 et 50 ohms et deux séries de 3 lignes sur PCB 4 couches avec présence de diaphonies, de vias et de structures micro-ruban et micro-ruban enterrée. La figure 2 présente les cartes utilisées pour les mesures.

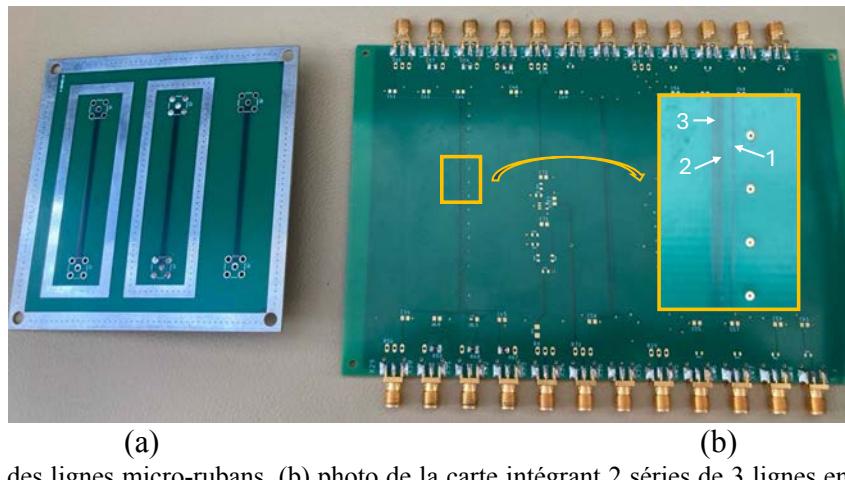
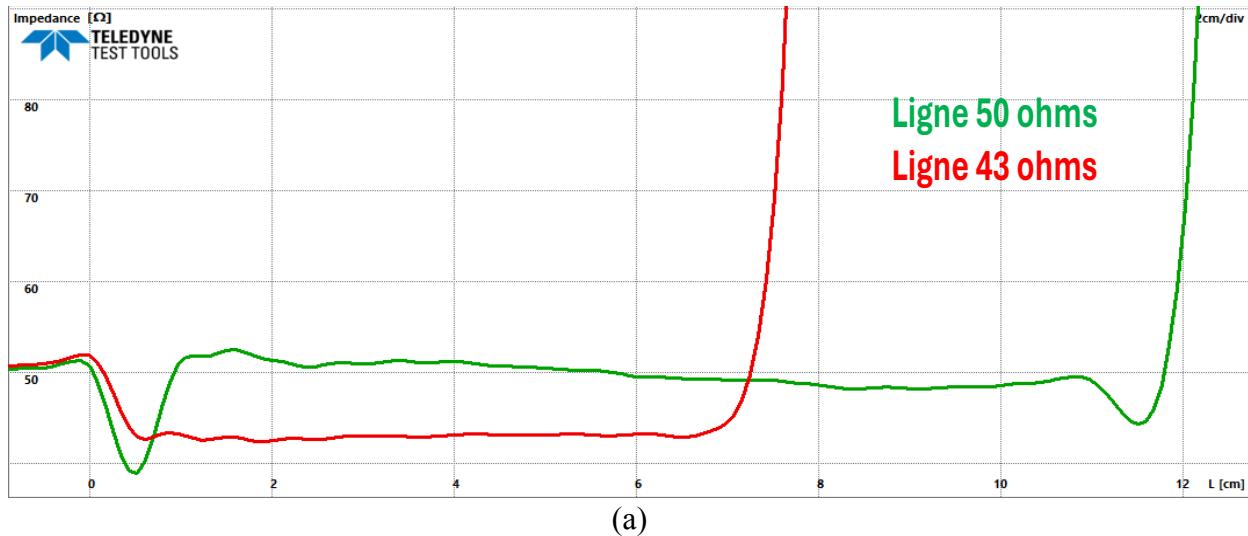


Fig.2. (a) Photo des lignes micro-rubans, (b) photo de la carte intégrant 2 séries de 3 lignes en parallèles sur PCB multicouche.

#### A. Caractérisation expérimentale TDR et paramètres S : diaphonie et vias

Plusieurs mesures expérimentales ont été réalisées sur ces deux structures. La première consiste à utiliser le T3SP15D pour effectuer des mesures TDR, permettant de déterminer l'impédance caractéristique des lignes. Avant la mesure, une calibration SOLT (*Short, Open, Load, Through*) est nécessaire afin d'assurer la précision des résultats. Le TDR génère ensuite une impulsion courte (60 ns) et mesure le signal réfléchi, à partir duquel le coefficient de réflexion est déduit en fonction du temps. En connaissant les caractéristiques physiques de la ligne micro-ruban (dimensions géométriques, perméabilité relative et pertes diélectriques), il est alors possible de reconstituer le profil d'impédance caractéristique le long de la ligne. La Fig. 3a présente le profil d'impédance réalisé sur les lignes 50 ohms et 43 ohms : le premier centimètre correspond à l'effet du connecteur SMA, suivi de l'impédance caractéristique de la ligne sur environ 6 cm pour la 43 ohms et 11 cm pour la 50 ohms, puis d'un second connecteur SMA laissé en circuit ouvert. La Fig. 3b présente des mesures TDR permettant d'observer les effets des vias, des empreintes de composants et de la technologie de ligne sur leur impédance caractéristique. On peut notamment observer que la ligne 1 micro stripline a une impédance de 100 ohms environ. Si cette même ligne (ligne 2) se trouve proche d'une autre ligne, son impédance caractéristique chute à 90 ohms. Si maintenant cette même ligne (ligne 1 stripline) est enterrée dans le PCB, son impédance caractéristique est de 70 ohms. Enfin, il est possible de voir sur la ligne 2 (stripline) l'effet, vers 9,7 ns, de la présence de vias et d'une portion de la ligne micro ruban (en surface).



(a)

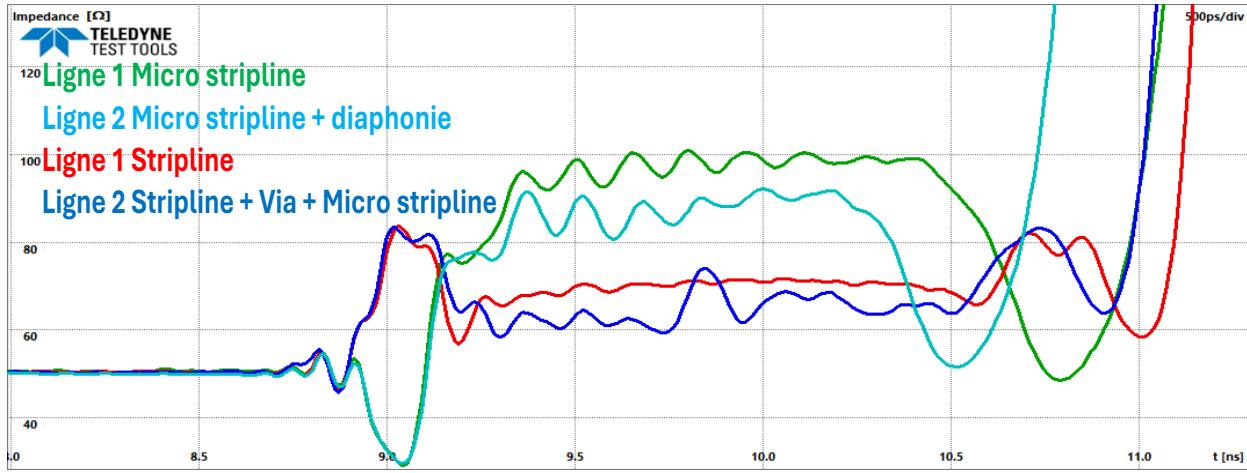


Fig.3. (a) TDR : Profils d'impédances caractéristiques de deux ligne micro rubans, (b) Profils d'impédances caractéristiques mettant en avant l'effet de la structure des lignes, des via, des empreintes de composants.

### B. Simulation électrique et modèle de ligne : Paramètres S et TDR

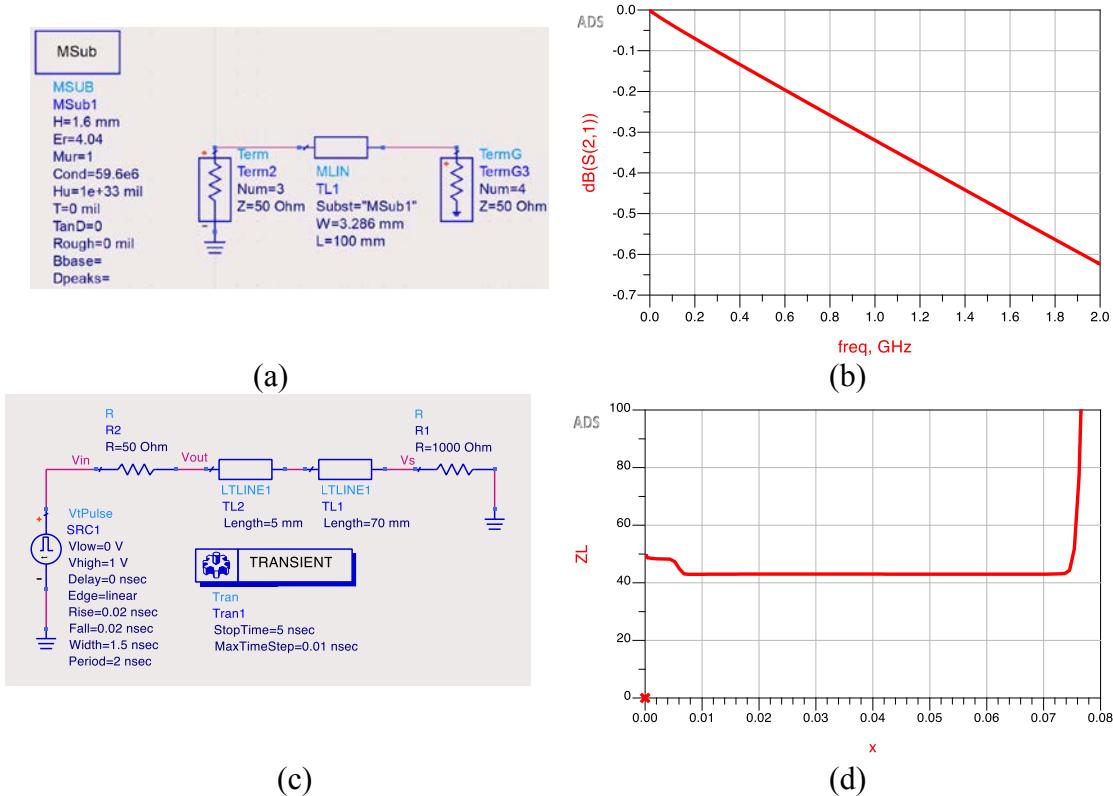


Fig.4. (a) Modèle ligne micro-ruban, (b) S21 ligne micro ruban 43 ohms, TDR ligne micro ruban 43 ohms, Simulation du TDR et rupture d'impédance : (c) Modélisation de la mesure TDR sur une ligne micro-ruban 43 ohms, (d) résultat de la mesure.

La simulation électrique sous ADS constitue un outil particulièrement puissant pour l'étude de l'intégrité du signal. Elle permet non seulement de reproduire les phénomènes observés expérimentalement, mais aussi de mieux comprendre les principes des différentes mesures, notamment la mesure TDR. Dans le cadre de ce travail pratique, les étudiants doivent modéliser une ligne micro-ruban, comme illustré en Fig. 4a, puis simuler ses paramètres S (Fig. 4b) afin de les comparer aux résultats expérimentaux.

Reproduire une mesure TDR sur ADS est particulièrement intéressant et pédagogique. En effet, il est nécessaire de reproduire fondamentalement la génération et la mesure d'impulsion comme réalisé par le T3SP15D et d'utiliser les équations permettant de remonter à l'évolution de l'impédance caractéristique  $Z_L$  et du coefficient de réflexion  $\Gamma_L$  de ligne en fonction de la distance en considérant le temps de propagation  $T_D$  du signal (Fig. 4c). Les étudiants doivent ainsi utiliser les équations [1] pour tracer le profil d'impédance, présenté en (Fig. 4d), qu'ils peuvent comparer à la Fig. 3a.

$$Z_L = \frac{50 * V_{out}}{V_{in} - V_{out}} \quad \Gamma_L = \frac{Z_L - 50}{Z_L + 50} \quad T_D = \frac{2 * L \sqrt{\epsilon_{eff}}}{c} \quad [1]$$

$L$  est la distance,  $\epsilon_{eff}$  correspond à la permittivité effective de la ligne et  $c$  représente la célérité de la lumière.

### C. Simulation électromagnétique : TDR et diagramme de l'œil

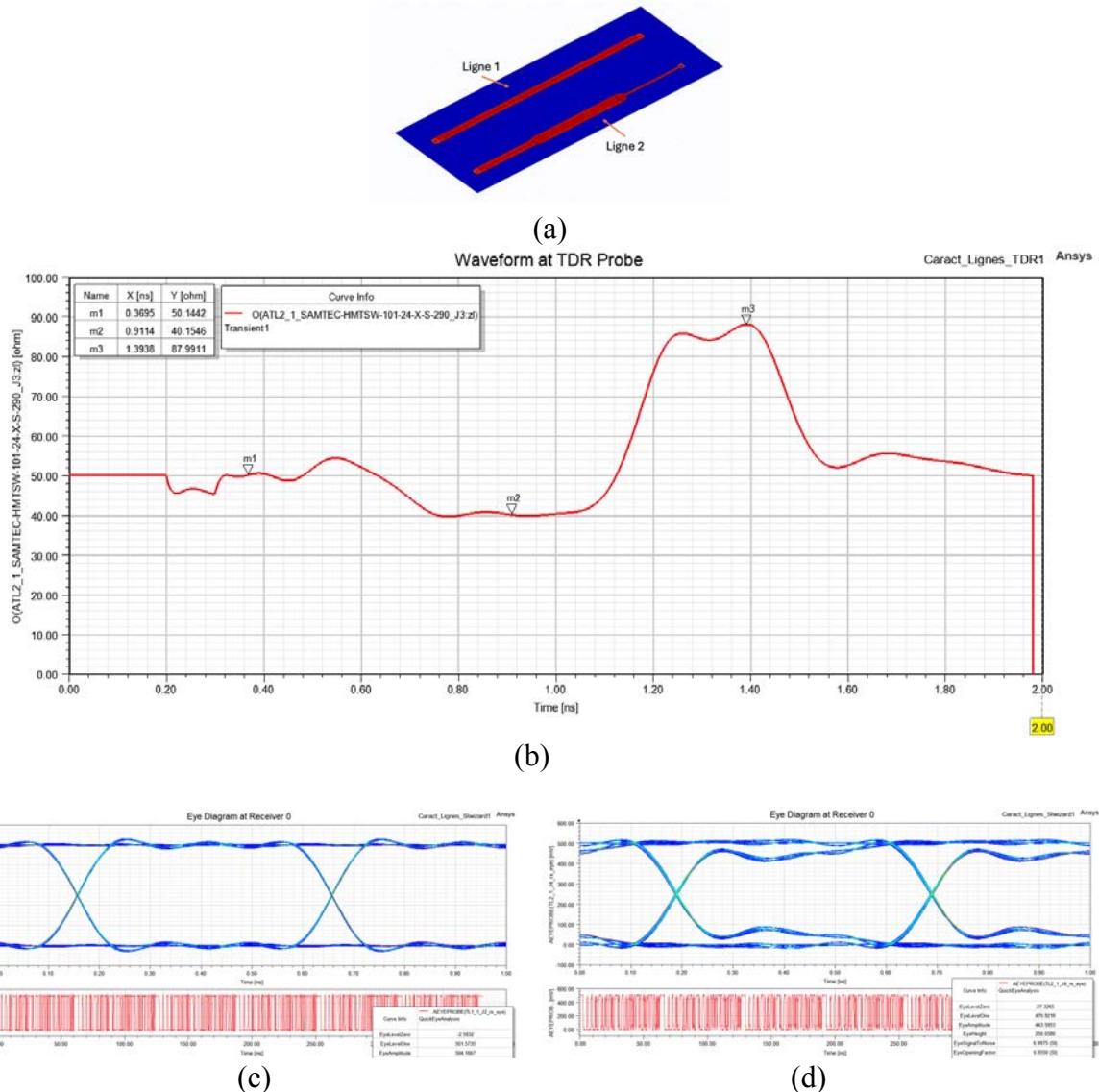


Fig.5. (a) Modèle 3D de la ligne micro ruban, (b) Simulation du TDR (3 tronçons), Diagramme de l'œil (c) 1 tronçon et (d) 3 tronçons.

La simulation électromagnétique 3D sous SIWave d'Ansys constitue un outil particulièrement performant pour l'étude de structures complexes multicouches, notamment lorsque des ruptures d'impédance apparaissent en raison de rétrécissements de pistes, de la présence de vias, de phénomènes de diaphonie ou encore de connecteurs. Dans le cadre de ce travail pratique, les étudiants n'ont pas à concevoir le design de la structure, mais exploitent directement le modèle présenté en Fig. 5a afin de réaliser des simulations TDR et de diagrammes de l'œil. Les simulations TDR sont d'abord effectuées sur une ligne micro-ruban de largeur constante d'impédance 50 ohms, puis sur une ligne présentant deux variations locales de largeur, générant ainsi des discontinuités d'impédance caractéristique (40 ohms et 90 ohms). La Fig. 5b illustre les résultats TDR obtenus par simulation électromagnétique 3D, mettant en évidence les effets de ces discontinuités. Enfin, les Fig. 5c et 5d présentent les diagrammes de l'œil simulés pour une ligne sans rupture d'impédance (Ligne 1 sur la Fig. 5a) et comportant 2 ruptures d'impédance (Ligne 2 sur la Fig. 5a), pour un débit de 2 Gbps. Ces résultats montrent bien la fermeture de l'œil dans le cas où la ligne présente des ruptures d'impédance caractéristique.

### III. Conclusions

L'étude de l'intégrité du signal dans les circuits imprimés (PCBs) est une thématique complexe, nécessitant à la fois une bonne compréhension des phénomènes physiques de propagation des ondes et une maîtrise des instruments de mesure avancés, tels que les analyseurs de réseaux vectoriels ou les réflectomètres temporels (TDR), ainsi que des logiciels de simulation électrique et électromagnétique. Dans le monde industriel, c'est la complémentarité entre la mesure expérimentale et la simulation numérique qui permet à l'ingénieur concepteur d'optimiser la conception des cartes électroniques. Le travail présenté dans cet article propose ainsi une série de manipulations expérimentales et de simulations visant à initier les étudiants à la conception de cartes électroniques tout en les sensibilisant aux problématiques d'intégrité du signal.

### Remerciements

Nous tenons à remercier le soutien du GIP (4) et de la DGESIP, ainsi qu'au projet INFORISM (5) pour le financement du TDR T3SP15D de chez LECROY utilisé dans le cadre du TP.

### Références

Les citations complètes doivent apparaître à la fin de l'article. Utiliser le style qui apparaît dans les exemples ci-dessous.

1. A. Vardapetyan and C.-J. Ong, "Via Design Optimization for High Speed Differential Interconnects on Circuit Boards," EPEPS (2020).
2. J. Zhang, Q. B. Chen, J. Fan, J. L. Drewniak, A. Orland, and B. Archambeault, "DC blocking via structure optimization and measurement correlation for SerDes channels," IEEE International Symposium on Electromagnetic Compatibility (2010).
3. B. M. Bernardi, E. Endler, D. A. Timm, R. Marques, E. L. Rhod, and S. B. Ferreira, "Return Loss Optimization of 25-Gbps High-Speed Serial Link on a Multilayer PCB," 2021 SBMO/IEEE MTT-S International Microwave and Optoelectronics Conference (IMOC) (2021).
4. French national program (France 2030): INFORISM (Engineering of Education Innovative and Strategic in Microelectronics), AMI-CMA, ANR-23-CMAS-0024, June 2024, <https://www.cnfm.fr>
5. GIP-CNFM : Groupement d'Intérêt Public - Coordination Nationale pour la formation en Microélectronique et en nanotechnologies. Website: <http://www.cnfm.fr> (last access June 2025)

# **International Summer School on Micro and Nano-fabrication tools for innovating applied electronics and fundamental research**

R.P. Tan <sup>a</sup>, J. Harmel <sup>b</sup>, C. Capello <sup>a</sup>, C. Rouabhi <sup>a</sup>, J. Schuber <sup>a,c</sup>, H. Azeroual<sup>a</sup>, I. Konate <sup>a</sup>, J.-B. Lincelles <sup>a</sup>, M. Mauguet <sup>c</sup>, X. Marie <sup>c,d</sup>, et M. Respaud <sup>a,b,d</sup>

<sup>a</sup> AIME pôle CNFM de Toulouse, INSA de Toulouse, France

<sup>b</sup> CEMES-CNRS, Université de Toulouse, Toulouse, France

<sup>c</sup> LPCNO, Université de Toulouse, Toulouse, France

<sup>d</sup> Département de Génie Physique, Université de Toulouse, INSA, Toulouse, France

Contact email : [respaud@insa-toulouse.fr](mailto:respaud@insa-toulouse.fr)

Nous présentons dans cette communication la nouvelle formation MINATO (Micro and Nano-fabrication tools for innovating applied electronics and fundamental research) réalisée dans un format de programme court, d'école d'été internationale, sur le campus de l'INSA Toulouse au sein de l'AIME. S'étalant sur 2 ou 4 semaines en période estivale, cette formation réalisée intégralement en anglais s'adresse à un public d'étudiants français et étrangers de niveau bachelor à PhD qui souhaitent suivre un programme intensif de formation à la microélectronique, aux micro- et nano-technologies de salle blanche et aux technologies quantiques. L'approche pédagogique est basée sur un apprentissage par la pratique, avec plus de 50% du temps passé en salle blanche. Après évaluation de chaque étudiant, l'école délivre une attestation de formation avec des crédits ECTS (5 et 10 pour respectivement 2 et 4 semaines).

## **I. Contexte**

Les micro et nano-technologies sont aujourd'hui des «Key Enabling Technologies» pour les sciences appliquées innovantes (électronique, capteurs haute sensibilité, récupération et stockage d'énergie, photonique, technologie quantique...) et la recherche fondamentale dans de nombreux domaines expérimentaux (physique, chimie, électronique, photonique, ...). Reconnue comme stratégique aux niveaux français et européen, le développement de ces activités au sein de la filière électronique, fait face à plusieurs difficultés, dont en particulier le recrutement d'opérateurs, techniciens ou ingénieurs au meilleur niveau sur un nombre de technologies et de compétences de plus en plus nombreuses (nouvelles technologies des composants intégrés, électronique de puissance, électronique sur substrat souple, récolte d'énergie, nouvelles technologies de capteurs, stockage de l'énergie, CAO, Test, communication, RF, optoélectronique, spintronique, quantique ...). Comment attirer de nouveaux talents, et bien les former ? Pour la grande majorité des étudiants, la formation jusqu'au niveau master qui repose sur un enseignement général basé sur la théorie, est jugée très complexe et exigeante en comparaison d'autres filières scientifiques. La pratique n'est réellement appréhendée qu'à travers des stages en laboratoire ou en entreprise, parfois sans lien direct avec les enseignements. Le corps enseignant doit s'adapter et composer entre la nécessité d'amener un socle théorique minimal, d'aborder un nombre croissant de sujets et de compétences dans un contexte de réduction de volume des maquettes pédagogiques. Ces constats sont partagés au niveau

international, et en France, malgré l'apport du réseau de plateformes coordonné par le GIP CNFM.

Pour répondre à ce besoin, et aller au-delà du simple cadre d'une formation générale, l'INSA Toulouse s'appuie sur la plateforme AIME pour proposer une nouvelle formation, exclusivement focalisée sur la micro-électronique, les nanotechnologies et les technologies quantiques, dans un format de programme court. De nombreuses universités à travers le monde proposent des programmes courts de formation universitaire (sur quelques semaines) durant les vacances scolaires estivales. Ces programmes souvent accompagnés d'une mobilité géographique/thématische permettent aux étudiants de vivre une expérience de formation complémentaire à leur cursus universitaire afin d'approfondir leurs connaissances dans une thématique donnée et de découvrir de nouvelles cultures qu'elles soient scientifiques ou humaines.

Concrètement, l'école d'été **MINATO** vise à introduire les techniques de micro et nanofabrication, les technologies quantiques de deuxième génération émergentes, avec une approche interdisciplinaire et par la pratique, qui comprend des cours et des conférences sur les bases et des activités expérimentales. L'essentiel de l'université d'été ( $>50\%$  du temps) porte sur la mise en pratique de ces technologies en salle blanche, en partant d'une plaquette de silicium vierge de base jusqu'à la fabrication et l'exploitation d'un dispositif fonctionnel.

Pendant deux ou quatre semaines, après une série de conférences sur les bases techniques, chaque étudiant prend en charge la micro- et nano-fabrication et la caractérisation de son propre dispositif en utilisant des installations en salle blanche (électronique MOS, cellule solaire, micro-super condensateur, capteur de gaz, dispositifs à base de matériaux 2D, ...), ou bien sur les bancs expérimentaux dédiés aux technologies quantiques.

## II. Objectifs pédagogiques :

L'objectif pour chaque étudiant sera d'acquérir de nouvelles compétences et connaissances scientifiques, à la fois théoriques et pratiques, dans le domaine des nanosciences et des nanotechnologies. À la fin de l'école d'été, les étudiants doivent avoir acquis et être en mesure d'expliquer (concepts principaux) :

- 1/ Connaissance théorique et pratique des procédés de fabrication des nanostructures et composants intégrés en technologie du silicium
- 2/ Propriétés électroniques et optiques des nanostructures et des composants électroniques simples (diode, transistor, capteur chimique, cellule photovoltaïque, micro-supercondensateur, semi-conducteur et matériau 2D, etc.).
- 3/ Connaissance des Technologies Quantiques de première et deuxième génération, exemples de réalisation dans le domaine des capteurs, des communications sécurisées, ...

L'étudiant doit être capable de :

- Concevoir et mettre en œuvre des procédés de fabrication de nanostructures/nanodispositifs ou de composants intégrés en technologie Si, avec des fonctionnalités définies en termes de propriétés électroniques, optiques, physiques ou chimiques.
- Produire des nanostructures par des moyens physiques ou chimiques (dépôt sous vide, dépôt en phase vapeur, dopage Si).
- Utiliser des techniques de lithographie.
- Comprendre les techniques de gravure humide ou sèche.
- Réaliser des caractérisations morphologiques de nanostructures.

- Tester, interpréter et analyser les propriétés électriques et optiques de nanostructures ou de composants intégrés.
- Contrôler la qualité à chaque étape d'un processus de fabrication complexe.
- Travailler dans un environnement de salle blanche complexe, en appliquant les meilleures pratiques, en suivant une démarche qualité et en respectant les règles de sécurité, notamment en ce qui concerne le risque chimique.
- Identifier les technologies quantiques de première et deuxième génération
- Manipuler des photons pour le codage de clés cryptographiques quantiques
- Comprendre et exploiter les capteurs quantiques à base de centre N-V dans le nanodiamant pour la mesure de champ magnétique
- Communiquer en français : maîtriser les bases du français oral. Niveau d'objectif A0-A1 / Débutant

## **II. Organisation de l'école :**

A l'inscription, chaque étudiant définit les ateliers thématiques qu'il souhaite suivre, respectivement 1 ou 2 modules pour une inscription avec une durée de 2 ou 4 semaines.

L'école débute par une série de cours de 3 jours sur les nanotechnologies (techniques de lithographie, méthodes de gravure humide et sèche, dopage du silicium, dépôt de couches minces de métal et d'oxyde par des voies chimiques et physiques, ...), la conception de processus afin d'élaborer un dispositif, la caractérisation et le contrôle de la qualité à différentes étapes, et les mesures des propriétés du dispositif. Les étudiants sont répartis ensuite dans les ateliers thématiques et participent en petits groupes (4 à 6 étudiants maximum) pour 25h d'expérimentation pratique, en profitant des installations de l'AIME. Ces ateliers intègrent également des séances de remédiation spécifique. Des cours thématiques et des conférences correspondantes (ouvertes à tous) sont donnés sur chaque sujet spécifique. Les 4 ateliers thématiques sont :

### A/ Microélectronique – Technologie MOS

Cet atelier pratique donne une approche complète, théorique et pratique des opérations fondamentales de fabrication d'un circuit intégré en silicium à l'aide de la technologie des transistors NMOS. Dans la salle blanche de l'AIME, les stagiaires réalisent toutes les opérations technologiques du processus de fabrication depuis une plaquette de silicium vierge jusqu'à l'obtention d'un composant de transistor fonctionnel et de circuits intégrés. Les aspects théoriques sur les différentes techniques (chimie, nettoyage de surface des wafers, photolithographie, oxydation du silicium, dépôt et gravure, diffusion, etc.) sont détaillés lors de chaque étape de fabrication. De plus, l'atelier donne une approche des techniques de CAO pour acquérir les notions de base de la conception de circuits intégrés. Les participants développeront la conception schématique de circuits analogiques simples, la simulation de circuits et leur première conception de tracé de circuit.

### B/ Nanochimie – Capteurs chimiques

Cette formation donne une approche théorique et pratique, à fort caractère interdisciplinaire (chimie, physique, technologie), couvrant les domaines scientifiques et technologiques via la fabrication et la caractérisation de capteurs chimiques, en milieu de salle blanche (AIME). À partir d'une plaquette de silicium vierge, les participants effectuent toutes les

opérations technologiques du processus de fabrication ainsi que les tests de caractérisation. Une puce à base de Si avec chauffage intégré est d'abord fabriquée par les stagiaires à l'aide de techniques de microtechnologie. En tant que matériau sensible, ils réalisent la synthèse chimique de nanofils d'oxyde métallique. Le capteur est fabriqué en intégrant les nanoparticules sur les puces. Enfin, les participants mesurent la réponse de leur capteur dans des atmosphères polluées contrôlées, afin de déterminer sa sensibilité.

#### C/ Technologies intégrées de récupération et de stockage d'énergie

Cette formation sera divisée en deux parties, offrant une approche complète, théorique et pratique (i) de la fabrication à la mesure de rendement de la cellule solaire et (ii) de la fabrication et des propriétés électrochimiques d'un supercondensateur pour les technologies intégrées de récupération et de stockage d'énergie respectivement. Dans un premier temps, à partir d'une plaquette de silicium vierge, les participants effectuent toutes les opérations technologiques du processus de fabrication de leur cellule solaire centimétrique en Si monocristallin. Les mesures de photocourant et le rendement de la cellule solaire sont mesurés à l'aide d'un simulateur solaire. Dans un second temps, à partir d'une plaquette de silicium vierge, les participants réalisent l'ensemble des opérations technologiques du processus de fabrication de leur supercondensateur micrométrique à base de carbone nanostructuré actif. Différents domaines technologiques et scientifiques sont concernés : i/ la fabrication de puces supportant des collecteurs de courant par des procédés microélectroniques conventionnels, ii/ le dépôt d'électrodes de charbon actif sur des collecteurs de courant (dépôt en couche mince par électrophorèse), iii/ la caractérisation électrochimique de micro-supercondensateurs (par cyclo-voltamétrie).

#### D/ Technologies quantiques – Applications pratiques : capteurs, communication sécurisée, etc.

Concevoir des capteurs avec des sensibilités record, communiquer des informations de manière ultra-sécurisée en utilisant les règles de la mécanique quantique, constitue quelques exemples des perspectives d'application de ruptures ouvertes par les technologies quantiques. A plus long terme, l'informatique quantique vise à utiliser les propriétés quantiques ultimes de la matière (superposition, intrication, ...) pour effectuer des opérations massives sur des données à l'aide de l'ordinateur quantique. Cette formation donne une approche complète et originale des technologies quantiques, en laissant place à une large partie pratique. Après une brève introduction aux concepts fondamentaux de la superposition quantique et de l'intrication, les étudiants mettent en œuvre deux applications majeures des technologies quantiques actuelles :

# Atelier pratique 1 : Communication selon le protocole de cryptographie quantique BB84. L'objectif est d'effectuer une distribution de clés quantiques et de simuler une attaque en ayant l'occasion d'implémenter le protocole BB84 en cryptographie quantique. Les étudiants réalisent une expérience d'intrication quantique sur une paire de photons jumeaux, expérience qui a valu le prix Nobel de physique 2022 décerné à Alain Aspect, John Clauser et Anton Zeilinger. L'ensemble de ces bancs expérimentaux permet de se familiariser aussi sur les bases des propriétés des photons, l'instrumentation (source, fibre optique, détecteur, etc.).

# Atelier pratique 2 : Métrologie – Capteurs de champ magnétique ultra-faibles grâce à un capteur quantique basé sur les défauts azotés des diamants. Les étudiants mettent en œuvre trois technologies de capteurs de champ magnétique : l'effet Hall, la GMR (magnétorésistance géante), avec un focus sur un capteur quantique basé sur les centres N-V du diamant, et les techniques ODMR (détection optique de la résonance magnétique). Les caractéristiques techniques pertinentes de chaque technologie seront examinées, y compris les plages de mesure et de sensibilité.

La dernière journée de l'école est consacrée aux exposés des étudiants et aux échanges scientifiques entre les participants. Chaque étudiant est évalué par les enseignants. Enfin, leurs retours d'expérience sont recueillis avant une conclusion et un message général à retenir pour l'école d'été.

Un exemple d'emploi du temps est donné dans la figure 1.

La figure 2 illustre les étudiants en salle blanche ainsi que le groupe de participants à la seconde édition de l'école d'été.



En plus des activités scientifiques, des visites de laboratoires sont organisées pour favoriser les échanges scientifiques et faire découvrir le réseau de laboratoires au sein du périmètre NanoX, ainsi que des visites culturelles pour découvrir la ville de Toulouse, la région Occitanie, l'art de vivre local, avec par exemple une visite du musée Aeroscopia et de la

chaîne d'assemblage A350XWB des usines Airbus, la visite de la cité de Carcassonne, l'observatoire du Pic du Midi, ...

### III. Conclusion et perspectives

La mise en place de l'école d'été Minato a été longue, avec la création d'une nouvelle formation, de fiches ECTS, d'un règlement des études spécifiques, d'une chaîne d'inscription adaptée, et enfin la création d'un modèle économique équilibré sur le plan financier avec des droits d'inscription adaptés. Le point central pour la réussite demeure la communication, avec un fort apport des services de la Direction des Relations Internationales de l'INSA et son réseau d'universités partenaires. Un deuxième point important concerne l'apport du service « Short Program » de la COMUE de Toulouse qui a pris en charge la gestion de l'hébergement, des repas, sorties culturelles, enseignement de français langue étrangère.

Après une première session avec 5 étudiants, la deuxième a accueilli 13 étudiants, dont 25% de français, et au niveau international : Japon : 1, Taiwan : 1, Chine : 2, Chili : 1, Kenya : 1, Allemagne : 2, Italie : 2, Suède : 1, République Tchèque : 1). Les premiers retours des étudiants sont excellents et enthousiastes, tant de la part de jeunes étudiants qui s'immergent pour la première fois dans une première expérience en salle blanche, que pour des étudiants en thèse réalisant des travaux sur des sujets expérimentaux ou de design et modélisation. Les plateaux technologiques et les innovations pédagogiques développés depuis des années dans le cadre du GIP-CNFM sont particulièrement adaptés et ont été appréciés. Une nouvelle session sera organisée en 2026 avec un objectif à 18 étudiants participants.



**MINATO Summer School 2026**

**Register now!**

Do you wish to develop your knowledge in Micro and Nano-fabrication tools or Nanotechnology, while traveling the world, discovering french "art de vivre", and meeting new people from different cultural backgrounds?

In the south of France, you will study within a high-ranking French engineering institute, INSA Toulouse, and have the chance to fabricate your own device in clean room and research facilities.

Micro and Nano technologies are nowadays "Key Enabling Technologies" for innovating applied science and fundamental research in numerous experimental fields. Get micro-nano fabrication skills thanks to MINATO, with a unique hands-on interdisciplinary teaching method approach mainly based on Lab Work (> 50% of time) in a clean room.

Dates : June 22, to July 3, 2026 or June 22, to July 17, 2026.

Get ECTS credits: 5 for 2 weeks 10 for 4 weeks.

Toulouse, France

Activities: guided tour in world heritage sites by UNESCO (Carcassonne city, Canal du midi...), visit of the Pic du Midi and its astronomical observatory; visit of AIRBUS facilities, CNRS Laboratories ; typical French food tasting ; 14th of July celebration...

Who can apply: All Science and Engineering students with undergraduate or graduate level (≥ bachelor of science in mathematics, physics, chemistry, materials, electronics) including PhD students. Preliminary entry-level on-line courses refreshing the required topics provided.

Fees: # full cost - 3650 € for 2 weeks or 5500 € for 4 weeks program, (accommodation, lunch, social events, and visits organized by MINATO included). # Partner cost - 1950 € for 2 weeks or 2900 € for 4 weeks program, only for INSA Toulouse partner universities.

**Application deadline: 16th of march 2026**

# 2 weeks program : June 22, to July 3, 2026  
# 4 weeks program : June 22, to July 17, 2026

Educational Manager: Prof. Marc RESPALUD

More information: Detailed program, practical information and the registration link : <https://www.aime-toulouse.fr/summer-school-minato/>

AIME Ville Chiffre de Toulouse INSA Université de Toulouse

## **Remerciements**

Les responsables de l'école remercient les intervenants, les encadrants, le support technique des personnels de l'AIME, les services de l'INSA (en particulier, Mme M. Hatier de la Direction des Relations Internationales), et le service « Short Program » de la COMUE de Toulouse (en particulier, Mme E. Ourliac) qui se sont mobilisés pour faire vivre cette école.

Les auteurs remercient le GIP-CNFM (Coordination Nationale de Formation en Micro-électronique et Nanotechnologies), l'EUR NanoX (n°ANR-17-EURE-0009), France 2030 pour le projet ANR-23-CMAS-0024 INFORISM, la région Occitanie pour le projet AIMEQu (n°OCC008002) sur son programme Occitanie-FEDER-FSE+ 2021-2027, l'Institut Quantique Occitan, pour leurs soutiens financiers et leurs contributions au développement de nos plateformes technologiques et de formations innovantes au cœur de cette initiative.



# CONCEPTION D'UN GENERATEUR DE NOMBRE ALEATOIRE

M. Guerin, S. Meillère, P. Pannier, J. Postel-Pellerin, R. Laffont

Pôle CNFM PACA - Aix Marseille Université - Polytech Marseille

Filière Microélectronique et Télécommunications :

Technopôle de Château-Gombert - 5 rue Enrico Fermi - 13453 Marseille cedex, France

Contacts email : mathieu.guerin@univ-amu.fr

Dans le cadre du projet pédagogique CARA\_PUCE, quatre équipes de six étudiants chacune, encadrés par deux enseignants-rechercheurs, ont mis en application un flot de conception en microélectronique. Ils ont, d'une part, mis au point un générateur de nombres aléatoires en électronique discrète ; puis ils ont créé et simulé le schéma niveau transistor. Les simulations ont pour objectif de valider le fonctionnement de tous les blocs du circuit avant d'en réaliser le dessin des masques (layout). Les vues schématique et layout sont réalisées en technologie AMS CMOS 0,35µm en utilisant les ressources logicielles et matérielles de la plateforme IDLab du CNFM PACA cofinancée par l'IDEFI FINMINA et POLYTECH MARSEILLE. Un banc de test automatisé a également été réalisé par les étudiants en programmant un microcontrôleur, cette étape permettant d'évaluer la qualité du signal aléatoire généré.

## I. Introduction et présentation du projet

Dans le cadre de la formation en Microélectronique à Polytech Marseille, un projet de quatrième année est réalisé, dont l'objectif est la conception et la caractérisation d'un générateur de nombres aléatoires (Random Number Generator — RNG). Ce type de générateur joue un rôle fondamental dans de nombreuses applications de cryptographie, où la qualité de l'aléa est essentielle pour garantir la sécurité des systèmes [1].

Ce projet pluridisciplinaire fait appel à des compétences variées en conception analogique et numérique, en électronique discrète, en programmation embarquée et en traitement statistique. Il permet ainsi de mettre en œuvre le flot de conception analogique et numérique, de caractériser des portes logiques et des circuits complexes, d'automatiser des mesures via microcontrôleurs, et d'appliquer des tests statistiques sur les séquences générées. Le projet se décompose en plusieurs volets complémentaires, présentés dans la figure 1.

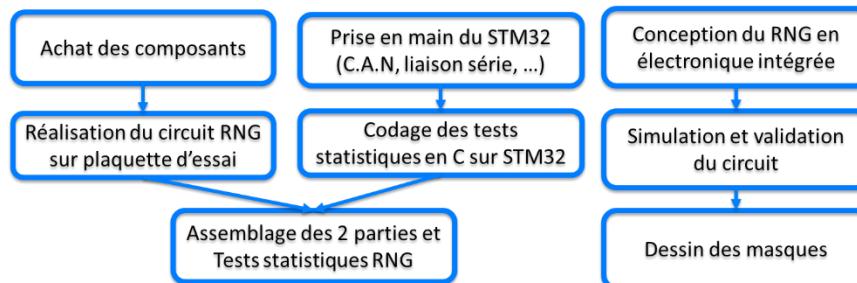


Fig.1. Déroulement du projet4A de Microélectronique à Polytech Marseille

**Partie électronique discrète** : Réalisation pratique du schéma du RNG sur plaque d'essai (ou « breadboard ») à partir de composants discrets. Cette étape inclut la recherche et la commande des composants (via Farnell, R.S., Digikey), la réalisation du schéma-bloc et du circuit imprimé (PCB) sous EAGLE, ainsi que la soudure et le test des différentes parties (inverseurs, anneaux d'oscillateurs, XOR, bascules, etc.).

**Partie microélectronique** : conception sous l'environnement Virtuoso-CADENCE d'un générateur de nombres aléatoires basé sur des oscillateurs en anneau (Ring Oscillators - RO), inspiré de l'article [2]. Le système est simulé dans des conditions typiques et analyserons la dispersion liée aux variations de processus, de tension et de température (PVT). Le bitstream généré sera ensuite évalué afin de mesurer sa qualité statistique. Cette étape inclut également la réalisation du layout (dessin des masques) du circuit et l'élaboration d'une fiche technique (datasheet) et d'une note d'application (application) note.

**Partie programmation et traitement** : Création d'un programme de test en langage C sur une carte Nucleo L476-RG permettant l'acquisition de séquences aléatoires sur une longue période [3]. Les données recueillies seront ensuite soumises aux tests statistiques normalisés de l'AIS31 pour évaluer la qualité du générateur. Les résultats seront affichés, via une liaison série, sur un terminal d'ordinateur.

Tableau 1: Spécifications électriques concernant le générateur de nombres aléatoires

Caractéristique	Valeur	Unité
Vdd	3,0	V
Fosc1	77	kHz
Fosc2	117	kHz
Fosc3	177	kHz
Fclk	10	kHz
I vdd	500	$\mu$ A
Area	0,5	mm <sup>2</sup>

## II. Réalisation du circuit en électronique discrète sur plaquette

L'objectif de ce projet est de concevoir un générateur de nombres aléatoires basé sur des phénomènes physiques. Ce générateur doit être en mesure de produire un flux de bits véritablement aléatoire, exploitable notamment pour la génération de clés cryptographiques.

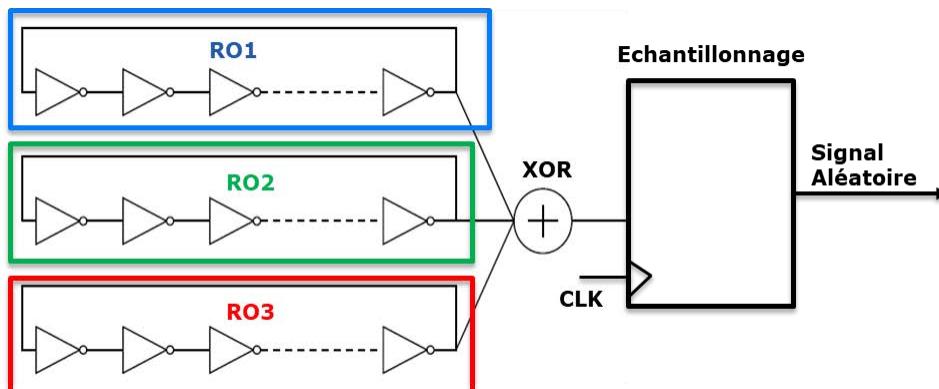


Fig.2. Schéma bloc du générateur de nombres aléatoires

Dans cette partie, la conception du circuit électronique à partir de composants (portes inverseuses, portes XOR, bascule D, etc.), facilement disponibles chez les fournisseurs courants, sera détaillée. Le schéma-blocs du générateur de nombres aléatoires est présenté à la figure 2.

Le système se compose des blocs fonctionnels suivants :

ROx (Ring Oscillator) : Trois oscillateurs en anneau constitués d'un nombre impair d'inverseurs, permettant de générer des signaux périodiques dont les fréquences sont définies et mesurées selon les valeurs indiquées dans le Tableau 1.

Porte OU exclusif (XOR) : Ce composant permet de combiner les signaux de sortie des trois oscillateurs, afin de fournir un '1' logique si un nombre impair de ses entrées est à l'état haut, et un '0' logique sinon.

Echantillonnage : Mécanisme de collecte permettant de récupérer une valeur à chaque front d'horloge. Cette fonction est remplie par une bascule D, déclenchée sur le front montant de l'horloge, et permettant de générer un flux de bits (bitstream) aléatoire.

La première étape consiste à sélectionner les différents types de composants nécessaires à la réalisation du générateur. Le choix des composants repose sur les exigences fonctionnelles du projet, ainsi que sur certaines contraintes technologiques telles que :

- la compatibilité avec l'alimentation choisie,
- la disponibilité sur des plateformes d'approvisionnement comme Farnell ou Digikey,
- la facilité d'intégration dans le montage expérimental.

Afin de sélectionner les composants adéquats, il est essentiel de respecter les contraintes imposées par le cahier des charges, notamment en ce qui concerne les fréquences d'oscillation indiquées dans le Tableau 1.

Dans le type d'architecture retenu pour ce projet, à savoir des oscillateurs en anneau (Ring Oscillators - RO), l'oscillation est obtenue en exploitant les délais de propagation dans une chaîne d'inverseurs [4]. La fréquence d'oscillation  $f_{osc}$  d'un oscillateur en anneau peut être exprimée par la relation suivante :

$$f_{osc} = \frac{1}{2 \cdot N \cdot T_p}$$

où :  
 — N est le nombre d'inverseurs en cascade (impair pour garantir l'oscillation),  
 —  $T_p$  est le temps de propagation d'un inverseur.

En ajoutant une capacité à la sortie d'un inverseur, son temps de propagation effectif est augmenté, ce qui permet d'ajuster la fréquence des oscillations. La figure 3 présente le schéma électrique de principe d'un oscillateur en anneau constitué d'inverseurs et de condensateurs.

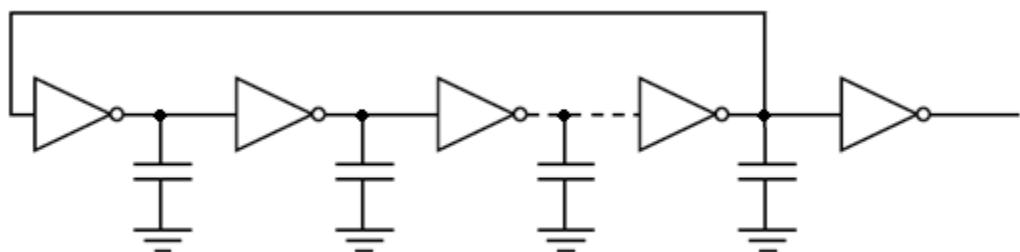


Fig.3. Schéma électrique d'un oscillateur en anneau à base d'inverseurs et de condensateurs

Comme illustré par la figure 3, un dernier inverseur est placé en dehors de la boucle afin d'isoler la sortie de l'oscillateur en anneau. Ce dernier permet d'annuler l'impact de la charge de sortie de l'oscillateur sur sa fréquence de fonctionnement.

Dans cette démarche, il était nécessaire de connaître le temps de propagation indiqué dans la datasheet des inverseurs afin de sélectionner correctement les valeurs des capacités.

Dès réception des composants, nous avons caractérisé expérimentalement l'évolution du temps de propagation en fonction de la capacité appliquée en sortie de l'inverseur. Les mesures ont montré que cette relation était linéaire : une capacité deux fois plus élevée entraîne une fréquence d'oscillation deux fois plus faible.

Une fois les composants reçus, le montage a été réalisé sur une plaquette de prototypage. Cette étape a permis de tester chaque sous-bloc séparément et d'effectuer rapidement des modifications si nécessaire. Durant cette phase, les valeurs des capacités initialement sélectionnées ont été vérifiées expérimentalement. Elles ont ensuite été ajustées afin d'obtenir une meilleure précision sur les fréquences des oscillateurs, conformément aux spécifications. Les fréquences mesurées sur les trois oscillateurs sont présentées dans le Tableau 2, afin d'être comparées aux spécifications établies en début de projet.

Tableau 2: Comparaison des caractéristiques électriques ciblées et mesurées pour les oscillateurs en anneau

Oscillateur	Fréquence attendue (KHz)	Fréquence mesurée (KHz)	Erreur relative
RO1	77	89	+15%
RO2	117	132	+13%
RO3	177	190	+7%

Malgré les écarts observés, les fréquences mesurées restent proches des valeurs spécifiées dans le cahier des charges. Le fait qu'elles ne soient pas des multiples les unes des autres garantit un bon niveau de désynchronisation entre les oscillateurs, ce qui favorise le caractère aléatoire du signal de sortie du système complet.

Le circuit RNG complet, une fois réalisé sur plaquette d'essai, est présenté à la Figure 4.

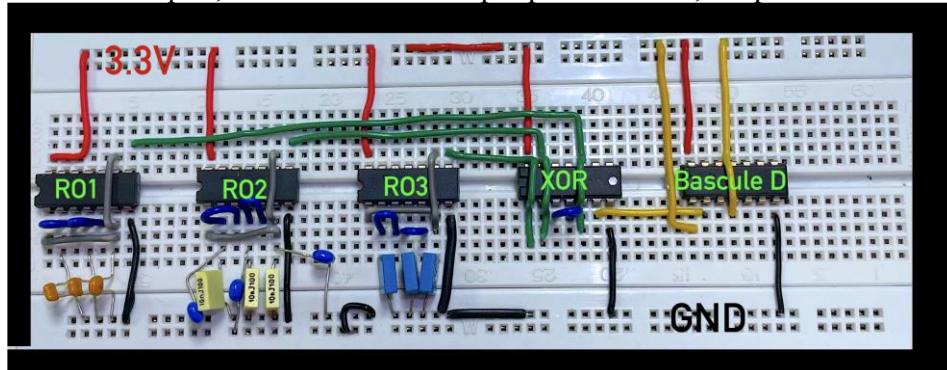


Fig.4. Photographie du RNG complet réalisé sur plaquette d'essai

À l'issue des différents oscillateurs en anneau (RO1, RO2, RO3), les trois signaux de sortie sont combinés à l'aide d'une porte logique XOR. Cette opération permet de mélanger les signaux issus des oscillateurs. La sortie résultante de la porte XOR est illustrée sur la figure 5(a). Pour obtenir un flux de bits exploitable, une bascule D active sur front montant d'horloge est utilisée [5]. Le signal d'horloge à 10 KHz permettant l'échantillonnage est généré par un générateur de signaux arbitraires. C'est à la sortie de la bascule D que l'on peut considérer que le signal obtenu correspond à un flux de bits pseudo-aléatoires,

résultant de la combinaison des différentes fréquences générées par les oscillateurs en anneau. L'évolution de cette tension en fonction du temps est présentée sur la figure 5(b).

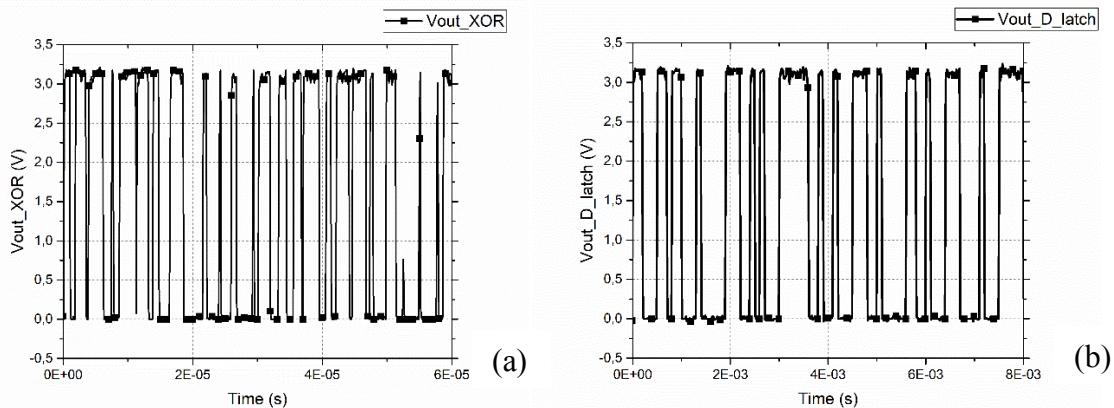


Fig.5. Courbes des tensions en fonction du temps de (a) la sortie de la porte XOR et (b) la sortie du circuit d'échantillonnage

Les résultats obtenus en sortie du circuit, une fois échantillonnés à une fréquence de 10 KHz, semblent visuellement former une succession de bits aléatoires. Pour quantifier précisément la qualité du bitstream, un traitement de ces données sera effectué par une autre partie de l'équipe.

### III. Tests statistiques de la qualité du signal généré

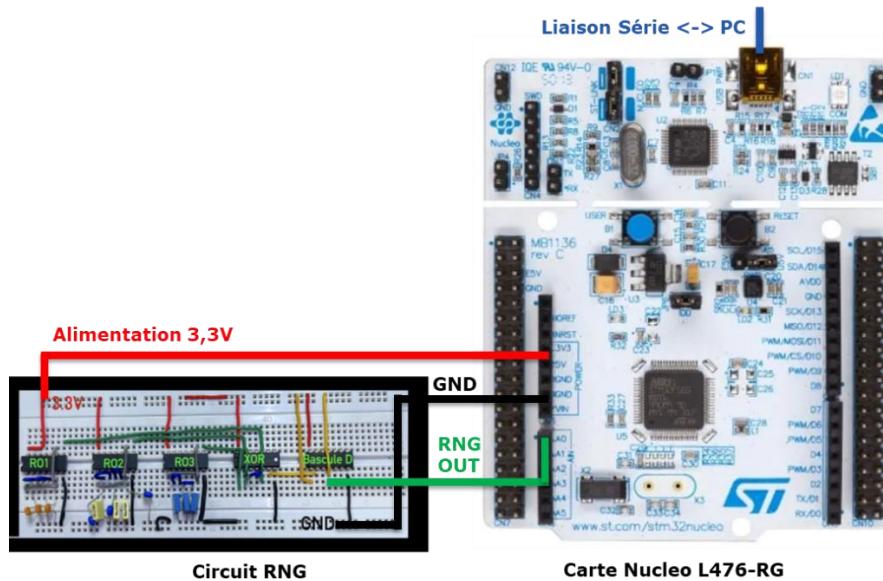


Fig.6. Schéma des branchements électriques entre le RNG, la carte Nucleo L476RG et le PC

Dans cette partie l'objectif était d'embarquer un programme de test sur une carte Nucleo L476-RG. Le programme de quantification du caractère aléatoire du bitstream peut être décomposé en trois étapes :

- Faire des acquisitions de signal aléatoire sur une grande période dans la carte via un convertisseur analogique-numérique (C.A.N.).
- Effectuer les tests de l'AIS31 (T0 à T8) pour évaluer la qualité d'un bitstream aléatoire.
- Afficher les résultats sur un terminal de PC via une liaison série.

Les connexions entre les différents systèmes sont présentées à la figure 6. L'une des entrées analogiques de la carte Nucleo est configurée pour recevoir le signal analogique généré par le RNG réalisé sur plaquette d'essai, avec une fréquence d'échantillonnage de 10 kHz. Cette tension analogique est ensuite convertie en valeur numérique, puis discrétisée afin d'obtenir des '0' et des '1' logiques. Les tests statistiques de l'AIS31 sont destinés à évaluer la qualité des générateurs de nombres aléatoires. Ils sont utilisés dans les domaines de la cryptographie et de la cybersécurité. Ces tests s'assurent de l'absence de motifs ou de biais pouvant engendrer une forme de prévisibilité. Plusieurs pays européens, dont la France, ont adopté les tests AIS31 proposés par le BSI (Bundesamt für Sicherheit in der Informationstechnik), l'office fédéral de la sécurité de l'information en Allemagne [6]. Ainsi, des critères d'évaluation pour les générateurs de nombres aléatoires ont été définis. Ces tests permettent notamment la certification des produits sécurisés. Les tests T0 à T8 constituent une série de vérifications statistiques servant à évaluer la nature aléatoire d'un signal binaire. Leur nom et fonction principale sont les suivants :

- T0 : Fréquence des bits (vérifie si la proportion de 1 est proche de 50 %)
- T1 : Monobit test (Teste le déséquilibre global entre 0 et 1)
- T2 : Test de runs (Compte les séquences consécutives de bits identiques)
- T3 : Longest run of ones (Vérifie si la plus longue suite de 1 n'est pas trop longue)
- T4 : Poker test (Analyse la répartition de blocs de bits)
- T5 : Autocorrélation (Vérifie la dépendance entre des bits séparés d'un certain décalage)
- T6 : Universal test (Mesure la compressibilité du signal)
- T7 : Approximate Entropy (Mesure la régularité et/ou les patterns répétitifs)
- T8 : Serial test (Analyse les combinaisons de bits consécutifs)

Une fois ces tests codés en langage C et implantés sur le microcontrôleur, les étudiants ont pu caractériser le caractère aléatoire du signal de sortie de leur RNG réalisé sur plaquette d'essai. Sur les quatre équipes travaillant en parallèle sur le projet, une a réussi à générer un bitstream passant l'intégralité des 9 tests de l'AIS31, tandis que les trois autres ont obtenu au moins un test non concluant. Des améliorations, telles que la modification des fréquences d'oscillation ou l'ajout d'une étape de « post-traitement », pourraient être envisagées afin d'améliorer la qualité du bitstream.

#### **IV. Conception et simulation des circuits**

Cette partie du projet a pour objectif de concevoir sous Cadence les schémas électriques du générateur de nombres aléatoires, puis de réaliser des simulations en régimes statiques (DC) et transitoires. Les simulations seront ensuite utilisées pour modifier les tailles des composants afin d'obtenir les performances électriques spécifiées dans le cahier des charges. Les effets de la variabilité du procédé de fabrication (P), de la tension d'alimentation (V) et de la température (T) sur les caractéristiques électriques du circuit seront également étudiés. Le dessin des masques (layout) des circuits sera enfin réalisé puis vérifié à l'aide d'outils de design rule checking (DRC) et de layout versus schematic (LVS).

##### Réalisation des schémas et simulations

Dans le cadre de ce projet, plusieurs circuits logiques complexes sont nécessaires à la réalisation du système global. Avant de pouvoir assembler ces blocs fonctionnels, il est indispensable de concevoir et de valider les composants logiques élémentaires qui serviront

de base à l'ensemble du projet. Les composants suivants sont donc conçus séparément au niveau transistor :

- Un inverseur CMOS.
- Une porte NAND à deux entrées.
- Une porte XOR à deux entrées.
- Une porte XOR à trois entrées dont la sortie est à 1 lorsque le nombre d'entrées à 1 est impair.
- Une bascule D : mémoire élémentaire dont la sortie suit l'entrée lors d'un front montant d'horloge et conserve son état sinon.

Ces composants sont fondamentaux car ils permettront par la suite de construire les circuits plus complexes. Le circuit est conçu de manière incrémentale, en concevant et en validant des circuits de plus en plus complets et en réutilisant les circuits déjà validés. La bascule D active sur front montant d'horloge, présentée sur la figure 7, est notamment composée de portes logiques inverseuses et NAND.

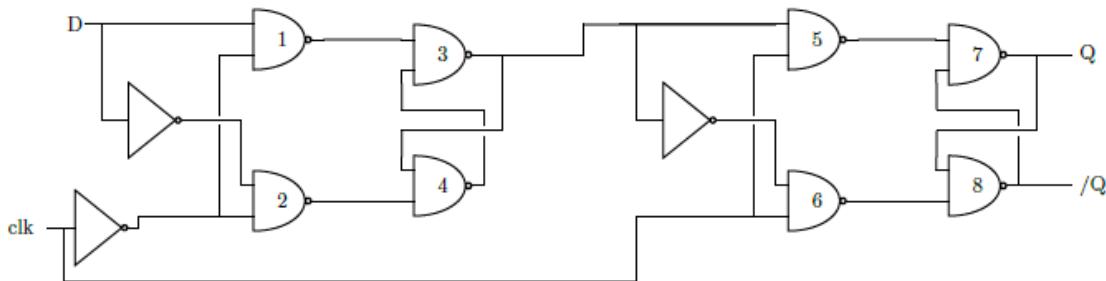


Fig.7. Schéma bloc de la bascule D sur front montant à base de portes logiques de base

L'objectif final de cette partie du projet est de valider le fonctionnement du circuit simulé sous Cadence et de déterminer si les résultats sont pseudo-aléatoires ou non. Pour cela, le simulateur Spectre et les modèles électriques des transistors sont utilisés. La simulation globale du circuit a pour but de modéliser la sortie en tension du générateur de nombres aléatoires en fonction du temps, avec un échantillonnage réalisé à 10 kHz. La tension de sortie du système est présentée à la figure 8(a) en fonction du temps.

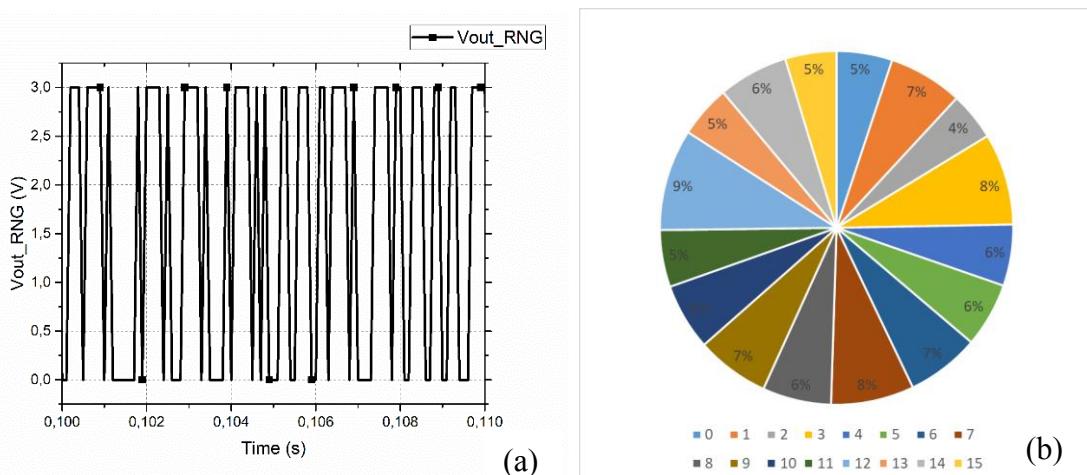


Fig.8. (a) Tension de sortie du RNG en fonction du temps et (b) Répartition des nombres aléatoires regroupés en paquets de 4 bits

Un grand nombre de valeurs de sortie étant nécessaire pour réaliser des tests statistiques concluants, une simulation d'une durée de 4 heures est lancée. À l'issue de la simulation, un fichier CSV contenant 3000 valeurs de tension de sortie est obtenu. Ce nombre de valeurs n'étant pas suffisant pour appliquer la suite de tests AIS31, une méthode d'estimation plus légère du caractère aléatoire du signal est envisagée.

Le fichier csv « Comma Separated Values » est traité à l'aide d'un script Python réalisé par les étudiants afin de regrouper les bits 4 par 4, ceci afin d'obtenir des nombres hexadécimaux allant de 0 à 15. Puis la répartition de ces nombres hexadécimaux est tracée pour déterminer visuellement le caractère aléatoire du signal de sortie. La figure 8(b) présente la répartition des valeurs obtenues lors de la simulation du système complet.

### Dessin des masques

Une fois les caractéristiques électriques du générateur validées, le dessin des masques du circuit est réalisé en technologie AMS- $0.35\mu\text{m}$  à l'aide de l'outil layout-XL de Cadence. La figure 9 présente la vue layout du circuit RNG complet, dont la surface totale est de  $227\mu\text{m}$  par  $111\mu\text{m}$ , soit une surface totale de  $0.025\text{ mm}^2$ .

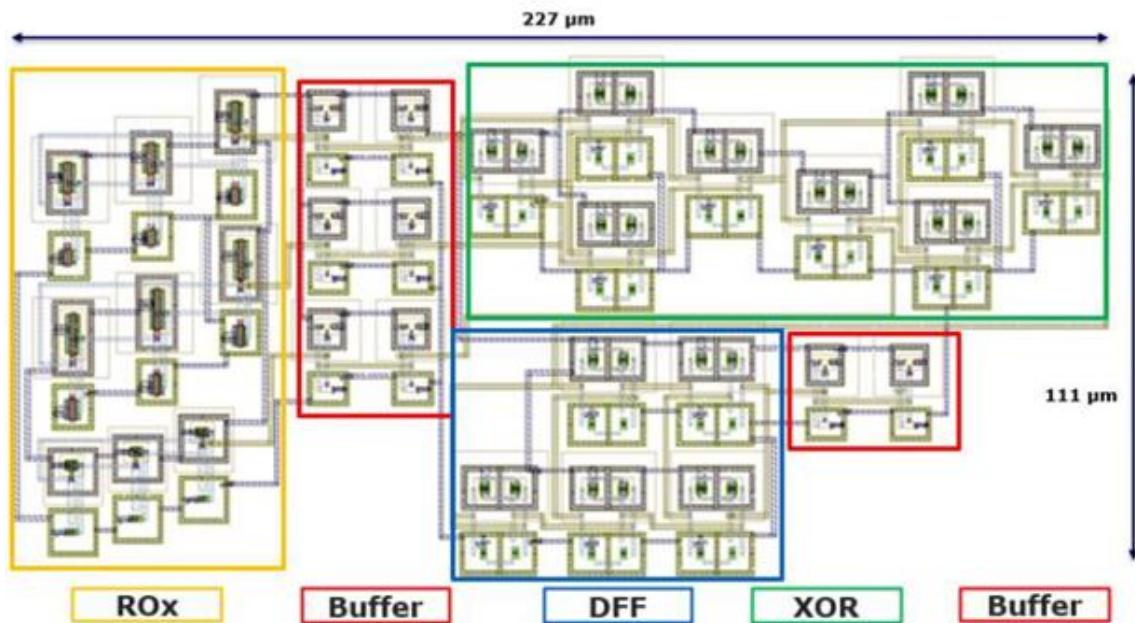


Fig.9. Dessin des masques du circuit RNG complet en technologie AMS  $0.35\mu\text{m}$

Les vérifications de Design Rule Checking (D.R.C.) et Layout Versus Schematic (L.V.S.) sont réalisées sur les différents blocs, puis sur le circuit complet, à l'aide des outils Assura et Calibre. Ces vérifications sont les dernières étapes avant l'obtention du dessin des masques final du circuit, et permettent l'export de la vue Graphic Data System (GDSII) qui peut être utilisée pour fondre le circuit.

## V. Conclusions

Lors du projet CARA\_PUCE, les étudiants de Polytech Marseille ont mis en application un flot de conception en microélectronique. D'une part, ils ont mis au point un générateur de nombres aléatoires en électronique discrète ; puis ils ont simulé le schéma au niveau transistor en technologie AMS CMOS 0,35 µm. Le dessin des masques du circuit est enfin réalisé afin de mener à terme le flot de conception. Un banc de test automatisé, embarqué sur une carte Nucleo-L476-RG, a également été réalisé par les étudiants, qui ont programmé le microcontrôleur en langage C. Cette étape permet d'évaluer la qualité du signal aléatoire généré. Ce projet dans son ensemble donne aux étudiants une visibilité sur différents métiers liés à la microélectronique et leur permet de comprendre les interactions entre ces métiers lors de la conception d'un système complet. Le besoin d'avancer simultanément sur différentes sous-parties impose également la mise en place d'outils de gestion de projet et exige une communication régulière entre les membres.

## Remerciements

Les auteurs remercient Aix-Marseille Université (AMU) et Polytech pour le financement de la plateforme pédagogique IDlab pour l'enseignement des systèmes d'identification RFID et NFC, notamment via le projet IDEFI FINMINA et le FIP AMU. Ils remercient également le GIP-CNFM pour son support dans l'accès aux outils de conception de circuits intégrés [7].

## Références

1. X. Niu, Y. Wang and D. Wu, "A Method to Generate Random Number for Cryptographic Application," 2014 Tenth International Conference on Intelligent Information Hiding and Multimedia Signal Processing, Kitakyushu, Japan, 2014, pp. 235-238, doi: 10.1109/IIH-MSP.2014.65.
2. K. Wold and C. H. Tan, "Analysis and Enhancement of Random Number Generator in FPGA Based on Oscillator Rings," 2008 International Conference on Reconfigurable Computing and FPGAs, Cancun, Mexico, 2008, pp. 385-390, doi: 10.1109/ReConFig.2008.17.
3. STMicroelectronics (2015) User Manual STM32 Nucleo-64 boards. Website: [https://www.keil.com/boards2/stmicroelectronics/nucleo\\_l476rg/](https://www.keil.com/boards2/stmicroelectronics/nucleo_l476rg/)
4. Texas Instruments. (2003). [https://www.ti.com/lit/ds/symlink/sn74hc04.pdf?ts=1750760278384&ref\\_url=https%253A%252F%252F](https://www.ti.com/lit/ds/symlink/sn74hc04.pdf?ts=1750760278384&ref_url=https%253A%252F%252F)
5. Texas Instruments. (2003). <https://www.ti.com/lit/ds/symlink/sn74ahc74.pdf?ts=1750710399844>
6. ANSSI - AIS31 Application Note - [https://cyber.gouv.fr/sites/default/files/2022-10/ansi-cc-note-24-evaluationsrng\\_v1.0%5B1%5D.pdf](https://cyber.gouv.fr/sites/default/files/2022-10/ansi-cc-note-24-evaluationsrng_v1.0%5B1%5D.pdf)
7. GIP-CNFM: Groupement d'Intérêt Public - Coordination Nationale pour la formation en Microélectronique et en nanotechnologies. Website: <http://www.cnfm.fr>



# Conception Automatisée d’Oscillateurs Configurables pour les Systèmes sur Puce : Bilan d’un projet collaboratif et pédagogique

S. Feruglio<sup>a</sup>, D. Galayko<sup>a</sup>, F. Vallette<sup>a</sup>, J.P. Chaput<sup>a</sup>, M.M. Louërat<sup>a</sup>

<sup>a</sup> LIP6, CNRS UMR 7606, Sorbonne Université, 75005 Paris, France

Contact email : sylvain.feruglio@lip6.fr

Les oscillateurs contrôlés numériquement (DCO – Digital Controlled Oscillator) sont des composants essentiels des systèmes sur puce (SoC – System on Chip). Ils assurent la génération et la stabilité de l’horloge. Leur conception était jusqu’alors artisanale, peu réutilisable et complexe. Le projet COCA (Conception d’Oscillateurs Configurables Automatisée) vise à développer une méthodologie permettant de générer de manière automatisée un DCO à partir d’un jeu de spécifications minimal.

Cette démarche a été portée par les équipes CIAN et SYEL du LIP6 dans une volonté de formation par la recherche des étudiants. Elle a mobilisé plusieurs promotions du master à la thèse.

Les réalisations incluent des aspects microélectronique (CAO, circuits CMOS) et informatique (algorithmie et programmation) par le dimensionnement automatique et les simulations associées d’un DCO. L’ensemble a été validé notamment sur des dispositifs réalisés en technologie CMOS 65 nm, grâce aux moyens du GIP-CNFM et du CMP. Une partie de ce travail a été intégrée à des TP (Travaux Pratiques).

## I. Introduction

En électronique, la fonction d’un oscillateur est de générer un signal périodique de forme sinusoïdale, carrée ou autre. Il est contrôlé numériquement lorsque sa fréquence est variable en fonction du mot numérique qui lui est appliqué en entrée. C’est un élément capital dans les SoCs puisque, à l’image d’un chef d’orchestre, il assure la synchronisation de l’ensemble des éléments du système.

Dans les architectures numériques modernes, ce cadencement repose sur des boucles à verrouillage de phase (PLL – Phase Locked Loop), qui sont aujourd’hui numériques (ADPLL – All Digital PLL) [1]. L’élément clé dans ces systèmes est le DCO.

Parmi les nombreuses architectures d’oscillateur contrôlé existantes, le DCO à matrice d’inverseurs trois états (TS DCO – Tri-States DCO, voir Fig.1) est l’une des structures qui présente le plus d’intérêt par sa compacité (en particulier, pour les SoC complexes à très haute densité d’intégration) et sa compatibilité avec des flots de conception numériques [2-5]. Cette famille de DCO présente une géométrie régulière et son dimensionnement obéit à une procédure quasi-formelle. Ces différentes propriétés font que la conception de ce type de circuit est particulièrement compatible avec les techniques de CAO (Conception Assistée par Ordinateur). En particulier, les outils développés au LIP6 [6-8] sont d’excellents candidats pour l’automatisation de la synthèse de ce type de structure.

La conception de ces circuits étant essentiellement artisanale, l’objet du projet COCA est de développer, dans le contexte d’un projet pédagogique associant électronique et informatique, un outil de conception conduisant à la synthèse automatique de ce type de DCO.

Ce papier synthétise cette action, en dresse le bilan et son potentiel développement. Les objectifs sont définis en section II. La méthodologie de réalisation est présentée en section III. Les principaux résultats obtenus sont fournis en section IV. En conclusion, des points de discussions et des perspectives seront proposés.

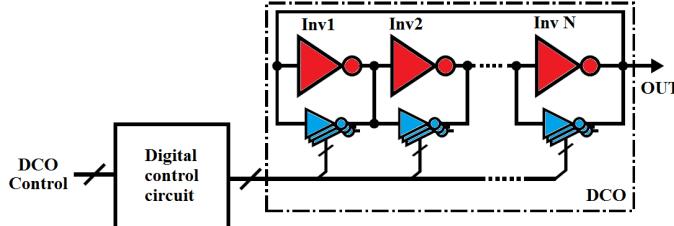


Fig.1. Schéma de principe d'un DCO basé sur une matrice d'inverseur trois états.

## II. Objectifs du projet

Le projet COCA est l'une des suites des projets ANR HODISS et HERODOTOS (2010-18) [9], qui répondaient à la problématique de la synchronisation globale des SOC complexes. Ceci a permis la conception et la caractérisation expérimentale d'un TS DCO au sein du laboratoire. Un savoir-faire théorique et pratique conséquent a ainsi été développé. Toutefois, l'approche employée pour cette réalisation n'était pas automatique et, par conséquent, complexe, non-optimale et non-réutilisable.

Porté par certains membres des équipes CIAN (Circuits Intégrés Analogiques et Numériques) et SYEL (SYstèmes ELectroniques) du LIP6, le projet COCA aspire à développer un outil levant cette problématique et permettant la synthèse automatique de TS DCO, dans la perspective plus lointaine de mettre à disposition de la communauté un flot de conception et de prototypage virtuel de cellules CMOS.

Durant la période 2014 à 2023, COCA s'est inscrit dans une démarche de formation par la recherche. L'idée était de renforcer le lien entre enseignement et recherche et aussi préparer les étudiants aux défis de l'électronique soutenable, fiable et sécurisée. Cette mise en situation des étudiants sur un projet de recherche réelle était principalement destinée aux étudiants de master informatique, spécialité SESI (Système Electronique Système Informatique) de Sorbonne Université, essentiellement à travers le module d'enseignement PSESI [10]. Son objectif pédagogique est d'associer les compétences disciplinaires en microélectronique (circuits CMOS, outils de CAO) et en informatique (algorithmie et programmation). Il permet également l'acquisition de compétences transversales, grâce au travail collaboratif et la gestion de projet.

Le schéma de Fig.2 résume les principales étapes du programme informatique effectuant cette synthèse de TS DCO. Les paramètres d'entrée (i.e., le cahier des charges) sont ici l'intervalle désiré de variation de la fréquence d'oscillation ( $[f_{OSCmin}; f_{OSCmax}]$ ), le pas élémentaire de variation ( $\Delta f_{OSC}$ ), la consommation maximale ( $P_{max}$ ), la surface maximale occupée par le circuit ( $S_{max}$ ) et la technologie sélectionnée. A partir de ces informations, l'outil doit :

- T.1 Calculer l'ensemble des dimensions du circuit au niveau schematic.
- T.2 Réaliser le dessin des masques (layout).
- T.3 Déduire les principales performances du circuit ante- et post-layout.

Dans la tâche T.1, il était question de développer des algorithmes de dimensionnement du DCO en faisant appel aux développements théoriques réalisés et à un simulateur (cf. T.3) et d'optimiser le système par récurrence. A partir du cahier des charges donné en entrée, les dimensions des transistors et leur nombre étaient déduits, ce qui permet ensuite de retenir la structure adaptée.

La tâche T.2 se proposait de réaliser le dessin automatique et optimisé des masques. Ce programme, basé sur l'outil Coriolis, développé en interne par l'équipe CIAN [7, 8], devait fournir un fichier

au format GDSII (Graphic Design System) contenant les informations sur la géométrie des dessins de masque. Le fichier est ensuite envoyé au fabricant pour fondre le circuit.

La tâche T.3 correspondait à l'appel du simulateur de circuits électroniques, de type SPICE. Différentes simulations étaient réalisées automatiquement, afin de déduire les paramètres et les performances principales du circuit analysé.

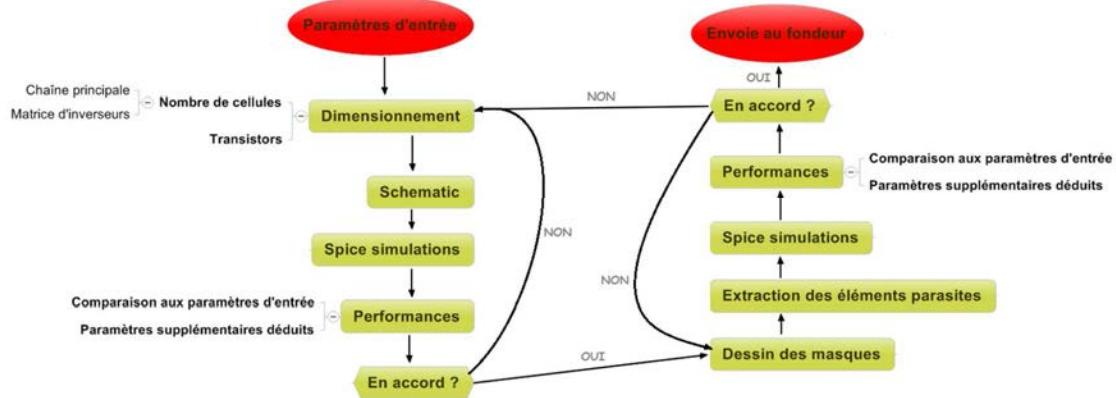


Fig.2. Principales étapes de l'outil développé lors de ce projet.

### III. Méthodologie

#### A. Architecture étudiée

Comme on peut le voir sur Fig.3, les DCO étudiés étaient basés sur une architecture combinant un oscillateur en anneau (RO – Ring Oscillator), constitué d'un nombre N d'inverseurs simples (SE – Single-Ended inverter) et d'une matrice de N lignes par Q colonnes d'inverseurs trois états (TS inverter). Cette architecture permet une modulation fine de la fréquence d'oscillation en ajustant le courant fourni à chaque étage du RO (modulation de la sortance à charge constante). En effet, en complément du courant d'un inverseur de la chaîne principale,  $I_{se}$  (Fig. 3.b), l'activation du courant d'inverseurs TS induit un courant additionnel de charge/décharge,  $I_{ts}$  (Fig. 3.c), à la charge capacitive effective  $C_L$  de l'étage concerné. Par conséquence, en fonction du vecteur Y (indiquant les lignes sélectionnées), le courant total du  $i^{ième}$  étage fourni à  $C_L$  peut s'exprimer par [3] :

$$I_{si}[Y] = I_{se} + I_{ts}X_i \sum_{j=1}^Q Y_j = I_{se}(1 + \beta X_i Y) \quad [1]$$

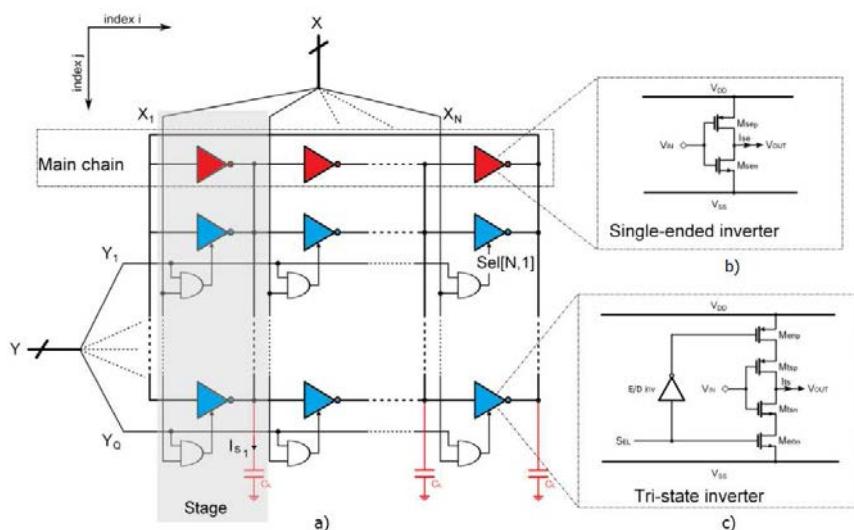


Fig.3. Détails du TS DCO, avec sa chaîne principale de N inverseurs SE et sa matrice de  $N \times Q$  inverseurs TS.

avec :

- $\beta = \frac{I_{ts}}{I_{se}} = \frac{W_{tsP}}{W_{seP}} = \frac{W_{tsN}}{W_{seN}}$ , le rapport de courant entre les inverseurs TS et SE d'une colonne, qui est aussi le rapport des largeurs de transistors.
- $Y = \sum_{j=1}^Q Y_j$  est un entier décimal compris entre 0 et Q et associé à Y.
- $X_i$  est à 1 si la colonne est choisie et 0 sinon.

Cela induit une modification du retard de chaque étage (ou colonne),  $\tau_{Di}$ , et donc une variation de la fréquence d'oscillation,  $f_{osc}$ , selon les expressions suivantes :

$$\tau_{Di} = \eta \frac{C_L}{I_{Si}} V_{DD} \quad [2]$$

$$f_{osc} = \frac{1}{T_{osc}} = \frac{1}{2 \sum_{i=1}^N \tau_{Di}} \quad [3]$$

où  $\eta$  est une variable d'ajustement, sans dimension, typiquement compris 0.7 et 0.9.  $V_{DD}$ , la tension d'alimentation positive, est l'amplitude maximale théorique de l'oscillateur.

### B. Personnes impliquées

La collaboration étroite entre les équipes CIAN et SYEL du LIP6 a permis de couvrir les aspects théoriques, algorithmiques et pratiques du projet. A travers les travaux de thèse de M. Térosiet [4] et E. Zianbetov [5], les développements théoriques ont été initiés (modélisation analytique de la période d'oscillation et de la gigue temporelle) et un DCO a été conçu de manière artisanale et validé expérimentalement. Ce projet a ensuite évolué de manière non linéaire au gré des étudiants de niveau M1 et M2 ayant travaillé sur ce projet. Ils se sont principalement concentrés sur :

- La simulation élémentaire sous forme schématique et netlist.
- L'automatisation de la génération de netlists.
- Le développement d'algorithmes de dimensionnement et de positionnement, avec automatisation des simulations pour la caractérisation des performances.
- L'optimisation des paramètres technologiques (largeur et longueur de canal des transistors).
- La validation des résultats par des simulations et confrontation aux mesures sur silicium.

### C. Outils utilisés

Initialement, les développements algorithmiques étaient réalisés en langage C++. Nous avons ensuite fait le choix de Python, afin d'assurer la liaison avec Coriolis [7].

Pour la simulation au niveau schematic/netlist, le logiciel commercial Eldo (Siemens Mentor) était originellement employé. Nous nous sommes ensuite tournés vers le logiciel libre Ngspice (New BSD license) [11]. Les principales analyses sollicitées sont le point de fonctionnement et l'analyse temporelle.

La conception du DCO a été réalisé avec les outils de CAO de Cadence et Siemens, soutenus par le GIP-CNFM [12].

La puce a pu être fabriquée grâce aux facilités émanant du CMP (Centre Multi-Projets) [13] et au financement de l'ANR.

## IV. Résultats

### A. Développement des algorithmes

Les algorithmes développés par les étudiants pour la tache T.1 sont :

- L'équilibrage des transistors nMOS et pMOS de la chaîne principale (SE) à partir d'un algorithme de dichotomie pour égaliser les temps de montée et de descente des signaux.
- Le dimensionnement du RO par le calcul de N en se basant sur le modèle analytique. Plusieurs itérations de T.3 sont nécessaires ensuite pour raffiner ce résultat.
- L'ajustement de  $f_{oscmax}$  à travers l'optimisation de la longueur de canal, L, des transistors.

- La génération du DCO par le calcul des paramètres  $\beta$  et  $Q$ .

Pour la tâche T.2, suite aux travaux de thèse de E. Lao [8], un portage du design vers l'outil libre Coriolis [7] a fait objet d'un stage de master avec, comme finalité, un générateur paramétrable du layout écrit en langage Python.

La tâche T.3 a permis de :

- Obtenir de manière automatique par simulations les performances du DCO (fréquences d'oscillation, consommation, ...).
- Comparer les résultats avec les spécifications initiales, validant la méthodologie.

## B. Validation par simulation

Un DCO a été virtuellement prototypé, avec les spécifications initiales suivantes : technologie CMOS ST 65 nm,  $f_{osc\min} = 600$  MHz,  $f_{osc\max} = 1.5$  GHz, séparées en 128 pas (i.e.,  $\Delta f_{osc} \approx 7$  MHz). Après analyse par notre outil durant quelques secondes avec un ordinateur portable, le programme établit le jeu de paramètres suivant :  $N = 7$ ,  $Q = 19$ ,  $W_{seN} = 352$  nm,  $L = 181$  nm et  $\beta = 0.1$ , pour  $f_{osc\min} = 476$  MHz,  $f_{osc\max} = 1.52$  GHz. Fig.4 présente les étapes initiales et finales du générateur.

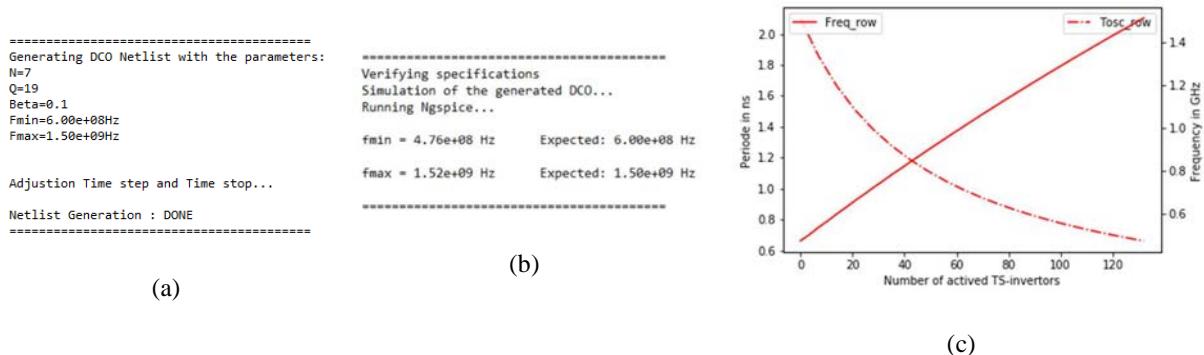


Fig.4. Sortie de l'algorithme (a) après l'analyse initiale et (b) après ajustement du pas de variation. (c) Variation de la période et de la fréquence d'oscillation en fonction de l'activation des inverseurs TS en ligne [14].

## C. Validation expérimentale

Le DCO 10 bits, réalisé en technologie CMOS ST 65 nm et présenté en Fig.5, est un exemple de résultat de la variation de la fréquence d'oscillation avec le code de commande, comparant théorie, mesure et simulation.

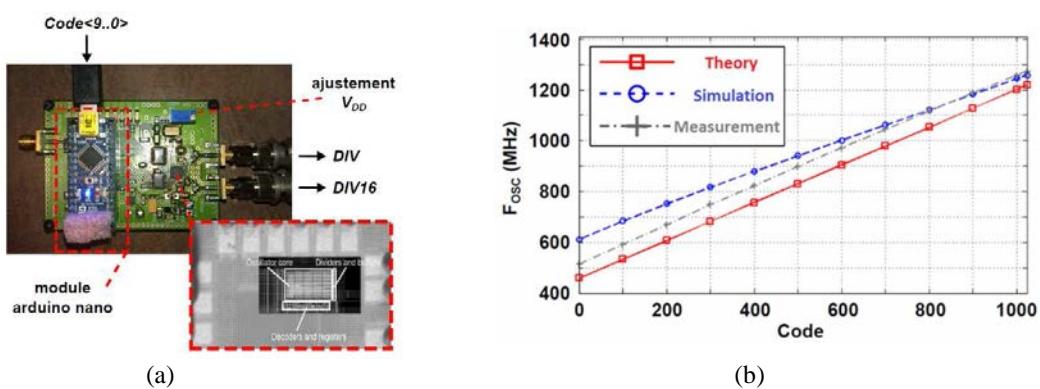


Fig.5. (a) Photographies du DCO conçu et de la carte de test réalisée pour sa caractérisation. (b) Evolution de la fréquence d'oscillation du DCO réalisé en fonction du code d'entrée [4, 5].

## V. Conclusion et perspectives

Le projet COCA a démontré la faisabilité d'une méthodologie automatisée de conception de TS DCO. Elle a été validée par simulations et mesures. Ce projet constitue une expérience pédagogique réussie, impliquant des étudiants de différents niveaux dans une logique de formation par la recherche. Une partie de ce travail a été intégré à des TP du niveau L2 à M2.

Les perspectives visent l'automatisation complète du flot de conception via l'intégration complète de Coriolis [7] pour l'automatisation de la réalisation du layout et l'optimisation de la surface occupée. L'emploi d'algorithme(s) d'IA pourra alors être réfléchi, notamment pour la prise en compte des variations PVT (Process-Voltage-Temperature). La réduction de la gigue temporelle et la consommation pourraient aussi être traitées, en jouant notamment sur la largeur des transistors après analyse post-layout pour la prise en compte de l'ensemble des éléments parasites. Une validation industrielle avec d'autres technologies (FDSOI, par exemple) pourrait être aussi pertinente. L'adoption de technologies ouvertes, comme Sky130 ou IHP130 [15] présente un intérêt pédagogique certain, en permettant de lever les restrictions liées aux accords de non-divulgation (NDA). On peut imaginer que cette formalisation de dimensionnement pourra s'appliquer à d'autres objets d'étude de géométrie plus ou moins régulière, comme les matrices CMOS APS (Active Pixel Sensors).

## Remerciements

Les auteurs tiennent à remercier le LIP6 (projets internes du LIP6) ainsi que l'UFR d'ingénierie 919 pour leur soutien financier. Ils expriment également leur gratitude envers les étudiants ayant contribué aux avancées du projet : S. Yahiaoui (stage M2, 2023), A. Mghazli (stage M2, 2020), G. Nguyen (PSESI M1, 2017), I. Macanovic (PSESI M1, 2015), C. Boukottaya (stage M2, 2014), A. Cissokho (PSESI M1, 2014), A. Aidene (PSESI M1, 2013), E. Lao (doctorant, 2014–2018), M. Terosiet (doctorant, 2008–2012) et E. Zianbetov (doctorant, 2008–2013).

Ces travaux ont été rendus possibles grâce aux moyens mis à disposition par le GIP-CNFM [12] pour l'accès aux logiciels de CAO, et par le CMP [13] pour l'accès aux technologies CMOS.

## Références

1. R. B. Staszewski and P. T. Balsara, All - Digital Frequency Synthesizer in Deep - Submicron CMOS, Wiley, 2005, ISBN:9780471772552, DOI:10.1002/0470041951.
2. J.A. Tierno *et al.*, A Wide Power Supply Range, Wide Tuning Range, All Static CMOS All Digital PLL in 65 nm SOI, *IEEE J. of Solid-States Circuits*, 43(1), 2008. DOI: 10.1109/JSSC.2007.910966.
3. M. Terosiet *et al.*, A comprehensive in-depth study of tri-state inverter based DCO, *Elsevier, Microelectronics Journal*, vol. 99, 104760, mai 2020. DOI: 10.1016/j.mejo.2020.104760.
4. M. Terosiet, Conception d'un oscillateur robuste contrôlé numériquement pour l'horlogerie des SoCs, *thèse de doctorat UPMC - Paris 6*, 2012.
5. E. Zianbetov, Horlogerie distribuée pour les SoCs synchrones SoCs, *thèse de doctorat UPMC - Paris 6*, 2013.
6. F. Javid *et al.*, Analog Circuits Sizing Using Bipartite Graphs, *IEEE International Midwest Symposium on Circuits and Systems (MWSCAS)*, 2011. DOI: 10.1109/MWSCAS.2011.6026591.
7. <https://coriolis.lip6.fr/> (consulté le 03/10/25).
8. E. Lao, Placement et routage des circuits mixtes analogiques-numériques CMOS, *thèse de doctorat Sorbonne Université*, 2018.
9. <http://herodots.lip6.fr/> (consulté le 09/10/25).
10. <https://largo.lip6.fr/~genius/psesi/> (consulté le 03/10/25).
11. <https://ngspice.sourceforge.io/> (consulté le 09/10/25).
12. GIP-CNFM : Groupement d'Intérêt Public - Coordination Nationale pour la formation en Microélectronique et en nanotechnologies. <http://www.cnfm.fr> (consulté le 03/10/25).
13. <https://cime-p.cime.grenoble-inp.fr/homepage> (consulté le 03/10/25).
14. A. Mghazli, Conception automatique d'un oscillateur configurable, Master 2 EEA Univ. de Montpellier, *Rapport de stage Sorbonne Université*, 2020.
15. <https://github.com/IHP-GmbH/IHP-Open-PDK> (consulté le 09/10/25).

# **Migration NIOS II vers NIOS V sur carte DE10-Lite : un levier technique et pédagogique pour l'enseignement des systèmes embarqués.**

V. Frick

ICube, Université de Strasbourg, Strasbourg, France

Contact email : [vincent.frick@unistra.fr](mailto:vincent.frick@unistra.fr)

L’enseignement des systèmes embarqués repose aujourd’hui sur des plateformes FPGA largement diffusées dans les établissements, comme la carte DE10-Lite d’Intel/Altera. Or, l’arrêt du support du processeur NIOS II par Intel rend nécessaire une adaptation des projets pédagogiques existants. La migration vers NIOS V, basée sur l’architecture RISC-V, s’impose donc progressivement. Si cette transition offre de réelles opportunités en matière d’ouverture et d’interopérabilité, elle soulève aussi des défis techniques, notamment autour de la compatibilité de certains matériels. Ce contexte constitue un terrain d’apprentissage riche, propice au développement de compétences en développement, maintenance, adaptation et pérennisation des systèmes embarqués.

## **I. Introduction**

Tous niveaux confondus, l’enseignement universitaire à l’électronique numérique et aux systèmes embarqués repose désormais systématiquement sur l’apprentissage et la mise en œuvre d’outils de CAO, associés à des plateformes matérielles de type FPGA. Les capacités en cellules logiques et les performances des cartes de développement, même d’entrée de gamme, sont généralement largement suffisantes pour réaliser des systèmes complexes et permettent ainsi de proposer aux étudiants des projets stimulants et enthousiasmants, comme par exemple la réalisation d’un nœud IoT communiquant sans fil (1).

Profitant des offres régulièrement proposées par le CNFM, notamment dans le cadre du programme « un étudiant, une carte », nombreux établissements se sont largement équipés en cartes de développement FPGA, essentiellement de marque Xilinx ou Intel (2). Dans cet article, nous nous intéresserons plus particulièrement à la carte DE10-Lite, produite par la société Terasic, qui fabrique des cartes à base de FPGA Intel (3). Compacte et versatile, la carte DE10-Lite est utilisée à tous les niveaux dans plusieurs composantes de l’Université de Strasbourg (IUTs, Master SEME, Ecoles d’ingénieurs INSA et TPS). Elle est appréciée, tant par les enseignants que par les étudiants pour sa relative facilité de prise en main. L’outil de configuration DE10-Lite System Builder permet en particulier de créer une base de projet Quartus (outil CAO pour FPGA Intel) et de configurer les entrées sorties en quelques clics.

Le souhait de faire évoluer régulièrement les contenus pédagogiques s’inscrit en cohérence avec l’évolution rapide et constante des outils de conception, des systèmes d’exploitation et des environnements de développement. Il permet d’intégrer les technologies les plus récentes et de maintenir les enseignements en phase avec les pratiques industrielles. Toutefois, cette dynamique soulève des tensions, notamment lorsque certaines briques techniques ne sont plus supportées ou disparaissent des bibliothèques de modules IP, comme le processeur NIOS II entre autres. Ces

ruptures techniques rendent difficile la mise à jour des contenus sans devoir reprendre en profondeur les projets existants ni remplacer un matériel encore pleinement fonctionnel.

Ces raisons, ajoutées à une conjonction de circonstances (changement d'infrastructures informatiques, d'architecture réseau et de systèmes d'exploitation) a accéléré la décision de procéder à la migration vers le NIOS V des projets de systèmes embarqués sur carte DE10-Lite, proposés dans le cadre des formations en BUT GEII et ingénieurs de Strasbourg. Plus particulièrement, nous nous intéresserons à la migration de systèmes développés sur DE10-Lite.

Cet article poursuit un double objectif. Il vise d'une part à accompagner les collègues et étudiants dans la migration de leurs systèmes existants ou la conception de nouveaux projets, afin qu'ils puissent tirer pleinement profit du potentiel matériel de la carte DE10-Lite et, surtout, en leur faisant gagner du temps et en évitant les écueils fréquents. À cette fin, la section II détaille les considérations techniques, tant matérielles que logicielles, liées à la transition des systèmes NIOS II vers NIOS V. D'autre part, l'article explore les enjeux pédagogiques de cette évolution, en mettant en lumière les opportunités qu'elle offre pour l'enseignement et l'apprentissage, ce qui constituera la section III. Enfin, la section IV conclura cet article.

## II. Transition NIOS II vers NIOS V

### A. NIOS II vs. NIOS V

Lancé en 2004 par la société Altera (aujourd'hui intégrée à Intel) le NIOS II, est un processeur softcore largement utilisé dans les systèmes embarqués à des fins pédagogiques et ou de développement préindustriel pour sa flexibilité et son intégration aisée dans les plateformes FPGA produites par notamment par Terasic, filiale d'Intel/Altera. Le NIOS II repose sur une architecture RISC 32 bits configurable qui se décline en trois versions : NIOS II/e (économique), NIOS II/s (standard) et NIOS II/f (rapide), chacune optimisée pour un compromis entre performances, consommation et occupation logique. Malgré une évolution architecturale majeure en 2008, avec l'introduction de l'unité MMU (Memory Management Unit), permettant l'exécution de systèmes Linux, et l'unité MPU (Memory Protection Unit), permettant l'exécution de systèmes comme FreeRTOS par exemple, le NIOS II reste un processeur propriétaire fermé dont l'interopérabilité est limitée à l'écosystème Intel/Altera. De plus, depuis 2023, le processeur NIOS II n'apparaît plus dans les bibliothèques de modules IP de Quartus et ne bénéficie plus du support Intel.

Le NIOS V est le successeur du NIOS II. Lancé officiellement en 2023, il repose quant à lui sur l'architecture ouverte RISC-V et se décline en trois variantes : NIOS V/c (compact), V/m (microcontrôleur), et V/g (usage général). S'il reste un processeur propriétaire, il marque une évolution stratégique en proposant une standardisation plus large, une meilleure interopérabilité et une extensibilité accrue.

La principale différence entre le NIOS II et le NIOS V réside dans le cœur d'instruction : NIOS II utilise une ISA propriétaire, tandis que NIOS V adopte l'ISA RISC-V, facilitant l'intégration avec les écosystèmes open-source. Le NIOS V offre également une meilleure évolutivité, notamment pour les applications nécessitant des extensions vectorielles ou des coprocesseurs spécialisés. En termes de performances, le NIOS V surpasse le NIOS II/f dans la plupart des benchmarks, tout en conservant une empreinte logique maîtrisée. Le tableau 1 rassemble les principales différences entre les deux architectures.

Le NIOS V est donc censé offrir une compatibilité native avec les outils RISC-V et une meilleure prise en charge des extensions personnalisées. Également, d'un point de vue pédagogique, l'ISA RISC-V est documentée et libre, ce qui constitue un atout évident pour l'enseignement de l'architecture processeur. Tous ces avantages « sur le papier » suggèrent donc qu'il existe un réel intérêt à procéder à la transition NIOS II vers NIOS V. Au regard des nombreux tests effectués avec l'outil de développement logiciel Ashling RiscFree, intégré dans la suite logicielle de développement systèmes embarqués Intel-Altera, la compatibilité avec les outils RISC-V est à ce

jour concluante. En revanche, la prise en charge des extensions matérielles personnalisées est moins évidente et nécessite quelques manipulations et ajustements techniques proposés ci-après.

Tableau 1 : Comparatif NIOS II vs. NIOS V.

Caractéristique	NIOS II	NIOS V
Architecture ISA Variantes	Propriétaire RISC 32 bits II/e, II/s, II/f	RISC-V 32 bits (open-source) V/e, V/m, V/c
<b>Bus</b>	<b>Avalon (propriétaire)</b>	<b>AXI4 (standard ARM AMBA)</b>
Pipeline	5 à 6 étages (selon variante)	Pipeline optimisé RISC-V
Extensions personnalisées	Instructions personnalisées via HDL	Extensions RISC-V + instructions personnalisées
MMU / MPU	Optionnel (selon configuration)	Support natif RISC-V
Compatibilité OS	$\mu$ C/OS-II, FreeRTOS, $\mu$ Clinux	FreeRTOS, Linux (via MMU)
Performance (DMIPS @ 100 MHz)	~50–60 DMIPS (NIOS II/f, version rapide)	~90–100 DMIPS (NIOS V/c, version lente)
Outils de développement	Quartus + NIOS II IDE	Quartus + RISC-V toolchain
Interopérabilité	Limitée à l'écosystème Intel	Large compatibilité open-source
Migration	Nécessite adaptation logicielle	Recommandée pour pérennité et évolutivité

#### A. Mémoire SDRAM de la carte DE10-Lite

Commercialisée depuis 2015, la carte DE10-Lite est aujourd’hui encore disponible à la vente et bénéficie toujours d’un support assuré par le fabricant, qui a mis à jour ses ressources et projets de démonstration début 2025. En outre, le FPGA MAX 10 dont elle est équipée supporte la nouvelle architecture de processeur NIOS V. Cette carte dispose d’une mémoire externe de type SDRAM d’une capacité 64 Mo (ISSI IS42S16400J ou équivalent) avec une interface 16 bits (4).

Jusqu’à la version 20.1 de Quartus, un module dédié pour le contrôle de cette SDRAM (SDRAM Controller Intel FPGA IP) était disponible dans la bibliothèque IP de l’outil Platform Designer servant à construire les systèmes embarqués à base de processeurs NIOS. La disparition de ce module dans les versions ultérieures de Quartus, et donc la perte de son support natif, rend l’implémentation de cette mémoire complexe. En effet, elle nécessite le recours à des alternatives comme MiSTER SDRAM controller ou des IP open source, qui demandent un effort d’intégration considérable (timing, interface Avalon, etc.) (5).

Nous proposons ici une solution plus simple. Celle-ci consiste à extraire le fichier **.tcl** et les fichiers **HDL** du contrôleur SDRAM depuis Quartus 20.1 pour les réintégrer dans des versions plus récentes. Les étapes d’importation sont décrites en **annexe**. Testé sur de nombreux designs pour la carte DE10-Lite, le contrôleur de SDRAM s’est révélé pleinement compatible avec les versions 21.1 à 24.1 de Quartus. Son retrait par Intel/Altera des bibliothèques natives de Quartus réside –sans doute– dans le fait que, pour pouvoir être compatible avec un système NIOS V, son implémentation requiert une configuration particulière de l’architecture du système embarqué. La raison est directement liée la structure même du NIOS V, basée sur le bus AXI (cf. Tableau 1) alors que le contrôleur est exclusivement dédié au bus Avalon.

La figure 1 montre les structures de systèmes NIOS II et NIOS V, respectivement (a) et (b). Dans le cas d’un système NIOS II (figure 1a), le contrôleur est directement connecté sur le bus Avalon. Dans cette configuration, le processeur NIOS peut être cadencé jusqu’à 100 MHz, fréquence généralement recommandée pour assurer une synchronisation optimale avec la mémoire SDRAM externe (typiquement 133 MHz, mais souvent configurée à 100 MHz pour des raisons de stabilité). Toutefois, plusieurs retours d’expérience et discussions techniques indiquent que des instabilités peuvent survenir lors du débogage via Eclipse, en particulier lorsque la communication

entre le PC hôte et la carte FPGA s'effectue par le canal UART JTAG. Ces instabilités semblent liées à des limitations dans la gestion du flux de données sur l'interface JTAG, notamment en cas de fréquence élevée ou de surcharge du canal, ce qui peut perturber l'échange asynchrone entre le terminal Eclipse et le système embarqué (6).

Dans le cas d'un système NIOS V (Fig. 1b), le contrôleur de SDRAM doit impérativement être relié au bus AXI au moyen d'un pont (Avalon-MM Pipeline Bridge). Celui-ci est chargé de convertir les données entre le format Avalon historique et le format AXI. En outre, le NIOS V doit être cadencé à 50 MHz pour assurer une communication stable via le canal UART JTAG, en raison de limitations introduites dans les versions récentes de Quartus (23.1 et 24.1) visant à fiabiliser l'échange entre le PC et le système embarqué. Par ailleurs, pour maintenir la SDRAM à sa fréquence nominale de 100 MHz, l'ajout d'un module de franchissement de domaine d'horloge (Avalon-MM Clock Crossing Bridge) est nécessaire. On notera que les performances du NIOS V sont équivalentes, voire supérieures, à celles du NIOS II malgré une fréquence de fonctionnement divisée par deux (cf. tableau 1).

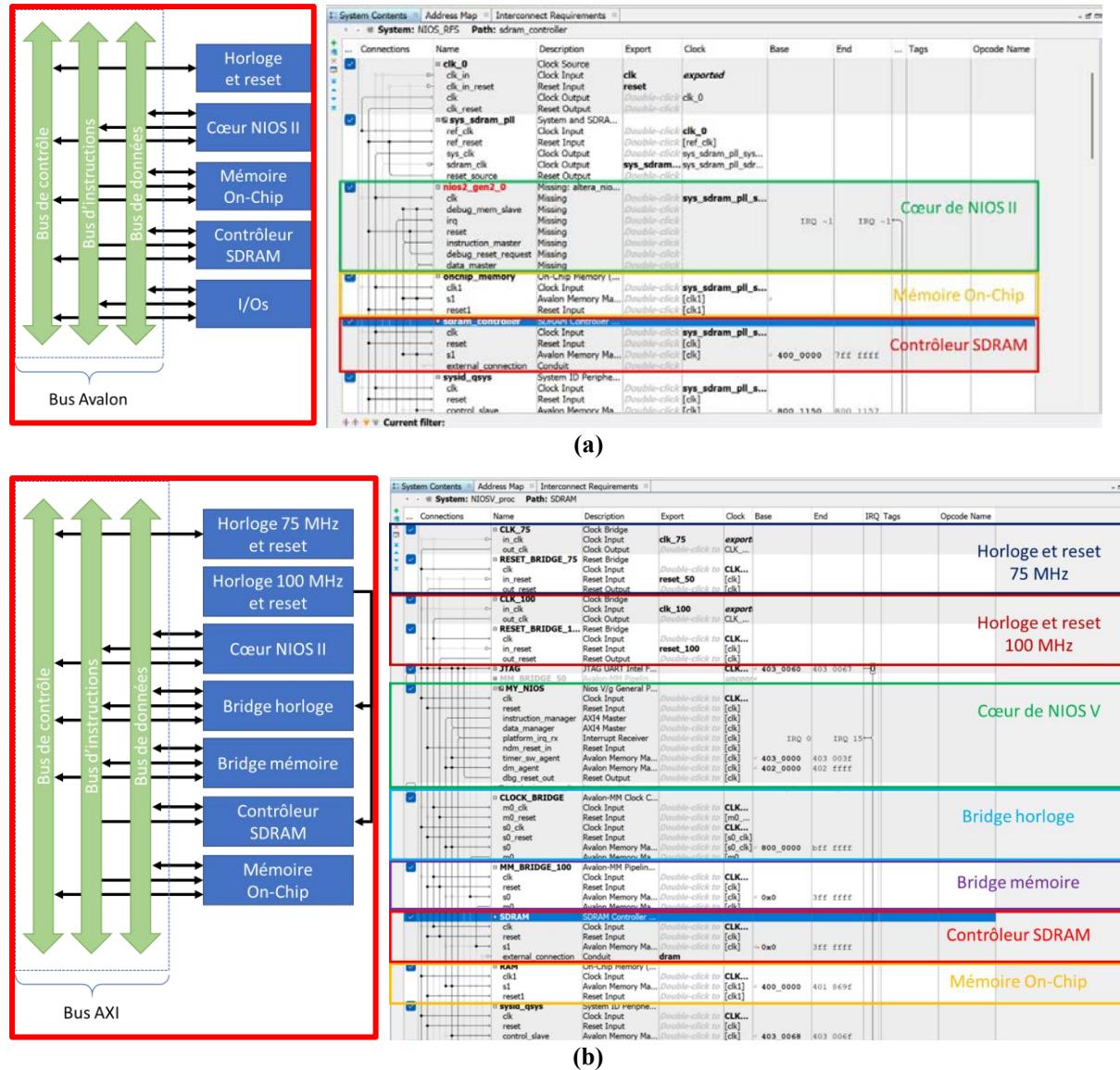


Fig.1. a) Synoptique d'architectures NIOS II (gauche) et de configuration dans Platform Designer (droite), b) Synoptique d'architectures NIOS V (gauche) et de configuration dans Platform Designer (droite), avec bridges AXI.

### A. Implications pédagogiques de la transition NIOS II → NIOS V

Au-delà d'une simple mise à jour technologique, la migration vers l'architecture NIOS V constitue une opportunité pédagogique intéressante pour les formations en électronique embarquée. Elle s'inscrit dans une dynamique d'alignement des contenus académiques sur les standards industriels émergents, tout en favorisant une approche ouverte, évolutive et durable de l'enseignement aux systèmes embarqués.

Elle est exploitée à tous les niveaux de formation, du BAC+2 au BAC+5. En particulier, pour les élèves ingénieurs en parcours « Systèmes embarqués et IoT » de l'INSA, elle est actuellement l'occasion d'aborder l'apprentissage des architectures processeur, notamment à travers l'étude du standard RISC-V, de ses ISA, et de ses implications sur la conception des systèmes embarqués.

Dans le cadre particulier de la mise en œuvre sur la carte DE10-Lite, cette transition permet de démontrer aux étudiants que des solutions concrètes existent pour exploiter pleinement le potentiel du matériel, même lorsque le support officiel du fabricant est interrompu.

La cohabitation temporaire des architectures NIOS II et NIOS V dans les plateformes Intel donne actuellement lieu à exercices comparatifs sur les performances, la consommation énergétique, la portabilité logicielle ou encore la structure des chaînes de compilation dans le cadre de travaux pratiques (TPs) du module de ElSpé 3 du parcours ESE (Électronique et Systèmes Embarqués) en deuxième année de BUT GEII à l'IUT de Haguenau. Ces TPs, bien que transitoires, s'avèrent particulièrement pertinents pour développer la compétence « maintenir », inscrite dans le programme pédagogique national du BUT GEII. Ils permettent aux étudiants de comprendre les enjeux liés à la migration logicielle, à la compatibilité descendante, et à la gestion de l'obsolescence. En pratique, les étudiants disposent de la base d'un système embarqué initialement développé pour NIOS II (1) et ont pour mission d'appliquer les modifications sous Platform Designer pour effectuer la migration vers NIOS V, en suivant une procédure pas à pas.

Également, en abordant cette transition comme un cas d'étude, les étudiants sont amenés à réfléchir aux problématiques de standardisation, de pérennité des systèmes embarqués, et de durabilité des choix technologiques. Cette démarche favorise une conscience critique des cycles de vie des architectures matérielles et logicielles. A l'échelle de l'IUT de Haguenau notamment, elle s'inscrit plus largement dans une volonté politique de maintien et « recyclage » des matériels existants, bienvenue dans le contexte budgétaire actuel.

## III. Conclusion

La migration vers NIOS V est devenue incontournable, notamment en raison de l'arrêt du support du NIOS II par Intel. Si elle offre des avantages clairs en matière d'ouverture, d'interopérabilité et de compatibilité avec l'écosystème RISC-V, elle implique aussi quelques ajustements, notamment sur les ressources matérielles et les fréquences maximales. Pour faciliter cette transition, des solutions techniques concrètes ont été proposées, en particulier pour maintenir la compatibilité avec la SDRAM de la carte DE10-Lite. Au-delà de l'aspect technique, cette migration ouvre de nombreuses opportunités pédagogiques : elle permet de travailler sur des cas réels, de sensibiliser les étudiants à la pérennité des systèmes embarqués, et de développer des compétences en adaptation et en maintenance. Elle permet aussi de prolonger la vie d'un matériel encore performant, sans investissement supplémentaire, ce qui s'inscrit pleinement dans une logique de développement durable.

## Références

1. V. Frick, F. Imbert, Système Embarqué de Type Noeud IoT Communicant Sans Fil, *Journal sur l'enseignement des sciences et technologies de l'information et des systèmes*, EDP Sciences, page 7, Volume 23, (2024)

2. Plateforme FPGA du CNFM : <https://web-pcm.cnfm.fr/page-fpga/>
3. Site Terasic – Carte FPGA: <https://www.terasic.com.tw/>
4. Documentation technique SDRAM : <https://www.issi.com/WW/pdf/42-45S16400J.pdf>
5. Contrôleur SDRAM tiers MiSTER : [https://github.com/MiSTER-devel/Main\\_MiSTER/wiki/](https://github.com/MiSTER-devel/Main_MiSTER/wiki/)
6. Understanding UART Read Issues with Intel Nios II: A Comprehensive Guide : <Reference.com>

## Annexe

### Procédure d'installation du contrôleur de SDRAM pour carte DE10-Lite et autres, dans l'environnement Quartus 24.1

Remarque préliminaire : il convient de disposer préalablement de la version 20.1 de Quartus pour réaliser cette opération et d'exécuter les étapes suivantes en mode administrateur.

1. Sauvegarder le dossier nommé *altera\_avalon\_new\_sdram\_controller* situé dans *\QUARTUS\_20.1\_INSTALL\_PATH\ip\altera\sopc\_builder\_ip*, *QUARTUS\_20.1\_INSTALL\_PATH* représentant le chemin d'installation de Quartus 20.1.
2. Placer le dossier *altera\_avalon\_new\_sdram\_controller* dans *\QUARTUS\_24.1\_INSTALL\_PATH\ip\altera\sopc\_builder\_ip*, *QUARTUS\_24.1\_INSTALL\_PATH* représentant le chemin d'installation de Quartus 20.1.
3. Ouvrir le fichier ayant l'extension *.ipx* (*altera\_component.ipx* par exemple) situé dans *\QUARTUS\_20.1\_INSTALL\_PATH\ip\altera* et en extraire la déclaration du module SDRAM commençant par :
 

```
<component
  name="altera_avalon_new_sdram_controller"
  et terminant par:
  <tag2 key="PRESET_TYPE" value="altera_avalon_new_sdram_controller" />
  </plugin>
```
4. Editer le fichier *altera\_component.ipx* situé dans *\QUARTUS\_24.1\_INSTALL\_PATH\ip\altera* et coller la déclaration du module extraite en 3.
5. Modifier la ligne *version="20.1"* en *version="24.1"* et sauvegarder le fichier.

Le module est maintenant visible et utilisable dans Platform Designer et peut être utilisé dans les systèmes pour carte DE10-Lite.

# **Introduction à la Conception FPGA en Master 1**

William PENSEC<sup>a,b</sup>

<sup>a</sup> Polytech Montpellier et Pôle CNFM de Montpellier (PCM), Université de Montpellier,  
Montpellier, France

<sup>b</sup> LIRMM, CNRS 5506, Université de Montpellier, France  
Contact email : william.pensec@umontpellier.fr

Cet article présente le contenu d'une unité d'enseignement dispensée dans le cadre du Master SESI de l'Université Bretagne Sud, à Lorient. Cette UE, destinée aux étudiants de Master 1, aborde la conception sur FPGA à travers un projet individuel de 42 heures, comprenant 2 heures de cours magistral et une évaluation orale individuelle. L'objectif est de permettre aux étudiants de concevoir, implémenter et valider une architecture numérique complète sur carte Basys 3. L'article décrit l'organisation pédagogique du module, les objectifs d'apprentissage, les modalités d'évaluation ainsi qu'un retour d'expérience sur la mise en œuvre du projet et les compétences développées par les étudiants.

## **I. Introduction et contexte**

Dans le cadre du Master Systèmes Embarqués / Systèmes Intégrés (SESI) [1] de l'Université Bretagne Sud, à Lorient, les étudiants sont formés à la conception de systèmes électroniques à dominante numérique, leur permettant d'aborder la conception d'architectures mixtes matériel-logiciel complexes. Cette formation vise à développer une double compétence en électronique et en informatique embarquée, indispensable à la maîtrise des technologies matérielles actuelles.

Lors de ma thèse de doctorat, j'ai eu, avec un collègue, la responsabilité d'un module de conception sur FPGA, proposé sous forme de projet individuel. L'objectif de ce cours était d'amener les étudiants à concevoir, simuler et tester une architecture numérique complète sur une carte FPGA, tout en développant leur autonomie et leur capacité d'analyse face à un problème d'ingénierie.

L'unité d'enseignement, d'une durée totale de 42 heures, se décompose en 2 heures de cours magistral introductif, 38 heures de travail en mode projet, organisées en séances de deux à quatre heures, puis 2 heures réservées pour l'évaluation finale. Le cours magistral initial permet de présenter les objectifs pédagogiques, la méthodologie attendue, ainsi qu'une base de travail technique comme des morceaux de bases du projet (exemple : fichier de contraintes fourni). Les séances suivantes sont consacrées à la mise en œuvre pratique du projet depuis la conception, la simulation jusqu'à la synthèse de son système.

Le projet fait l'objet d'une évaluation individuelle comprenant une présentation orale de 15 minutes. Chaque étudiant y expose les aspects fonctionnels de sa réalisation, puis détaille les choix techniques, les difficultés rencontrées et les pistes d'amélioration identifiées. Cette soutenance constitue un moment privilégié d'échange et d'évaluation des compétences acquises, aussi bien sur le plan technique que méthodologique.

## II. Objectifs pédagogiques et déroulement du projet

Ce projet de conception sur FPGA a pour ambition de mobiliser et approfondir les compétences acquises par les étudiants dans les UEs de conception FPGA ou d'architecture des systèmes. L'objectif principal est de leur permettre de concevoir, implémenter et valider une architecture numérique complète, depuis la conception de l'idée du projet jusqu'à l'expérimentation sur une carte FPGA Basys 3 [2] en passant par la description comportementale en VHDL.

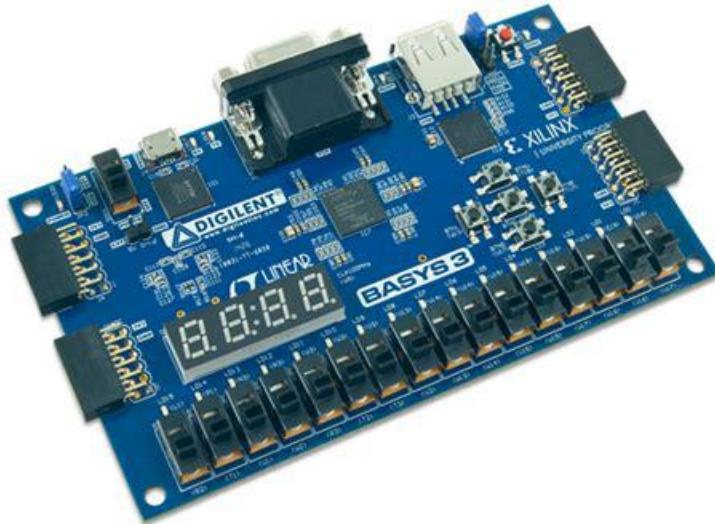


Fig. 1. Carte FPGA Digilent Basys 3 sur laquelle les étudiants ont pu travailler pour leur projet.

Sur le plan des apprentissages, le projet vise plusieurs compétences clés :

- Maîtriser la notion de conception matérielle : écriture, simulation, synthèse et implantation d'un design matériel sur FPGA ;
- Comprendre et manipuler un protocole d'affichage standard (le protocole VGA), en assurant la génération et la synchronisation correcte des signaux ;
- Structurer un projet d'architecture numérique de manière modulaire, en séparant les blocs fonctionnels et en gérant les interconnexions ;
- Développer la capacité d'analyse et de debug, du niveau simulation jusqu'au niveau matériel sur la carte ;
- Documenter son travail à travers un rapport structuré et savoir expliquer ses choix et ses directions via ce rapport et la soutenance orale.

Le déroulement du projet s'articule autour de trois étapes principales :

1. Phase d'initiation, consacrée à la prise en main des outils de développement (exemple : Vivado) et à la validation d'exemples simples via des simulations et la création de testbench simples ;
2. Mise en œuvre du protocole VGA, constituant la partie obligatoire du projet : chaque étudiant doit être en mesure d'afficher un motif ou une image simple sur écran via la carte Basys 3. Une base de travail était donnée pour aider les étudiants dans cette tâche ;
3. Extension libre du projet, où les étudiants sont encouragés à concevoir un projet de leur choix (jeux-vidéo, animations, etc).

Cette progression permet de favoriser l'autonomie et la créativité tout en garantissant une base commune de compétences techniques. Les étudiants bénéficient de checkpoints à la fin de chaque

séance, afin de valider les étapes principales intermédiaires et de détecter rapidement d'éventuelles difficultés comme par exemple la mise en place de la liaison entre la carte FPGA et l'écran VGA.

Le projet se conclut par une démonstration finale et la remise d'un rapport écrit détaillant la démarche suivie, les choix techniques, les problèmes rencontrés et les perspectives d'amélioration.

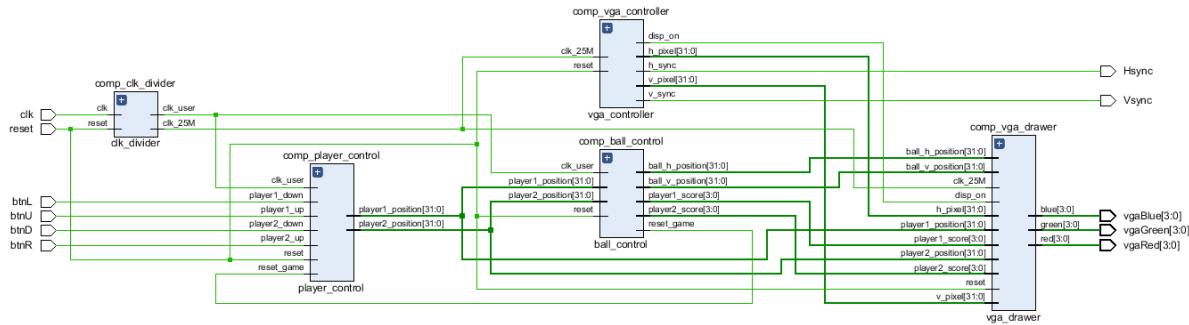


Fig. 2. Représentation en bloc du projet avec l'horloge, le driver VGA et le contrôleur de jeu (tiré d'un rapport d'étudiant).

### III. Approche pédagogique et encadrement

Le projet repose sur une approche d'apprentissage par la pratique, où les étudiants sont placés en situation d'autonomie pour concevoir un système numérique complet sur FPGA. Cette méthode vise à renforcer leur compréhension des concepts d'architecture matérielle en les confrontant à des problématiques réelles de conception, d'intégration et de validation. Elle permet également de développer leur capacité à planifier un projet technique, à faire des choix de conception argumentés et à évaluer leurs propres résultats. L'encadrement du projet a été pensé pour accompagner progressivement les étudiants tout en laissant une marge importante d'initiative individuelle. Chaque séance de travail est l'occasion d'échanges et de validations intermédiaires, sous la forme de checkpoints, permettant de suivre l'avancement, d'identifier les difficultés rencontrées et d'apporter un soutien ciblé. Cette évaluation continue a pour but d'éviter les blocages techniques et de maintenir une progression régulière tout au long des 38 heures de la phase de développement du module d'enseignement.

Les étudiants sont encouragés à documenter leur démarche dès les premières étapes, à conserver des traces de leurs essais, et à justifier leurs décisions techniques. Cette rigueur méthodologique les prépare à des contextes professionnels où la traçabilité et la reproductibilité des travaux sont essentielles. L'utilisation d'outils tels que Vivado pour la conception et la simulation, ainsi que Moodle ou Git pour le suivi et la remise des projets, permet d'instaurer de bonnes pratiques de gestion et de sauvegarde.

Un autre aspect important de cette approche pédagogique est que ce projet a été conçu pour rester accessible tout en offrant un espace d'approfondissement aux plus avancés. Ainsi, la première partie du projet, centrée sur la gestion du protocole VGA, garantit un socle commun de compétences, tandis que la partie libre laisse la possibilité d'explorer des aspects plus complexes ou créatifs. Ce dispositif favorise l'entraide entre les étudiants et valorise la curiosité technique. Certains étudiants se sont restreints aux stricts objectifs du projet alors que d'autres sont allés jusqu'à penser à l'optimisation de leur code en visant une minimisation de la surface, des performances et de l'empreinte mémoire.

Enfin, le rôle de l'enseignant est donc, dans ce cadre, d'accompagner les étudiants comme un développeur plus aguerri « senior » et non pas comme un simple transmetteur de connaissances. Les interventions se concentrent sur la clarification des points théoriques, la résolution de problèmes techniques spécifiques et l'orientation méthodologique. L'évaluation finale, combinant

démonstration, rapport et soutenance, permet de vérifier à la fois la maîtrise technique, la compréhension des principes d'architecture et la capacité d'expliquer ses choix pour arriver aux objectifs fixés.

#### **IV. Evaluation et livrables**

L'évaluation du projet s'appuie sur plusieurs éléments complémentaires destinés à mesurer à la fois la progression individuelle, la maîtrise technique et la capacité d'analyse critique des étudiants. Elle combine des évaluations formatives tout au long du module et une évaluation sommative à la fin du projet.

Pendant la durée du module, des points de contrôle réguliers permettent de vérifier l'avancement et la compréhension des concepts. Ces checkpoints, réalisés à la fin des séances, constituent des moments d'échange avec l'étudiant. Ils permettent d'évaluer la cohérence de l'avancement, la qualité du code développé, et la compréhension des simulations ou des tests matériels. Ce suivi continu favorise une progression régulière et permet d'intervenir rapidement en cas de difficulté technique ou méthodologique. L'évaluation finale repose sur trois éléments principaux : la démonstration du projet, le rapport écrit et le rendu du code source.

La démonstration correspond à une présentation individuelle d'environ quinze minutes, au cours de laquelle l'étudiant présente le fonctionnement de sa réalisation sur la carte FPGA, détaille l'architecture interne et répond aux questions posées. Cette étape permet d'évaluer la capacité à expliquer clairement ses choix techniques, à justifier les méthodes employées et à maîtriser le fonctionnement global du système conçu. Mais également à vérifier la compréhension de sa réalisation.

Le rapport écrit constitue un second volet essentiel de l'évaluation. Il doit retracer l'ensemble du travail effectué, depuis la définition du projet jusqu'à la phase de validation. Les étudiants y présentent l'architecture globale, les modules développés, les testbenches utilisés, les contraintes rencontrées et les solutions apportées. Une attention particulière est portée à la qualité de la rédaction, à la clarté des explications et à la pertinence des analyses. Le rapport inclut également une section de bilan personnel, invitant les étudiants à porter un regard critique sur leurs résultats et sur les améliorations possibles du projet.

Enfin, le code source complet du projet doit être déposé sur la plateforme Moodle, accompagné du fichier de contraintes associé. Ce rendu garantit la traçabilité du travail et permet une vérification du fonctionnement du projet dans des conditions différentes de celles de l'étudiant. Les consignes de dépôt sont strictes afin d'encourager la rigueur dans la gestion des livrables et des délais comme dans une entreprise.

#### **V. Bilan et retour d'expérience**

Le projet de conception sur FPGA a globalement rencontré un accueil très positif de la part des étudiants. L'approche par projet, centrée sur la réalisation concrète d'un système matériel, a permis de renforcer leur motivation et leur implication tout au long du module. Certains étudiants, très motivés, n'ont pas hésité à passer plus d'une centaine d'heures sur leur temps libre, et ce, sur une longue période (plusieurs semaines) pour optimiser leur projet afin d'obtenir le résultat voulu. Le fait de pouvoir concevoir un projet personnel, de nature souvent ludique comme un petit jeu vidéo ou une animation, a contribué à créer une dynamique d'apprentissage positive. Les étudiants ont exprimé un réel intérêt pour la dimension pratique qui leur a permis d'observer directement les résultats de leurs conceptions sur le matériel et pouvoir jouer à leur jeu sur les dernières heures du projet ou chez eux.

Sur le plan pédagogique, la totalité des étudiants ont réussi à maîtriser la gestion du protocole VGA et à produire un affichage fonctionnel. La phase libre du projet a mis en évidence la diversité des profils et des approches. Certains étudiants ont fait preuve d'une grande créativité, en dessinant eux-mêmes des « sprites » pour leur jeu, tandis que d'autres se sont concentrés sur des aspects plus techniques comme l'optimisation de l'empreinte mémoire de l'architecture globale du projet, la gestion fine des timings, ou la performance pure du code.

Néanmoins, quelques difficultés ont été observées au cours du module. L'hétérogénéité des niveaux en conception numérique et en langage VHDL a parfois entraîné des écarts de progression importants entre les étudiants. Certains n'avaient suivi que quelques heures de cours de VHDL et donc les débuts ont été difficiles pour eux. Les premières séances ont nécessité un accompagnement renforcé pour certains, notamment pour la prise en main des outils de conception ou la compréhension des contraintes de synthèse. Ces aspects ont toutefois été compensés par la mise à disposition d'exemples de code et d'un support de base pour la partie VGA, ainsi que par un suivi régulier au fil des séances.

D'un point de vue pédagogique, l'organisation en checkpoints a permis d'assurer un suivi individualisé, de maintenir une progression constante et d'éviter les grandes accumulations de retard. La démonstration finale s'est également avérée être un moment fort du module, valorisant le travail accompli et permettant à chacun de présenter sa démarche et ses résultats dans un cadre professionnel. La variété des projets présentés a montré que les étudiants avaient bien compris les principes d'architecture numérique. Pour les prochaines sessions, plusieurs pistes d'amélioration peuvent être envisagées. Il serait notamment intéressant de proposer davantage de ressources d'amorçage pour les étudiants les moins expérimentés, par exemple sous la forme de modules de préparation ou de tutoriels vidéo.

De manière générale, ce projet a atteint ses objectifs pédagogiques tout en suscitant un fort engagement de la part des étudiants. Il a permis de développer des compétences techniques solides, mais aussi une meilleure compréhension du processus de conception matérielle et des contraintes associées. Au-delà des aspects purement techniques, il a encouragé la curiosité, la rigueur et l'autonomie, qui constituent des qualités essentielles pour la poursuite d'études ou l'entrée dans le monde professionnel.

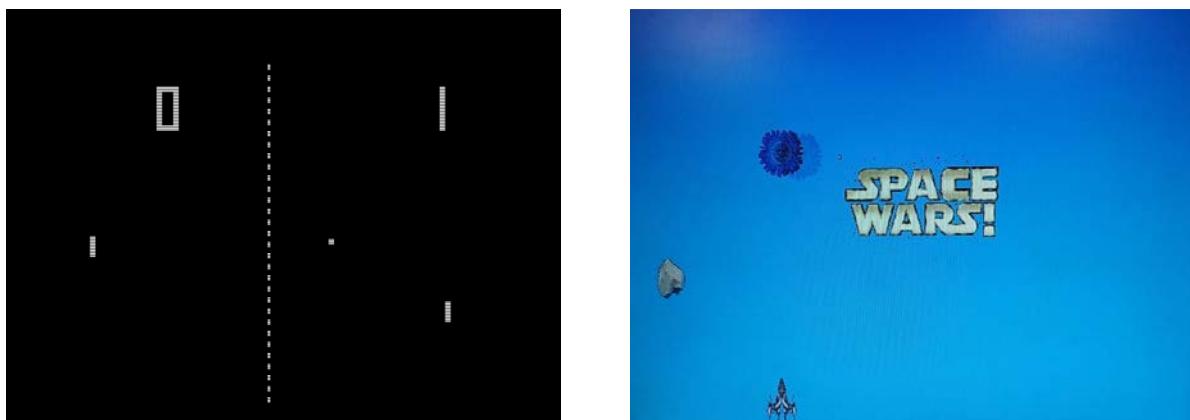


Fig. 3. Illustrations venant de 2 projets étudiants différents : un jeu de pong et un jeu space wars.

## VI. Conclusion

Le projet de conception sur FPGA proposé dans le cadre du Master SESI de l'Université Bretagne Sud constitue une expérience d'apprentissage complète, mêlant théorie, pratique et autonomie. Il offre aux étudiants l'occasion de mettre en œuvre l'ensemble des notions abordées

dans les enseignements d'architecture numérique, tout en les confrontant à la réalité de la conception matérielle sur FPGA. Par son format en mode projet, il encourage une démarche d'expérimentation, où la compréhension des mécanismes prime sur la simple réussite fonctionnelle du projet.

L'organisation du module, articulée autour d'une base commune et d'une phase libre, a permis de répondre à la diversité des niveaux. Elle a également favorisé la motivation et l'investissement des étudiants, qui ont pu s'approprier le contenu en développant des projets personnels à la fois techniques et originaux. Les retours d'expérience ont été très positifs sur cette UE, les étudiants ont beaucoup apprécié l'approche par projet et la liberté de création.

Du point de vue de l'enseignant, ce type de dispositif permet de mieux observer les démarches de raisonnement et de conception des étudiants, tout en favorisant un accompagnement individualisé, le groupe étant constitué d'une quinzaine d'étudiants. Il contribue aussi à créer un environnement d'apprentissage plus actif, où les échanges et les initiatives jouent un rôle central.

Pour les sessions futures, plusieurs perspectives d'évolution sont envisageables, notamment l'introduction d'outils collaboratifs pour la gestion de projet, tels que des dépôts Git, pourrait également renforcer les compétences transversales en développement collectif et en documentation technique.

## Références

- [1] U. B. Sud, «Master Systèmes embarqués / systèmes intégrés,» 02 10 2025. [En ligne]. Available: [https://www.univ-ubs.fr/fr/formation-initiale-continue/formations/master-XB/sciences-technologies-sante-ST斯/master-systemes-embarques-systemes-integres-5SSY00\\_217.html](https://www.univ-ubs.fr/fr/formation-initiale-continue/formations/master-XB/sciences-technologies-sante-ST斯/master-systemes-embarques-systemes-integres-5SSY00_217.html). [Accès le 29 10 2025].
- [2] Digilent, «Basys 3,» [En ligne]. Available: <https://digilent.com/reference/programmable-logic/basys-3/start>. [Accès le 29 10 2025].

# **BOBIN'ATHLON: mise en pratique de la transmission d'énergie sans fil (WPT) par le défi compétitif et l'apprentissage tutoré**

S.Hemour<sup>a</sup>, F. Champion<sup>b</sup>, D. Blanchard<sup>b</sup>, S. Reverdy<sup>c</sup>, J. Tomas<sup>d</sup>

<sup>a</sup> IMS, IUT Bordeaux, dpt GEII, et pôle CNFM de Bordeaux (PCB), Université de Bordeaux,  
Bordeaux, France

<sup>b</sup> IUT de Bordeaux (Université de Bordeaux), département GEII, Gradignan, France

<sup>c</sup> CAP ELENA (Université de Bordeaux), Bordeaux, France

<sup>d</sup> IMS (Université de Bordeaux) et GIP-CNFM, Bordeaux, France

Contact email : simon.hemour@u-bordeaux.fr

Le Bobin'athlon est un marathon de conception proposé en bac+2 aux étudiants du BUT GEII pour renforcer l'apprentissage des circuits résonant haute fréquence, du couplage inductif et de la mesure d'impédance à l'analyseur de réseau. Il se déroule sur une journée, intègre une relation de tutorat entre les étudiants, avec comme trame de fond une compétition technique : construire une bobine permettant de transmettre de l'énergie vers une « LED sans fil » le plus loin possible. Pour réussir, les étudiants appliquent leurs connaissances théoriques et pratiques en physique appliquée et en électronique. Une fréquence de résonance exacte, un facteur de qualité maximum et une répartition optimale du champ magnétique permettent ainsi à la meilleure équipe de remporter la compétition.

## **I. Introduction**

### **A. Contexte pédagogique**

L'enseignement de l'électromagnétisme et de l'électronique en formation initiale se heurte à un défi majeur : rendre accessibles des concepts abstraits (circuits RLC, couplage inductif, mesures hautes fréquences) et maintenir l'engagement des étudiants face à leur complexité. Les approches traditionnelles, centrées sur des cours magistraux et des travaux pratiques guidés, peinent parfois à susciter la motivation et à développer des compétences transversales comme la résolution de problèmes ou le travail collaboratif. Pourtant, ces compétences sont essentielles dans un contexte scientifique pour répondre aux enjeux industriels actuels, où l'interdisciplinarité et l'autonomie sont des atouts clés.

Dans ce contexte, les pédagogies actives — telles que l'apprentissage par l'action (learning by doing), l'apprentissage par problèmes (problem-based learning), ou le tutorat entre pairs — offrent des pistes prometteuses. Elles permettent non seulement de renforcer la compréhension des phénomènes physiques, mais aussi de développer des habiletés sociales (communication, leadership, esprit d'équipe) souvent négligées dans les cursus techniques. Ces méthodes s'inscrivent pleinement dans les objectifs du projet INFORISM (ANR-23-CMAS-0024), qui vise à innover en formation, et rendre les filières microélectroniques plus attractives.

### **B. Approche**

Pour répondre à ces enjeux, nous avons conçu le Bobin'athlon, un dispositif pédagogique original combinant une compétition technique (conception et optimisation de bobines résonantes à

13,56 MHz), un tutorat inter-niveaux (étudiants de 3<sup>e</sup> année encadrant ceux de 2<sup>e</sup> année), et une pédagogie de la réussite, où l'erreur est utilisée comme levier d'apprentissage.

Cette approche hybride se distingue par son cadre motivant (émulation collective), son ancrage dans le réel (fabrication, mesure, ajustement en temps limité), son inspiration théorique, puisée dans les travaux de Kolb (1) sur l'apprentissage expérientiel et de Vygotski (2-3) sur la zone proximale de développement, où l'interaction entre pairs favorise la progression individuelle et collective.

Le Bobin'athlon est un marathon de conception immersif d'une durée d'une journée où les étudiants développent un système de transmission d'énergie sans fil capable d'allumer une LED à distance grâce au couplage magnétique résonant. Chaque équipe conçoit sa propre bobine en autonomie, simule son comportement inductif à l'aide d'un calculateur, réalise les mesures à l'analyseur de réseau vectoriel, puis ajuste les performances à partir des résultats obtenus. Cet exercice se distingue des travaux pratiques par son approche compétitive dont le but est d'obtenir la distance maximale de transmission en mobilisant la théorie, la simulation et la pratique, sans protocole imposé.

## II. Contexte de l'enseignement

Le Bobin'athlon est intégré au module d'électronique spécialisée du parcours Électronique du BUT Génie Électrique et Informatique Industrielle, dispensé au cours du semestre 3. Au préalable, les étudiants ont étudié les modèles équivalents des composants passifs en haute fréquence, l'abaque de Smith et la représentation d'impédance sur un plan complexe, ainsi que la loi de conservation d'énergie et le facteur de qualité dans un circuit RLC. D'un point de vue pratique, les étudiants ont suivi 6 heures de travaux pratiques (TP) sur le calibrage et la mesure à l'aide d'un analyseur de réseau vectoriel (VNA), ainsi que sur la simulation de circuits (CAD) à l'aide du logiciel QucsStudio (uSimmmics).

Pendant l'activité, trois à quatre étudiants de troisième année, endosseront le rôle de tuteurs pour encadrer les binômes de deuxième année. Leur participation est conditionnée par leur expérience préalable du Bobin'athlon lors de l'année précédente, ce qui leur permet d'assurer un soutien technique et pédagogique adapté aux participants. Les étudiants de deuxième année développent ainsi leur autonomie et leur capacité à résoudre des problèmes techniques tout en bénéficiant d'un encadrement personnalisé par leurs pairs, tandis que les tuteurs renforcent leur expertise technique.

## III. Préparation du matériel

### A. Matériel pour la fabrication de la bobine de transmission

Le matériel mis à la disposition des étudiants pour la durée de la journée est décrit dans le tableau 1. Il devra permettre aux étudiants le développement de leur bobine résonante en toute autonomie

Tableau 1 : Matériel par binôme

Item	Détails	Commentaire
<b>Calculateur &amp; ressources en ligne</b>	Accessible via internet	Pour la phase de conception
<b>VNA, câbles, kit de calibrage</b>	Adaptateur BNC	Pour la phase de développement
<b>GBF 20MHz</b>	BNC	Pour la transmission finale
<b>Fil de cuivre</b>	2.5mm <sup>2</sup> recommandé, 10m + cutter ou ciseaux	Pour le bobinage
<b>Carton + scotch renforcé</b>		Pour fabriquer l'armature de la bobine
<b>Boucles d'excitation</b>	 Boucle connectée en banane, + adaptateur BNC-Banane	De nombreuses boucles d'excitation de diamètres différents sont proposées pour correspondre aux diamètres de bobine choisies par les participants

## B. Récepteur d'énergie sans fil « Wireless LED »

Le circuit récepteur est nécessaire pour la compétition finale et pour permettre aux étudiant de visualiser l'intensité du camp magnétique autour de leur bobine. La *wireless LED* comprend une antenne résonante (13,56 MHz), un convertisseur HF->DC (redresseur) et redresser le signal induit afin d'alimenter une LED faible consommation (4).

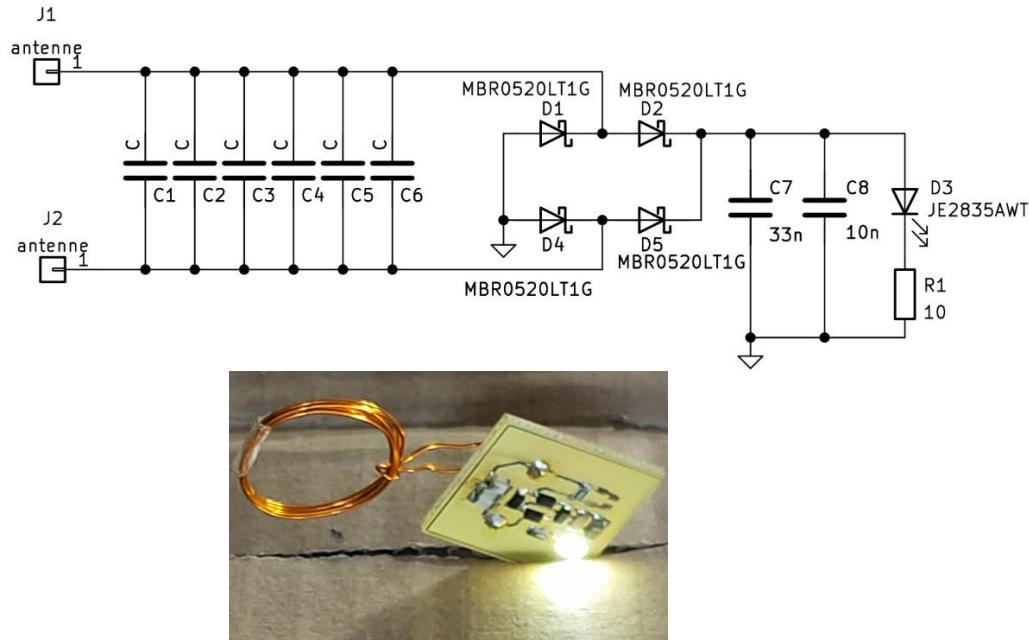


Fig.1. Schéma électrique et photographie du récepteur LED sans fil. J1/J2 : Bornes de connexion de la bobine réceptrice (5 spires, L=878 nH, Ø2 cm, fil émaille de 0.54mm). C1-C6 : Condensateurs céramique pour l'ajustement de la fréquence de résonance. D1, D2, D4, D5 : Pont de Graetz (diodes Schottky MBR0520LT1G). C7 (33 nF), C8 (10 nF) : Condensateurs de lissage. R1 (10 Ω) : Résistance de limitation de courant pour éviter un sur-courant dans LED en cas de transmission de grande puissance. D3 : LED blanche (JE2835AW) Diode basse consommation (typiquement une LED blanche). La diode utilisée s'allume dès 400µA pour environ 2,6v.

L'enjeu principal de la fabrication du circuit est l'ajustement fin de la fréquence de résonance à la bande ISM de 13,56MHz. Nous décrivons ici une proposition de méthodologie : la bobine réceptrice est couplée à une bobine émettrice de dimension similaire, elle-même alimentée par un GBF (typiquement 10V càc). Un rouleau de scotch tout matériaux isolants maintient un écartement constant de 1 cm entre les bobines de manière à ce que l'inductance mutuelle soit négligeable devant la self-inductance. La tension DC de sortie du pont de Graetz est mesurée au voltmètre ou à l'oscilloscope. La fréquence du GBF est alors balayée de 10 MHz à 30MHz jusqu'à identifier un maximum de la tension DC.

On cherche alors à faire descendre la fréquence de résonance jusqu'à 13,56MHz en ajoutant des condensateurs C1-C6 en parallèle avec la bobine. De la fréquence de résonance et de la valeur de la bobine, on déduit la capacité existante (initiale) du circuit en haute fréquence, principalement liée aux capacités de jonctions des diodes du pont de Graetz.

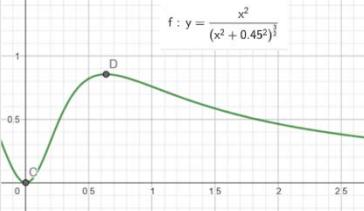
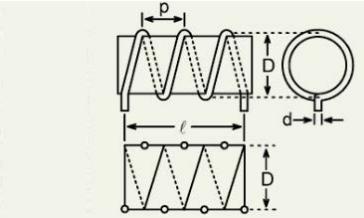
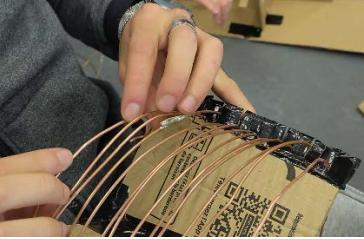
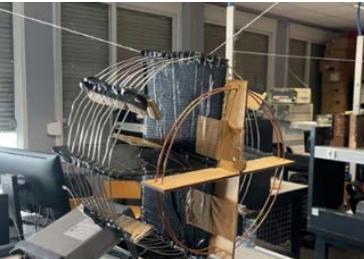
$$C_{necessaire} = C_{13,56MHz} - C_{initiale} = \frac{1}{(2\pi \cdot 13,56 \cdot 10^6)^2 \cdot L} - \frac{1}{(2\pi f)^2 \cdot L} \quad [1]$$

Dans l'exemple de notre circuit, la résonance initiale était de 21.2MHz, pour une self-inductance de 878 pF correspondant à une capacité équivalente de 64 pF. L'ensemble des condensateurs de tuning à rajouter est donc de 93 pF. Des itérations seront peut-être nécessaires si la tolérance des composant est trop importante.

## IV. Déroulement

Le déroulement de la journée de marathon de conception est décrit dans le tableau 2 ci-dessous. La journée commence par 20min de briefing, et se termine par 30minutes d'institutionnalisation (5,6)

Tableau 2 : Etapes clef de la journée du bobin'athlon

<b>Référentiel BUT GEII</b>	<b>Apprentissage critique</b>	<b>Illustration</b>
AC21.01  COMPETENCE CONCEVOIR	<p><b>[Proposer une solution technique]</b>  Après avoir exprimé le besoin technique, les étudiants en viennent à utiliser l'équation de Biot et Savart pour déterminer le rayon d'un solénoïde permettant de maximiser le champ magnétique à une distance donnée</p> $B(x) = N \frac{\mu_0 I R^2}{2(R^2 + x^2)^{\frac{3}{2}}}$	
AC21.02  AC31.02  COMPETENCE CONCEVOIR	<p><b>[Désirquer les solutions techniques retenues]</b>  <b>[Prouver la pertinence de ses choix technologique]</b>  A partir de la valeur du rayon de la solénoïde obtenue à l'étape précédente, les étudiants cherchent par itérations successives les dimensions optimums pour atteindre leur objectif de fréquence de résonance</p>	
AC34.01ESE  AC24.01ESE  COMPETENCE IMPLANTER	<p><b>[Produire une procédure de fabrication d'un système]</b>  <b>[Appliquer une procédure de fabrication]</b>  Chaque équipe détermine une procédure de fabrication de la bobine à partir des paramètres physiques choisi plus haut, puis applique cette procédure tout au long de la fabrication de la structure et du bobinage.</p>	
AC22.01  AC12.01  COMPETENCE VERIFIER	<p><b>[Identifier les tests et mesures à mettre en place pour valider le fonctionnement d'un système]</b>  <b>[Appliquer une procédure d'essais]</b>  Les participants mettent en place les mesures de la bobine couplée à sa boucle d'excitation (VNA) et la visualisation de l'impédance sur l'abaque de Smith (7) pour en déduire la fréquence de résonance et le facteur de qualité (8,9,10,11). Durant les mesures, le solénoïde et boucle d'excitation sont suspendus pour réduire le couplage avec l'environnement. Pour l'ajustement de la fréquence, le solénoïde est raccourci ou rallongé pour atteindre=13,56MHz. Ce travail à la pince coupante permet aux étudiants un retour direct, leur permettant de « sentir » la grandeur de l'inductance et la capacité répartie entre les spires.</p>	
AC32.03  AC22.02  COMPETENCE VERIFIER	<p><b>[Produire une procédure d'essais pour valider la conformité d'un système]</b>  <b>[Certifier le fonctionnement d'un nouveau système]</b>  La conformité du système est enfin validée avec le transfert d'énergie depuis un GBF et le solénoïde fabriqué d'une part, et le circuit Wireless LED d'autre part. Le circuit est éloigné peu à peu du centre de la bobine jusqu'à ce que la LED s'éteigne. Le point d'extinction correspond alors à la distance maximale.</p>	

## V. Discussion

L'expérience du Bobin'athlon met en évidence une transformation fondamentale des dynamiques pédagogiques, où la relation traditionnelle enseignant-étudiant, souvent marquée par une asymétrie de pouvoir et une motivation extrinsèque (centrée sur l'évaluation), cède la place à un modèle collaboratif et auto-régulé. Ce déplacement s'opère selon deux axes complémentaires, chacun portant des implications significatives pour l'enseignement des sciences de l'ingénieur.

D'une part, la dimension compétitive et immersive du dispositif modifie radicalement les sources de motivation des étudiants. Ceux-ci ne travaillent plus principalement pour répondre aux attentes d'un enseignant ou satisfaire les critères d'une évaluation sommative, mais s'engagent dans une dynamique collective où la réussite dépend de leur capacité à résoudre un défi technique concret et partagé. Cette reconfiguration réduit les comportements de résistance passive fréquemment observés dans les enseignements traditionnels, où l'abstraction des concepts et la distance perçue entre les savoirs académiques et leurs applications pratiques peuvent générer désintérêt ou opposition. Dans le cadre du Bobin'athlon, les concepts théoriques – tels que les circuits RLC ou l'abaque de Smith – ne sont plus perçus comme des exigences arbitraires, mais comme des outils indispensables pour atteindre un objectif tangible : optimiser la transmission d'énergie sans fil à 13,56 MHz. L'erreur, plutôt que d'être sanctionnée, devient une étape normale du processus d'apprentissage, analysée et corrigée en temps réel grâce aux retours immédiats fournis par les instruments de mesure et les interactions entre pairs. Cette approche favorise le développement d'une résilience cognitive, essentielle dans les métiers de l'ingénierie, où l'itération et l'ajustement constituent des compétences clés. Les données recueillies confirment cette évolution : alors que les travaux pratiques traditionnels suscitent un engagement variable (avec seulement 40% à 70 % d'étudiants déclarant y trouver un intérêt), le format compétitif et collaboratif du Bobin'athlon obtient un taux de satisfaction proche de 100 %, tout en permettant à 85 % des binômes d'atteindre l'objectif technique fixé (accord en fréquence à 13,56 MHz ± 0,5 MHz et transmission à plus de 5 cm).

D'autre part, le rôle de l'enseignant se trouve profondément redéfini, passant d'une position de "détenteur et transmetteur du savoir" à celle de "garant du cadre pédagogique et scientifique". Cette transformation est rendue possible par la délégation partielle de l'encadrement technique aux tuteurs – des étudiants de troisième année ayant eux-mêmes participé à l'activité l'année précédente. Ces tuteurs, en tant que pairs proches, incarnent un modèle plus accessible que l'enseignant traditionnel, tout en maintenant un niveau d'exigence scientifique. L'enseignant, quant à lui, peut se concentrer sur des tâches à plus haute valeur ajoutée : l'observation des processus d'apprentissage, la garantie de la rigueur des tuteurs, et la synthèse des apprentissages en fin de séance. Cette redistribution des rôles désamorce les rapports de force classiques et recentre les échanges sur la résolution de problèmes techniques, plutôt que sur des enjeux de pouvoir ou de validation institutionnelle. Cependant, cette nouvelle posture exige une vigilance particulière pour éviter deux écueils potentiels : un désengagement perçu de l'enseignant, qui pourrait être interprété comme de l'indifférence, et une dépendance excessive aux tuteurs, dont la formation pédagogique doit être soigneusement préparée pour éviter qu'ils ne tombent dans un accompagnement trop directif.

La question de la généralisation de ce modèle est ouverte. Si le Bobin'athlon démontre son efficacité pour motiver les étudiants et ancrer les savoirs dans des applications concrètes, sa mise en œuvre nécessite un cadre structurant pour en maximiser les bénéfices. La formation préalable des tuteurs centrée sur les techniques de questionnement socratique et de gestion des erreurs, s'avère essentielle pour maintenir un équilibre entre guidance et autonomie. Par ailleurs, pour éviter que la dimension compétitive ne marginalise certains profils d'étudiants, des mécanismes

d'inclusion pourront être intégrés, tels que des objectifs intermédiaires (atteindre un facteur de qualité Q=30 quelle que soit la fréquence de résonance avant de viser la performance maximale)

## VI. Conclusion

En déplaçant le centre de gravité de la relation pédagogique – de la verticalité enseignant-élève vers une interaction triangulaire entre étudiants, tuteurs et défi technique – le Bobin'athlon propose un modèle reproductible pour transformer les rapports au savoir, tout en développant des compétences transversales essentielles pour les futurs ingénieurs, dans la lignée des projets atypiques du département GEII de l'IUT de Bordeaux (12,13). Depuis deux ans, le Bobin'athlon est d'ailleurs proposé en format « long » (5 demi-journées) à un groupe d'étudiant venu de Belgique pour se former aux radiofréquences.

## Remerciements

Les auteurs remercient la région Nouvelle-Aquitaine pour le cofinancement du matériel de mesure via le projet Génie-RF (reference 11). Ils remercient également le soutien du GIP-CNFM (12) de Bordeaux, la DGESIP et le projet INFORISM (13) pour le cofinancement de cette activité pédagogique. Les auteurs souhaitent aussi remercier leurs collègues S. Moutault, E. Vandermeersch, L. Theolier, I. Bord Majek, S. Grauby, S. Dilhaire, W. Privat, C. Pecoste, J. Lindois, M. Leney et H. Giraudet pour leurs discussions enrichissantes. Sont également remerciés tous les étudiants qui ont assuré le rôle de tuteur (avec brio !) au cours de ces dernières années.

## Références

- 1 Kolb, David A. *Experiential learning: Experience as the source of learning and development*. FT press, 2014.
- 2 Vygotski, L.S. (1933/2012b). *La dynamique du développement intellectuel de l'élève en lien avec l'enseignement*. In F. Yvon et Y. Zinchenko (dir.), *Vygotsky, une théorie du développement et de l'éducation* (p. 172-204). Moscou: MGU.
- 3 Venet, M., Correa Molina, E., & Saussez, F. (2016). *Pédagogie universitaire et accompagnement dans la zone proximale de développement des enseignants et enseignantes en formation initiale et continue. Nouveaux cahiers de la recherche en éducation*, 19(1), 1-10.
- 4 <https://www.farnell.com/datasheets/2602667.pdf>
- 5 M. LEGRAND, *Débat scientifique en cours de mathématiques*. Repères irem, 1993, vol. 10, p. 123-159. <https://bibnum.publimath.fr/IWA/IWA92003.pdf>
- 6 S. Hemour, J. Mithalal, R.Cornut, J.Pasquier, B.Harthong, O.Demichel, T.Clement, C.Durand, J.Douady, *La pratique du débat scientifique*, Annales du CIES de l'Académie de Grenoble, 1, 1, 2009.
- 7 R.W. Anderson, *S-parameter techniques for faster, more accurate network design*, HewlettPackard Application Note 95-1, Hewlett-Packard Journal, Février 1967. [https://www.hparecords.com/Application\\_Notes/HP-AN-95-1.pdf](https://www.hparecords.com/Application_Notes/HP-AN-95-1.pdf)
- 8 *Microwave Network Analyzer Applications*, Hewlett-Packard Application Note 117-1, 1970, section “DETERMINATION OF Q“, page 8.3-8.4 et session “DESCRIPTION OF Q MEASUREMENT OVERLAY”, page 8.7 à 8.9 [https://hpmemoryproject.org/an/pdf/an\\_117-1.pdf](https://hpmemoryproject.org/an/pdf/an_117-1.pdf)
- 9 *S-Parameter Design*, Hewlett-Packard, Application Note 154 (voir figure 38), 1972 [https://hpmemoryproject.org/ressources/resrc\\_an\\_02.htm](https://hpmemoryproject.org/ressources/resrc_an_02.htm)
- 10 F. Caspers, and P. Kowina. *RF measurement concepts* (2014). Section 13.2 Determination of the Q factors of a cavity, p. 148 (<https://cds.cern.ch/record/1982420/files/101-156%20Caspers.pdf>).
- 11 F. Caspers, P. Kowina, and M. Wendt. *RF Measurements concepts*, in *RF measurement techniques*, The CERN Accelerator School, 2015, [https://indico.cern.ch/event/361988/contributions/1775741/attachments/1159237/1668205/C2\\_RF\\_Measurement\\_Tutorial.pdf](https://indico.cern.ch/event/361988/contributions/1775741/attachments/1159237/1668205/C2_RF_Measurement_Tutorial.pdf)
- 12 S. Reverdy, G. Le Senechal, C. Trimouille, J. Fisher, A. Viandon, L. Mouillard, T. Laroche et S. Hemour, *La pratique du terrain: sortir de l'espace d'apprentissage pour Apprendre ?*, revue Études & Pédagogies, en relecture, 2025.
- 13 S. Hemour, N. Barbot, F. Collin, J-L. Lachaud, S. Destor, J. Tomas, , *The Great Microwave Education Opportunity of the Great Seal Bug (aka “TheThing”)*, European Microwave Conference, EuMC, Sept 2024

# Kit pédagogique pour la sensibilisation aux métiers de la micro-électronique

O.Français<sup>a</sup>, L. Rousseau<sup>a</sup>, P. Poulichet<sup>a</sup>, J. Pagazani<sup>a</sup>, N. Pavry<sup>a</sup>, N. Ben Moussa<sup>a</sup>, P. Auvray<sup>b</sup>

<sup>a</sup> ESIEE Paris, Université Gustave Eiffel, Noisy Le Grand, France, pôle CEMIP

<sup>b</sup> Mindyllis, Caen, France

Contact email : olivier.francais@esiee.fr

Nous présentons un kit pédagogique élaboré pour sensibiliser les étudiants et les enseignants aux carrières dans le secteur de la micro-électronique, en réponse à un problème d'attractivité de ces métiers. Ce kit s'articule autour de trois thèmes principaux : l'initiation aux procédés de salle blanche, la mise en œuvre de micro-capteurs et de leur instrumentation, et le pilotage de systèmes embarqués par microcontrôleur pour en contrôler le fonctionnement. L'application centrale est le pilotage d'un micro-thermocycleur sur puce pour l'amplification d'ADN (similaire à la PCR). Ce kit est le point de départ pour des modules de formation que l'on souhaite autonome et qui seront couplés à la mise en place de contenu autour de la virtualisation des procédés de salle blanche.

## I. Enjeu du kit pédagogique

Sur les formations dans le domaine de la micro-électronique, coupler la réalisation d'un micro-dispositif en salle blanche puis l'intégrer dans une électronique d'instrumentation pilotée par un microcontrôleur est un véritable challenge. Pouvoir répondre à cette problématique, c'est mettre en place une solution qui permette de sensibiliser les jeunes aux métiers de l'électronique et des micro-technologies. Nous avons donc choisi de développer un kit pédagogique qui permette d'y développer l'ensemble de la conception d'un microdispositif, de sa réalisation en salle blanche à sa caractérisation et mise en œuvre.

### A. Contexte du kit pédagogique

Sur des travaux précédents, nous avons mis en place des travaux pratiques sur la réalisation d'une puce en salle blanche qui intègre un thermocycleur à base de résistance. Le cadre applicatif est celui de la PCR (Polymerase Chain Reaction), mettant en œuvre une amplification d'ADN par un cyclage thermique, qui a très largement été utilisée pour la détection du virus de la covid19 (1) (Figure 1).

Le procédé technologique développé permet de former les étudiants aux procédés classiques de la microélectronique et ainsi de les sensibiliser au contexte particulier de la salle blanche. Il s'agit de réaliser des résistances électriques en couches minces : une première résistance chauffe la puce par effet joule, alors qu'une deuxième résistance vient mesurer la température de la puce (2).

Les procédés mis en œuvre sont l'oxydation thermique, les dépôts de couches minces par pulvérisation ou évaporation, la photolithographie UV qui peut inclure une étape d'alignement, la gravure liquide ou RIE de matériaux et enfin la caractérisation des différentes couches réalisées en termes d'épaisseur mais aussi de valeur de résistance obtenues.

C'est ainsi une immersion sur les étapes usuelles de la micro-électronique, les procédés physico-chimiques mis en jeu et les contraintes associées à l'environnement de la salle blanche (3).

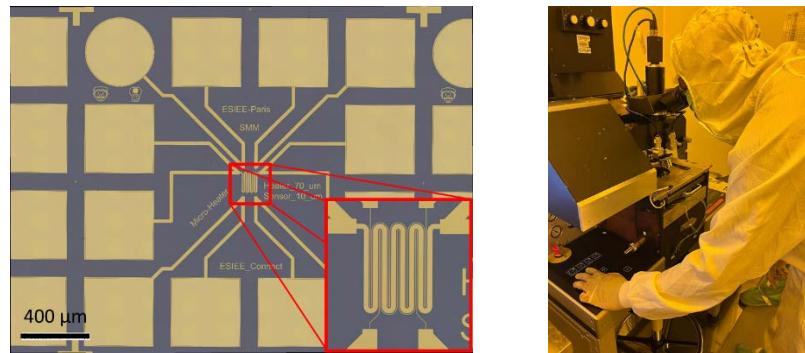


Fig.1. Vue du micro-thermocycleur réalisé en salle blanche ESIEE Paris– Etape d'insolation de résine

Afin d'exploiter ces réalisations en salle blanche, des séances de caractérisation des puces ont été développées qui permettent (Figure 2) :

- d'appréhender le comportement thermique de la puce par une caractérisation sur plaque chauffante,
- de développer l'électronique de pilotage de la résistance chauffante (contrôle par rapport cyclique d'une tension en PWM),
- de mesurer les variations en température à l'aide d'une source de courant de Howland et d'un amplificateur d'instrumentation,
- de développer l'asservissement en température à l'aide d'un microcontrôleur simple.

Au travers de ces séances, les étudiants mettent en œuvre la physique du capteur, l'électronique analogique d'instrumentation, l'électronique numérique d'acquisition et enfin développe une interface de pilotage du dispositif.

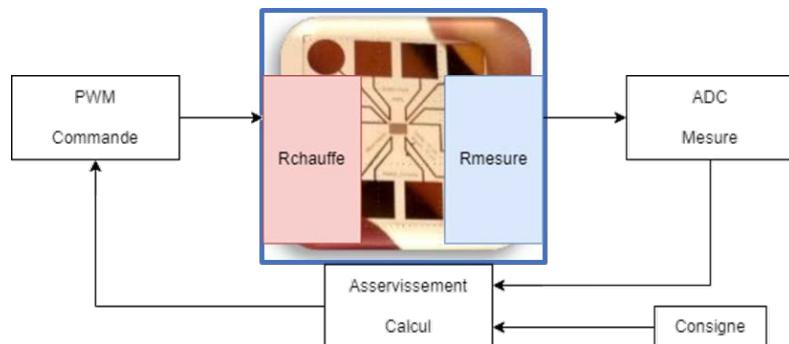


Fig.2. Bloc fonctionnel mis en œuvre autour du micro-thermocycleur

De façon remarquable, les élèves ont toujours été très impliqués sur l'ensemble des séances. Leurs retours ont toujours été très valorisants pour l'équipe pédagogique avec le sentiment pour les élèves d'avoir mis en œuvre un dispositif complet, de sa réalisation en salle blanche à son pilotage complet.

### B. Vers une intégration complète : kit pédagogique

Les séances utilisant les puces réalisées en salle blanche nécessitent un matériel conséquent (instrumentation, câblage, mesure) qui peut rendre complexe la mise en œuvre des séances à la fois pour l'encadrant mais aussi pour les étudiants. De plus, il n'est en l'état pas simple de pouvoir diffuser les puces fabriquées en salle blanche (4) pour qu'elles puissent être utilisées dans un cadre de formation.

Le développement d'un kit a donc été mis en œuvre afin d'inclure l'ensemble des étapes d'instrumentation et mesure sur une carte électronique (circuit imprimé instrumenté) allant du calibrage du dispositif jusqu'à son pilotage (Figure 3).

Pour son utilisation et l'interactivité, le choix d'un écran tactile couplé à un microcontrôleur simple (type Arduino) a été fait. D'accès simple, cette association permet une première approche pour le développement d'une Interface Homme Machine (IHM) si nécessaire, ou alors de faire appel à des sous-programmes spécifiques à la séance de travail. Il est ainsi possible de faire l'acquisition numérique des signaux associés au bon fonctionnement de la puce.

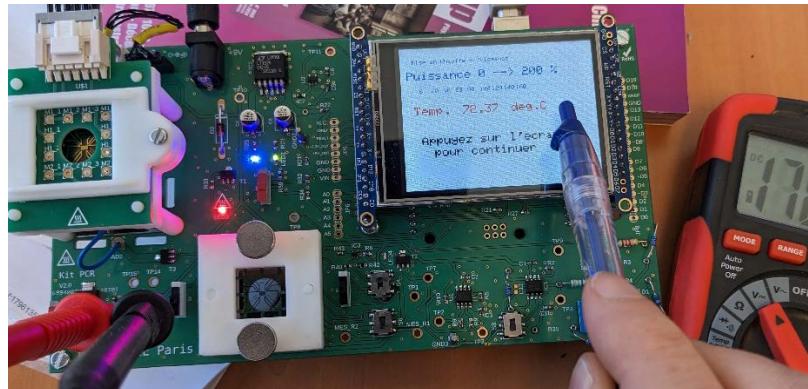


Fig.3. Kit pédagogique intégrant l'ensemble des étapes de mise en œuvre du micro-thermocycleur

La partie mesure inclue aussi des points de test « analogiques » avec l'utilisation classique de voltmètre et ohm-mètre. Lors du calibrage de la sonde, il est prévu le branchement externe d'une source continu pour caractériser l'élément chauffant en fonction de la puissance injectée.

Enfin, afin de garantir une connectique simple et reproductible, des connectiques à ressorts ont été intégrées sur le PCB. Afin de pouvoir calibrer la puce (lien température – résistance), une mini plaque chauffante a été réalisée et placée sur la carte.

## II. Résultats obtenus

Un premier prototype a été conçu afin de valider le bon fonctionnement de l'ensemble et a fait l'objet de tests avec des étudiants.

### A. Structure du kit

L'architecture du circuit imprimé a été découpée en 3 zones (Figure 4) qui reprennent les grandes lignes des travaux pratiques autour de la puce.

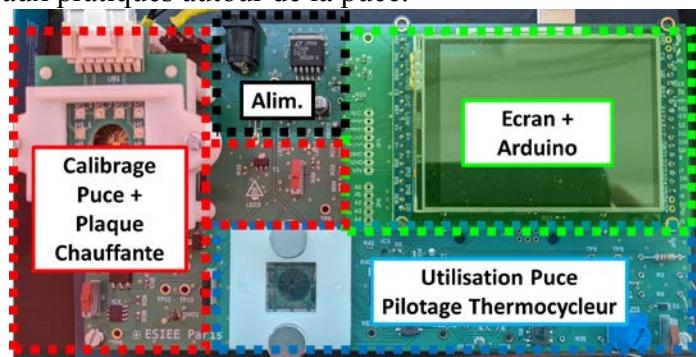


Fig.4. Zones fonctionnelles sur le circuit imprimé du kit pédagogique

1. Calibrage puce (zone rouge) : Zone dédiée à la caractérisation et calibrage de la puce afin de comprendre son comportement thermique. Cette zone intègre une « mini » plaque chauffante avec mesure de sa température via un TMP36. On peut de cette manière tracer la variation des résistances de la puce en fonction de la température.
2. Utilisation puce (zone bleue) : Zone qui permet de s'interfacer avec la puce pour : i) venir alimenter la résistance chauffante par contrôle d'une PWM en tension ; ii) mesurer la valeur de la résistance de mesure par injection d'un faible courant (source de Howland) et mesure de la tension à ses bornes (amplificateur d'instrumentation).
3. Ecran+Arduino (zone verte) : Zone dédiée au contrôle numérique et à l'affichage des données. La programmation de l'Arduino permet de gérer l'afficheur tactile, de piloter la température de la puce et de mettre en place le cyclage en température par asservissement.

#### B. Aspect thermique

Afin de gagner en autonomie sur l'utilisation du kit, une mini plaque chauffante a été développée et intégrée sur la carte (Figure 5). Elle utilise une résistance de puissance (15 ohms – 5W), une plaque métallique couplée à une mesure de température à base de TMP36. Cela permet le calibrage de la partie capteur de la puce en suivant la variation de la résistance de mesure avec la température.

La dynamique obtenue permet une montée en température avec une constante de temps d'environ 7 minutes pour un delta maximal de 80°C. Il est alors possible de suivre l'évolution de la résistance de mesure avec la température à l'aide d'un voltmètre ou bien via le microcontrôleur et affichage sur l'écran.

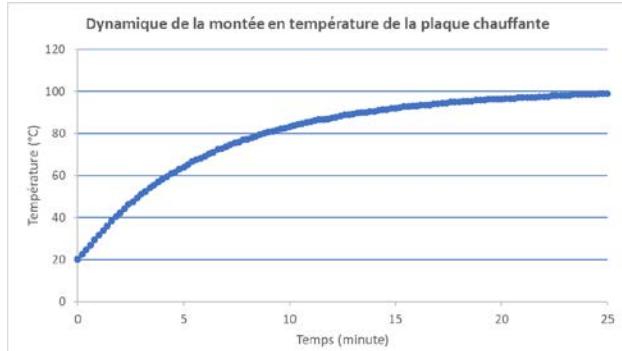
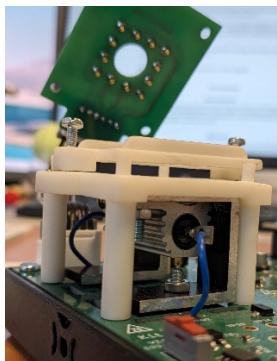


Fig.5. Vue sur la plaque chauffante intégrée au PCB et dynamique de montée en température sous 9 V.

Les performances obtenues rendent compatible son utilisation lors d'une séance de travaux pratiques. La constante de temps thermique (quelques minutes) de la plaque chauffante étant beaucoup plus grande que la constante de temps de la puce (quelques secondes), la mesure de l'évolution de la résistance de mesure avec la température peut s'effectuer durant la montée en température de la plaque.

### III. Conclusion et perspectives

Ce premier prototype nous a permis de valider la faisabilité d'intégration sur un même circuit imprimé de l'ensemble de l'électronique de mise en œuvre d'un dispositif réalisé en salle blanche, mettant en avant les micro-technologies et l'électronique d'instrumentation en vue de son pilotage. Il inclue la phase de calibrage de la puce à l'aide d'une mini-plaque chauffante placée sur la carte.

L'utilisation d'un écran tactile et d'un microcontrôleur ouvre son utilisation de manière plus large, non seulement à des formations autour de la micro-électronique, mais aussi autour des systèmes embarqués et de la programmation associée.

A terme, nous souhaitons proposer ce kit aux formations en lien avec la micro-électronique, avec l'appui du CNFM pour sa fabrication. En parallèle, nous sommes en train de mettre en place un site web qui mettra en avant les aspects Microtechnologie et salle blanche au travers d'une virtualisation et d'un « serious game » du procédé de fabrication. Ce site inclura aussi une mise en avant du kit et des Travaux Pratiques qui peuvent y être associés.

## Remerciements

Pour les développements de ce kit pédagogique au sein d'ESIEE Paris, nous tenons à remercier le GIP CNFM (Groupement d'Intérêt Public – Coordination Nationale pour la formation en Microélectronique et en nanotechnologies) via le pôle parisien CEMIP pour leur support financier, ainsi que le programme INFORISM. Nous remercions aussi le SMM (Service des Moyens de la Microélectronique) de l'ESIEE-Paris pour l'accueil et le support qu'ils ont apportés pour le bon fonctionnement de cet enseignement lors des nombreuses séances en salle blanche.

## Références

1. P. Poulichet et al, Lab-On-a-Chip : réalisation d'une PCR “Polymerase Chain Reaction”, *J3EA*, Vol 21, (2022)
2. Z. Yuan, F. Yang, F. Meng, K. Zuo and J. Li, "Research of Low-Power MEMS-Based Micro Hotplates Gas Sensor: A Review," *IEEE Sensors Journal*, vol. 21, no. 17, pp. 18368-18380, 1 Sept.1, (2021)
3. O. Français et al, « Approche des laboratoires sur puce par l'expérimentation: projet MyLOC », *J3eA*, 18, 1006 (2019).
4. Les Salles-Blanches à ESIEE-Paris : <https://www.esiee.fr/fr/ecoole/salles-blanches>
5. French national program (France 2030): INFORISM (Engineering of Education Innovative and Strategic in Microelectronics), AMI-CMA, ANR-23-CMAS-0024, June 2024, <https://www.cnfm.fr>
6. GIP-CNFM: Groupement d'Intérêt Public - Coordination Nationale pour la formation en Microélectronique et en nanotechnologies. Website: <http://www.cnfm.fr> (last access June 2025)



# **Effets musicaux et circuits électroniques : une pédagogie active pour l'enseignement de l'électronique**

R. Mohellebi<sup>a</sup>, D.-K.G. Pham<sup>a</sup>, K. Ben Kalaia<sup>a</sup>, C. Jabbour<sup>a</sup>

<sup>a</sup> Équipe C2S, LTCI, Télécom Paris, Institut Polytechnique de Paris, Palaiseau, France  
Contact email : reda.mohellebi@telecom-paris.fr

Cet article présente une méthode d'apprentissage innovante pour les concepts de base en électronique tels que l'amplification, le filtrage et la conversion analogique-numérique, ainsi que les outils mathématiques associés, comme les transformées de Fourier, de Laplace et de Z. La méthode repose sur l'utilisation de la musique pour illustrer ces concepts, en particulier par la création d'effets sonores appliqués aux guitares électriques. Ces effets sont testés et validés lors des travaux pratiques. Des supports pédagogiques supplémentaires sont introduits, comme des vidéos tutoriels sur des concepts complexes et des simulateurs de circuits animés. Le matériel nécessaire est simple, fiable et robuste, permettant ainsi aux étudiants et enseignants de se concentrer sur l'apprentissage. La méthode a été évaluée auprès de 200 étudiants en ingénierie, avant et après sa mise en place, et les résultats montrent une amélioration significative de la satisfaction des étudiants, passant de 50 % à 85 %.

## **I. Introduction**

Les domaines tels que l'intelligence artificielle, l'apprentissage automatique (machine learning) et le traitement des données suscitent aujourd'hui un grand intérêt, reléguant parfois l'enseignement de l'électronique au second plan dans les formations en génie électrique. Cependant, la curiosité demeure un moteur essentiel dans l'apprentissage (1). Pour capter l'attention des étudiants, plusieurs approches pédagogiques innovantes ont vu le jour, notamment celles qui intègrent des projets concrets ou des applications pratiques (2)(3)(4).

Une méthode particulièrement efficace consiste à utiliser la musique comme outil d'enseignement. Les signaux musicaux, avec leurs caractéristiques temporelles et fréquentielles, sont particulièrement accessibles et permettent d'illustrer des concepts théoriques comme la transformée de Fourier, l'amplification, le filtrage ou la conversion analogique-numérique. En outre, la musique étant un domaine familier et apprécié par la majorité des étudiants, ce cadre renforce leur engagement.

Le cours décrit dans cet article est structuré autour de quatre travaux pratiques (TP) durant lesquels les étudiants conçoivent des effets sonores pour guitare électrique, tels que la distorsion, le trémolo, le wah-wah, l'octaver et l'écho. Cette approche lie directement théorie et pratique, rendant l'apprentissage plus concret, interactif et motivant. Les résultats montrent une amélioration notable de la participation et de la motivation des étudiants.

L'article est organisé comme suit : la section II présente le contexte et l'organisation du cours, détaille les travaux pratiques et les liens entre théorie et effets sonores réalisés ainsi que d'autres innovations pédagogiques introduites pour améliorer l'apprentissage ; la section III discute des résultats obtenus ; et enfin, la section IV conclut l'étude.

## **II. Structure de l'enseignement de l'électronique à travers la musique**

### **A. Contexte et présentation du cours**

Le cours ELEC101 – Électronique des systèmes d’acquisition est dispensé à Télécom Paris, une grande école d’ingénieurs spécialisée dans les domaines scientifiques et technologiques. Environ 80 % des étudiants sont admis après un concours sélectif, tandis que 20 % proviennent d’une formation universitaire en mathématiques, physique ou informatique, leur admission étant basée sur un dossier.

Tableau 1 : Organisation du cours.

session	Titre	Description
1	Introduction	<ul style="list-style-type: none"> <li>- Contexte et objectifs</li> <li>- Impact de la loi de Moore</li> <li>- Situation économique et technologique</li> </ul>
2	Transformée de Laplace	<ul style="list-style-type: none"> <li>- Rappel de la transformée de Fourier</li> <li>- Généralisation avec la transformée de Laplace</li> <li>- Analyse de stabilité en temps continu</li> </ul>
3-4-5	Fonction amplification	<ul style="list-style-type: none"> <li>- Fonctionnement NMOS</li> <li>- Source commune avec charge résistive</li> <li>- Amplificateurs différentiels et opérationnels</li> <li>- Métriques : impédance d’entrée/sortie, GBW, gain DC</li> <li>- Conception d’un amplificateur audio à source commune</li> <li>- Effet de distorsion</li> </ul>
7	Échantillonnage et transformée en Z	<ul style="list-style-type: none"> <li>- Théorie de l’échantillonnage et repliement</li> <li>- Transformée en Z et équivalence avec transformée de Laplace</li> </ul>
8-9-10	Filtrage	<ul style="list-style-type: none"> <li>- Stabilité dans le domaine Z</li> <li>- Prototypes standards et approximations</li> <li>- Transformations de fréquence et de fonction</li> <li>- Implémentation des filtres</li> <li>- Filtre accordable pour effet Wahwah</li> </ul>
11-12-13	Capacité commuté	<ul style="list-style-type: none"> <li>- Analyse du transfert de charge</li> <li>- Équivalence entre systèmes discrets</li> <li>- Avantages et inconvénients</li> <li>- Effet tremolo</li> </ul>
14-15-16	Convertisseur analogique-numérique	<ul style="list-style-type: none"> <li>- Principe et analyse générale</li> <li>- Bruit de quantification et suréchantillonnage</li> <li>- Principales architectures de CAN</li> <li>- Effets numériques : octaver, écho</li> </ul>
17	5G et dimensionnement en band de base	<ul style="list-style-type: none"> <li>- Co-optimisation du filtre anti-repliement et du CAN (fréquence d’échantillonnage, nombre de bits)</li> <li>- Dimensionnement du CAN pipeline</li> </ul>
18	Examen final	<ul style="list-style-type: none"> <li>- 60 % de la note pour l’examen</li> <li>- 40 % de la note pour les TP</li> </ul>

Ce cours, obligatoire pour les étudiants de première année, regroupe environ 200 élèves, répartis en six groupes d’une trentaine d’étudiants. Chaque groupe suit l’intégralité du cours (30 heures), avec un enseignant principal assisté de deux doctorants pour les travaux pratiques.

Le contenu du cours, résumé dans le tableau 1 couvre les bases de l'électronique appliquée aux systèmes d'acquisition. Il comprend l'étude de trois fonctions principales, illustré sur la figure 1-a : l'amplification, le filtrage et la conversion analogique-numérique. Les étudiants sont également initiés aux amplificateurs opérationnels, à l'utilisation des capacités commutées comme alternative aux circuits RLC, ainsi qu'aux outils mathématiques tels que les transformées de Laplace et de Fourier.

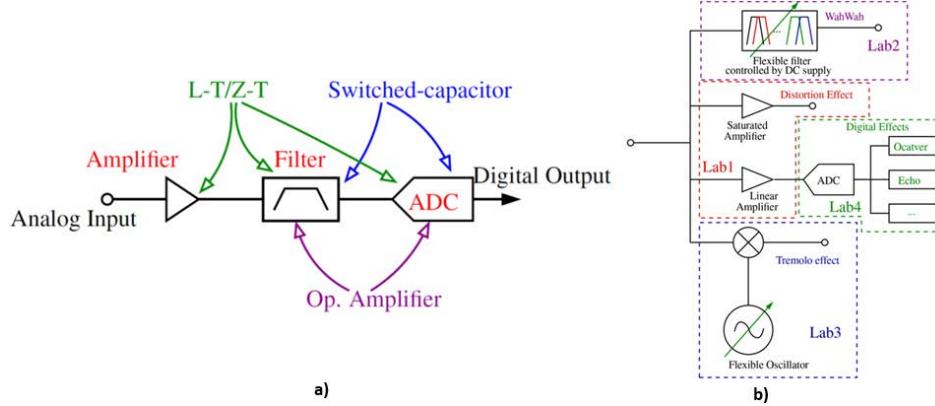


Fig. 1: a) fonctions étudiées dans le cours, b) les travaux pratiques

## B. Travaux pratiques

Les travaux pratiques, présentés dans la figure 1-b, comprennent quatre séances de trois heures, chacune consacrée à un concept clé du cours. Le premier TP traite de l'amplification et les effets de distorsion ; le second du filtrage et l'effet WahWah ; le troisième les circuits à capacités commutées et l'effet Trémolo ; et le dernier la conversion analogique-numérique (CAN), permettant de traiter des effets numériques tels que l'Octaver.

Les travaux pratiques utilisent le banc de test de la figure 2. Il est composé d'une carte de prototypage de fabrication interne, des composants soudés sur un cadre de 1 cm, des connecteurs mini-banane et des supports pour circuits intégrés. Elle offre une plus grande robustesse et une réduction du temps de réparation de bugs par rapport à une plaque d'essai classique, tout en étant réutilisable pour d'autres travaux pratiques. Le module ADALM1000 d'Analog Devices est utilisé pour le TP sur la CAN(5).

Les étudiants peuvent choisir entre l'utilisation de guitares électriques (quatre pour 40 étudiants) ou de signaux musicaux pré-enregistrés. Le coût total du matériel pour équiper 20 postes de travail est d'environ 3 500 €, un investissement durable et réutilisable.

### B.1. Amplification – Effet de distortion

Le premier TP a pour but de concevoir et d'analyser l'étage d'amplification d'un signal de guitare électrique. Cet amplificateur, basé sur un transistor MOSFET en montage à source commune, sert à la fois à adapter le signal pour la conversion analogique-numérique et à générer un effet de distorsion. Les étudiants observent la caractéristique de transfert en mode XY à l'oscilloscope afin de déterminer la zone linéaire et le point de repos du transistor, garantissant une dynamique symétrique autour de l'entrée du CAN.

Une étude de la réponse en fréquence permet de mesurer le gain et les fréquences de coupure haute et basse, afin de comprendre le comportement passe-bande de l'amplificateur. L'influence d'une charge faible (casque audio) est ensuite étudiée : la dégradation du signal met en évidence la nécessité d'un étage suiveur pour isoler la charge. Enfin, en augmentant la résistance de charge, le transistor entre en saturation, provoquant un écrêtage du signal et produisant la distorsion caractéristique du son de guitare électrique. Les étudiants peuvent alors comparer le son "propre" et le son "saturé", reliant directement théorie électronique et perception auditive.

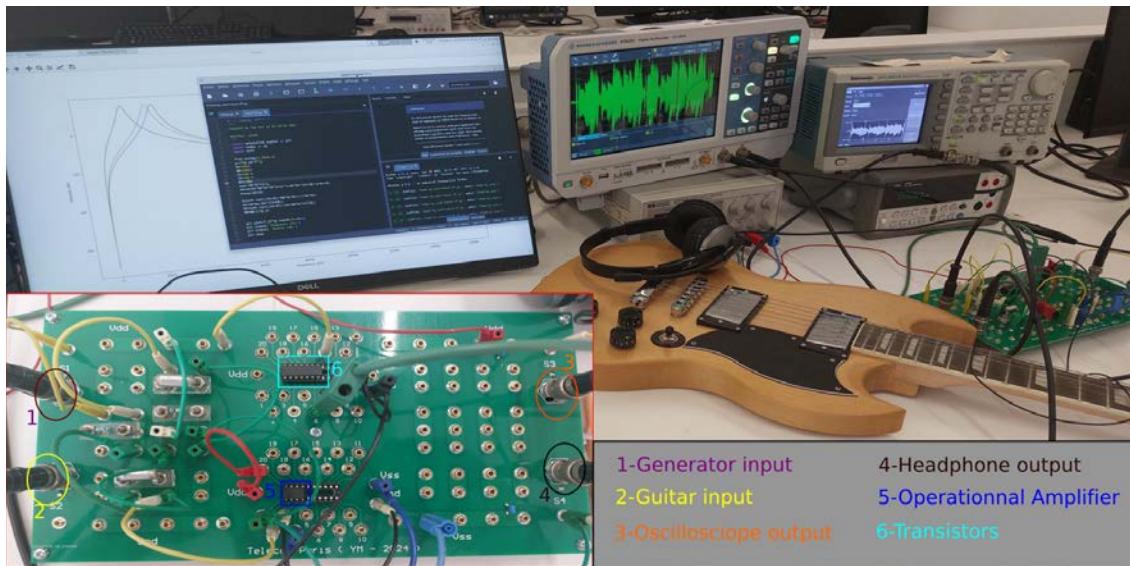


Fig. 2 : Banc de test pour les travaux pratiques

### B.2. Filtrage – Effet WahWah

Le deuxième TP consiste à concevoir un filtre passe-bande analogique accordable du second ordre (type Rauch) afin de produire un effet WahWah sur un signal de guitare. L’effet WahWah se caractérise par une modulation du timbre imitant une voyelle (“o–a–o”), obtenue en faisant varier la fréquence centrale du filtre entre environ 800 Hz et 2400 Hz. Les étudiants analysent la fonction de transfert, déterminent le gain, le facteur de qualité (Q) et la fréquence propre ( $\omega_0$ ), puis comparent les résultats expérimentaux et théoriques. Pour rendre l’effet dynamique, la résistance variable du filtre est remplacée par un transistor MOSFET agissant comme résistance commandée en tension. En modulant la tension de grille de 1 à 3 V, la fréquence centrale varie continuellement, reproduisant le mouvement typique d’une pédale WahWah. Le circuit, testé avec un signal de guitare réel ou enregistré, permet de percevoir l’effet sonore produit par la modulation analogique.

### B.3. Circuits à capacités commutés – Effet Trémolo

Ce troisième TP met en application les notions de circuits à capacités commutés étudiées en cours. Les étudiants doivent concevoir et analyser un oscillateur à capacités commutés fonctionnant entre 2 Hz et 20 Hz, utilisé pour moduler l’amplitude d’un signal audio et créer un effet Trémolo. Le travail comprend l’analyse théorique d’un intégrateur non inverseur, la dérivation des équations en temps discret et la simulation sous LTspice et Python. L’utilisation de la transformée en z permet de relier le comportement du circuit à sa réponse fréquentielle, établissant un lien entre électronique et traitement du signal. Les étudiants modélisent la stabilité du système et observent, à l’écoute, la modulation périodique d’intensité sonore propre au Trémolo. Cet exercice illustre parfaitement la connexion entre modélisation mathématique, simulation numérique et rendu auditif.

### B.4. Conversion analogique-numérique – Effets numériques

Le dernier laboratoire aborde la conversion analogique-numérique (CAN) et les effets numériques audio. Après un rappel des architectures Flash, suréchantillonnées et à registre d’approximation successive (SAR), les étudiants mettent en œuvre un convertisseur SAR à l’aide du module ADALM1000 d’Analog Devices. Les étudiants numérisent des signaux audios issus de l’amplificateur du premier TP, analysent la qualité du signal converti selon différentes conditions d’entrée, et traitent les données avec Python pour appliquer des effets numériques simples tels que le décalage de hauteur (pitch shifting) et l’écho. Ce TP permet de clôturer la série en reliant les

circuits analogiques étudiés précédemment à leur prolongement numérique, illustrant la continuité entre électronique, acquisition du signal et traitement audio numérique.

### C. Méthodes de soutien aux étudiants

L'un des enjeux majeurs de l'enseignement de cette unité réside dans la gestion de la diversité des profils au sein des grands groupes. Environ 20 % des étudiants présentaient des lacunes en électronique. Afin d'assurer une meilleure équité d'apprentissage, plusieurs dispositifs de soutien ont été mis en place.

Un stage intensif de pré-reentrée a d'abord été organisé afin de réviser les principes fondamentaux de l'électricité, les blocs fonctionnels essentiels et de familiariser les étudiants avec le matériel de laboratoire. Deux chapitres supplémentaires ont été intégrés au polycopié du cours pour récapituler ces notions de manière détaillée. Par ailleurs, un groupe d'enseignement spécifique a été constitué parmi les six existants, permettant d'adapter la pédagogie au rythme et au niveau de ces étudiants. Tout au long des six semaines d'enseignement, environ dix permanences ont été proposées. L'utilisation de simulateurs interactifs, tels qu'*EveryCircuit*, a également favorisé la compréhension des phénomènes électriques grâce à une visualisation dynamique des tensions et courants, facilitant ainsi le lien entre les équations théoriques et la réalité physique.

Enfin, afin de renforcer la compréhension de concepts plus abstraits, plusieurs capsules vidéo courtes ont été produites. Ces vidéos, d'une durée moyenne de six minutes, présentent les notions clés (par exemple la stabilité) en combinant explications théoriques, démonstrations par simulation et observations expérimentales, constituant ainsi un support complémentaire efficace au cours magistral.

## III. Résultats et analyse

Les résultats des modifications proposées ont été analysés à partir des évaluations écrites annuelles des étudiants, qui ont été invités à souligner les principaux aspects positifs et négatifs du cours, ainsi qu'à commenter la déclaration suivante : « Globalement, j'ai apprécié l'enseignement (objectifs, contenu, pédagogie) ? ». Bien que plusieurs paramètres, tels que l'enseignement à distance (mis en place pendant la pandémie du COVID-19) ou en présentiel, ainsi que le bien-être général des étudiants, puissent influencer les résultats, des tendances générales ont pu être dégagées. La figure 3 présente les évaluations de 2015 à 2023. Pour rappel, les principales modifications du cours ont été mises en place entre 2018 et 2021. Comme l'indiquent les résultats, les évaluations ont fortement progressé après les changements apportés. Avant ces modifications, environ 50 % des étudiants étaient satisfaits (partiellement ou totalement), tandis que durant la phase de modification, ce taux a atteint environ 65 %, pour culminer à environ 85 % après les ajustements. Cette amélioration a également été confirmée par les commentaires des étudiants. Par exemple, l'évaluation de 2023 résumée par un moteur LLM indique les points forts suivants : *les séances de travaux pratiques sont perçues comme claires, concrètes, utiles, motivantes et bien reliées au contenu du cours, tandis que le thème général autour de la guitare électrique a été bien accueilli. Les étudiants ont également souligné que les TP aident à mieux comprendre et appliquer la théorie et que l'équilibre entre les cours magistraux et les TP est globalement jugé bon. Parmi les points faibles, certains étudiants, en particulier ceux ayant un faible niveau en génie électrique, ont trouvé les séances de TP trop complexes et manquant parfois d'explications suffisantes. D'autres ont mentionné la durée excessive des TP ou leur orientation trop centrée sur les calculs, qui pourraient être abordés lors des séances de TD.*

Les commentaires des étudiants ont été utilisés au fil du temps pour améliorer le cours.

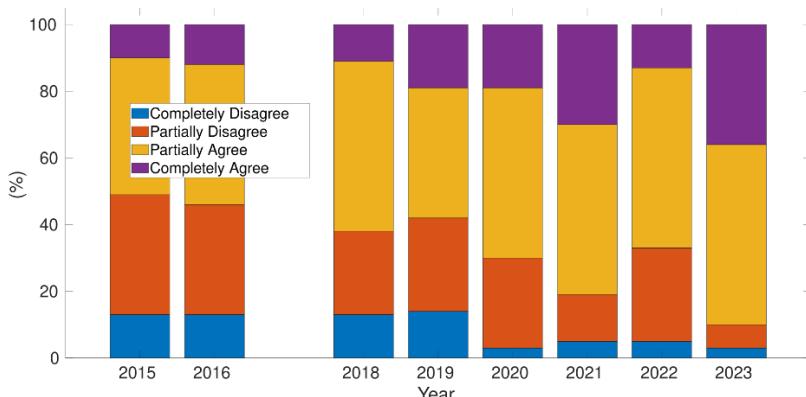


Fig. 3 : résultat des évaluations des élèves durant la période 2015-2023

Les points faibles relevés en 2023 étaient souvent mentionnés dans les commentaires des années précédentes. Plusieurs améliorations ont été proposées, telles que l'introduction de vidéos tutoriels pour expliquer la stabilité, l'augmentation des heures de permanences pour aider les étudiants avec un niveau plus faible en génie électrique, et la simplification des TP pour permettre à la majorité des étudiants de terminer dans les délais impartis. En 2024, le cours a été réorganisé et fusionné avec un cours plus large intégrant l'électronique numérique et analogique. Cette intégration offre des opportunités intéressantes en permettant une approche plus complémentaire de l'électronique, mais représente également un défi majeur pour maintenir une bonne cohérence entre les différentes parties. L'enseignement continue de s'améliorer et d'optimiser cette nouvelle version du cours.

#### IV. Conclusion

Dans cet article une approche basée sur la musique pour l'enseignement de l'électronique a été présenté, principalement axée sur la création d'effets sonores pour guitares électriques. D'autres méthodes d'apprentissage et de soutien ont été introduites pour améliorer l'expérience d'apprentissage, telles que la réalisation de courtes vidéos tutoriels sur des aspects complexes ou l'utilisation de simulateurs de circuits animés. L'utilisation des applications musicales pour enseigner l'électronique a offert de nombreux avantages, car la musique représente un point d'intérêt majeur dans la vie quotidienne des étudiants. Les signaux et applications musicales possèdent des propriétés intéressantes à la fois pour les outils de traitement du signal et pour l'électronique, et leur fréquence relativement basse ( $f < 20 \text{ kHz}$ ) permet de relaxer les contraintes sur les équipements de laboratoire. Les bénéfices d'apprentissage de cette méthode ont été confirmés par les retours des étudiants. Les résultats ont montré une amélioration de la satisfaction des étudiants, passant de 50 % à 85 %, et de nombreux commentaires ont souligné l'intérêt et l'importance des travaux pratiques.

#### Références

- Y. Tsividis, "Turning students on to circuits," *IEEE Solid-State Circuits Society Newsletter*, vol. 13, no. 1, pp. 6–9, 2008
- J. A. Morente, A. Salinas, S. Toledo-Redondo, J. Fornieles-Callejón, A. Méndez, and J. Portí, "A New Experiment-Based Way to Introduce Fourier Transform and Time Domain–Frequency Domain Duality," *IEEE Transactions on Education*, vol. 56, no. 4, pp. 400–406, 2013.
- R. M. Clark and S. J. Dickerson, "Assessing the Impact of Reflective Activities in Digital and Analog Electronics Courses," *IEEE Transactions on Education*, vol. 62, no. 2, pp. 141–148, 2019.
- W. Beccaro, E. Galeazzo, D. Consonni, H. E. Maldonado Peres, and L. R. Yoshioka, "Practical Learning of Analog-to-Digital Conversion Concepts With a Low-Cost Didactic Platform," *IEEE Transactions on Education*, vol. 67, no. 5, pp. 767–776, 2024.
- , "Adalm1000 active learning module," 2015, product documentation. [Online]. Available: <https://www.analog.com/ADALM1000>

# Attractivité de l'électronique : des mallettes connectées pour les collégiens

S. Avrillon<sup>a</sup>, G. Debert<sup>b</sup>, O. Demiraslan<sup>b</sup>, S. Druart<sup>b</sup>, D. Evellin<sup>b</sup>, L. Boursier<sup>c</sup>, A. Coquet<sup>c</sup>,  
G. Griffon<sup>c</sup>, M. Nouvel<sup>c</sup>, T. Poitevineau<sup>c</sup>

<sup>a</sup> IETR, Université de Rennes, Rennes, France

<sup>b</sup> Enseignants de l'Académie de Rennes, France

<sup>c</sup> Elèves apprentis de l'ESIR, Rennes, France

Contact email : stephane.avrillon@univ-rennes.fr

Un des objectifs du projet ESOS (Electronique Soutenable, Ouverte, et Souveraine) [1] est de développer l'attractivité de l'électronique auprès des jeunes afin de continuer à former des techniciens et ingénieurs dans ce domaine dans les années à venir. Dans ce cadre, des mallettes pédagogiques à destination des élèves de collège ont été développées et sont distribuées aux professeurs de technologie sur l'ensemble de la Bretagne. Pour l'utilisation de l'ensemble des cartes électroniques et capteurs de cette mallette, une Raspberry Pi est utilisée comme borne WiFi/Serveur/Base de données et fonctionne de façon complètement autonome, sans nécessité de passer par le réseau de l'établissement. Associée à ce projet, une équipe de professeurs de technologie de collège a actuellement mis en place 4 activités pédagogiques sur ces mallettes connectées.

## I. Objectifs de la mallette connectée : attractivité de l'électronique pour les collégiens

### A. Le projet ESOS et l'attractivité de la filière électronique



Fig.1. Logo du projet ESOS

Le projet ESOS (Electronique Soutenable, Ouverte et Souveraine) [1] est financé dans le cadre de l'appel à projet CMA (Compétences et Métiers d'Avenir) France 2023. Il vise à former les étudiants et les professionnels et à développer la recherche en électronique sous trois déclinaisons :

- l'électronique soutenable : analyse de cycle de vie des produits électroniques, écoconception de matériel électronique, réduction des déchets...
- l'électronique ouverte : participation au mouvement open source hardware
- l'électronique souveraine : formation dans des domaines de pointe pour avoir des personnels formés en France.

Avant de pouvoir les former, il est nécessaire d'attirer les jeunes vers ces métiers de l'électronique. Aussi, dans le cadre du projet ESOS, de nombreuses actions d'attractivité sont mises

en place à destination des collégiens, des lycéens et du grand public. Parmi ces actions, nous présentons ici plus en détail la mallette connectée à destination des collégiens de Bretagne.

### B. Constat sur l'enseignement en électronique au collège

Au collège, l'électronique commence à être abordée dans les enseignements de technologie. Aussi, l'équipe ESOS s'est mise en lien avec les IA-IPR de Sciences et Techniques Industrielles et des professeurs de technologie de Bretagne afin de définir avec eux quelle aide le projet ESOS pouvait apporter afin que les collégiens puissent avoir plus d'enseignements liés à l'électronique.

L'un des principaux freins actuel est que les collèges possèdent rarement du matériel électronique en assez grand nombre pour qu'un groupe d'élèves puisse faire des travaux pratiques en classe. Un autre frein est que les professeurs de collège n'ont pas les ressources pédagogiques « clé en main » pour travailler sur ces matériels et doivent donc passer beaucoup de temps pour se les appropriés. Enfin, beaucoup de systèmes électroniques nécessitent une connectivité en WiFi et les services informatiques des établissements ne sont pas enclins à fournir cette connectivité pour ce genre d'activité.

### C. Objectifs de la mallette connectée

Les discussions entre les IA-IPR et les professeurs de collège ont ainsi mené à la définition d'une mallette pédagogique qui permet à un professeur de technologie de collège d'avoir des séquences pédagogiques « clé en main », faciles à mettre en œuvre, avec le matériel correspondant à des classes de 30 élèves et ne dépendant pas du réseau WiFi de l'établissement.

Afin de toucher le plus de collégiens possibles, il est décidé de fournir 20 mallettes réparties sur toute la Bretagne. Les mallettes sont réservées en ligne directement par les enseignants pour des périodes de 7 semaines. Ceux-ci peuvent alors dérouler les séquences pédagogiques avec l'ensemble des classes qu'ils ont en collège, permettant de toucher un très grand nombre de collégiens.

## II. Description de la mallette connectée

L'équipe ESOS et des élèves de l'ESIR (Ecole Supérieure d'Ingénieurs de Rennes) se sont occupés de l'achat des matériels de la mallette ainsi que du développement d'une borne WiFi/serveur permettant la connectivité. Quatre enseignants de technologie, formateurs académiques, ont été en charge de la réalisation 3D des carénages des composants électroniques, des boîtiers de rangement, de l'agencement de la mallette ainsi que de la création/rédaction de séquences pédagogiques.



Fig.2. La mallette connectée avec les différentes cartes et boîtiers (à gauche) et sans les couvercles des boîtiers de rangement à (droite)

## A. Contenu de la mallette connectée

Le contenu de la mallette connectée a été choisi afin de pouvoir établir des séquences pédagogiques très diversifiées qui pourront évoluer dans le temps. Le plateau de rangement et l'ensemble des boîtiers ont été réalisés par les professeurs de technologie. Comme le montre la Fig.2, l'agencement a été conçu afin que la mallette soit facilement transportable et que le professeur puisse vérifier rapidement après chaque enseignement que l'ensemble des composants a bien été remis à sa place.

Voici la liste du matériel de chaque mallette :

- 1 borne WiFi (1× Raspberry PI5 RAM 8Go, 1× alimentation Raspberry 27W USB-C modèle UE, 1× carte microSD 32Go, 1× USB WIFI - Type TP LINK Model : TL-WN823N), 1× câble micro HDMI
- 10× cartes Galaxia + 10× câbles USB Micro-B USB-A
- 9× caméras ESP-32 + module Extender + 9× câbles USB-C USB-A
- 10× capteurs BME280 + 10× capteurs de lumière + 10× capteurs de distance avec câbles Grove

La carte microcontrôleur choisie est la carte Galaxia (avec son carénage Fig.3 à gauche et au centre). Elle possède un écran couleur, une LED, une entrée/sortie audio, 6 boutons, une connectivité WiFi ainsi que différents capteurs : accéléromètre, magnétomètre, luminosité et température. Il est possible d'ajouter d'autres capteurs, comme une caméra ESP32, par l'intermédiaire des connecteurs Grove.

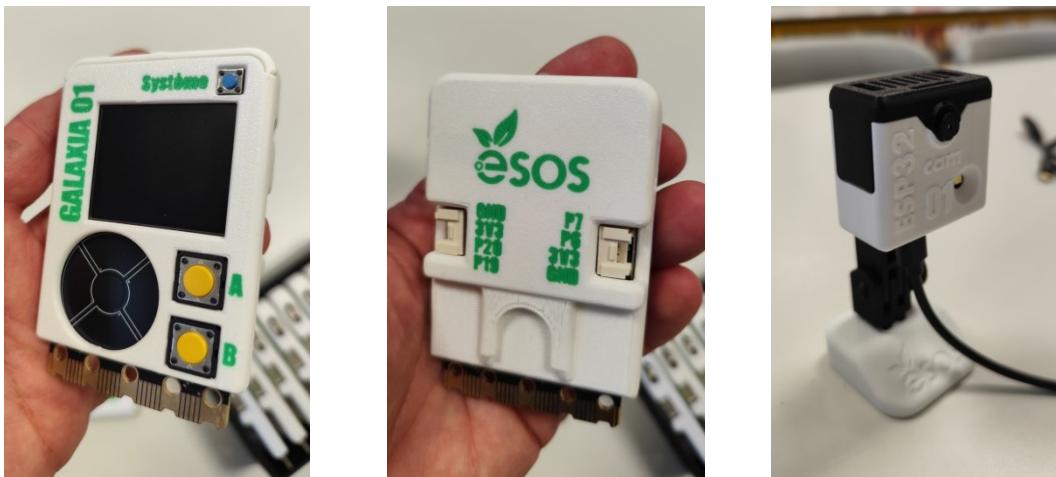


Fig.3. A gauche et au centre, vue de face et arrière d'une carte Galaxia. A droite, une caméra ESP32. Comme on peut le voir, toutes les cartes et les composants disposent d'un carénage sur mesure réalisé en impression 3D (ESP32 réalisée à partir du modèle 3D [2])

## B. Architecture réseaux et système

Comme le montre la Fig.4, la Rapsberry PI5, appelée « Borne WiFi » dans la mallette, sert de point d'accès WiFi mais peut aussi être utilisée avec son port série. Elle intègre aussi une base de données et l'outil Grafana. On peut se connecter à cette borne WiFi avec n'importe quel ordinateur, tablette ou téléphone portable et afficher, via une page web avec Grafana, des graphiques pour visualiser l'évolution des données au cours du temps ou les vidéos issues des caméras. Il est aussi possible d'exporter les données visualisées sous format csv.

Les cartes capteurs sont connectées aux cartes Galaxia via les ports Grove et elles envoient les données en WiFi à la borne WiFi. Les caméras envoient elles-aussi leur flux vidéo en WiFi.

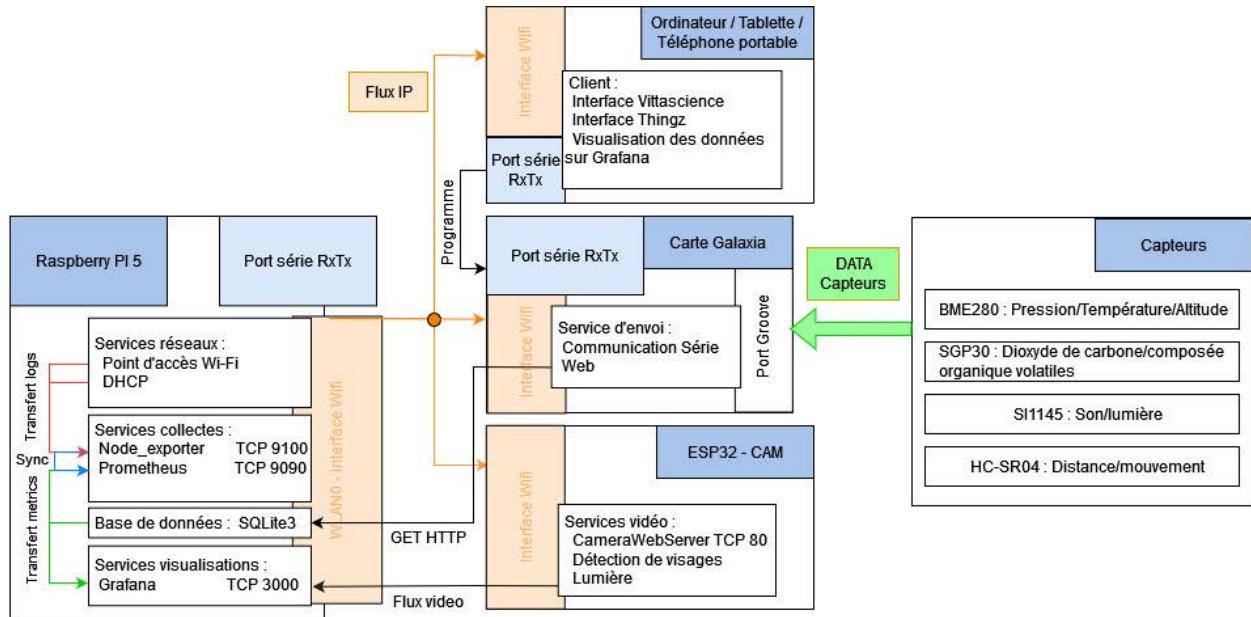


Fig.4. Architecture réseaux et systèmes de la mallette connectée ESOS

L'ensemble de cette architecture a été mis au point, testée et validée lors d'un projet d'élèves apprentis de l'ESIR en bac+4. Ainsi, l'ensemble des cartes et boîtiers sont préconfigurés avec des codes en Python disponibles en open source : [https://gitlab2.istic.univ-rennes1.fr/savrillo/mallette\\_connectee](https://gitlab2.istic.univ-rennes1.fr/savrillo/mallette_connectee)

Les professeurs de collège peuvent donc utiliser la mallette telle quelle mais il est aussi possible de modifier les codes et d'apporter des fonctions supplémentaires si besoin.

### III. Les activités pédagogiques associées

Sur l'année 2024-2025, trois activités pédagogiques ont été mises en place par les professeurs de technologie de collège : un projet de ballon-sonde et deux séquences pédagogiques, l'une sur un mini-lampadaire intelligent et l'autre sur un potager connecté. Une autre séquence est en cours de préparation et sera opérationnelle pour 2025-2026 : une ruche connectée. Ces séquences pédagogiques de 9h se déroulent sur 6 ou 7 semaines.

#### A. Le projet de ballon-sonde

Cette activité a été proposée sous forme de projet dans le cadre du club espace du Collège des Hautes-Ourmes de Rennes pour 2 groupes de 25 élèves. Le ballon-sonde réalisé par les élèves est équipé d'une caméra connectée permettant de recueillir et d'exploiter des données météorologiques. Après avoir calculé la masse maximale de la nacelle pour un vol à 4m de hauteur, les élèves fabriquent et programment une maquette. Le but est d'acquérir à distance des mesures de température et de pression atmosphérique afin de les exploiter sous forme graphique. Une caméra dotée d'un microcontrôleur ESP32 filme le sol et est orientable à l'aide d'une télécommande.

Comme le montre la Fig.5, ce projet a été présenté lors de la Fête de la Science de Rennes. Les élèves ont aussi mis en ligne un diaporama donnant un peu plus de détails sur la réalisation de ce ballon-sonde [3].



Fig.5. Présentation aux Champs Libres à Rennes pour la Fête de la Science du projet de ballon-sonde par les élèves de 4<sup>e</sup>.

### B. Séquence pédagogique sur le mini-lampadaire intelligent

Cette séquence est proposée aux élèves de 4<sup>e</sup> et permet de comprendre le fonctionnement d'un système automatisé intégrant plusieurs capteurs (luminosité, mouvement...) et ce qu'est une connexion réseau.

La maquette (Fig.6) est constituée d'un capteur de lumière tourné vers le ciel, d'une LED qui éclaire le sol, d'un capteur de mouvement et d'une carte Galaxia. Après avoir vu des notions de consommation d'énergie et avoir analysé les avantages/inconvénients de différentes technologies d'éclairage, les élèves font une analyse fonctionnelle du lampadaire avant de passer à la programmation de la carte Galaxia. La démarche est progressive allant d'un allumage de LED lorsque qu'un piéton appuie sur un bouton de la carte Galaxia jusqu'à un algorithme plus complexe qui prend en compte l'appui du bouton, la détection de mouvement et la luminosité ambiante. La dernière étape consiste à connecter ce lampadaire en WiFi et à montrer qu'un piéton peut allumer le lampadaire à distance avec son smartphone. La séquence pédagogique est disponible en ligne [4].

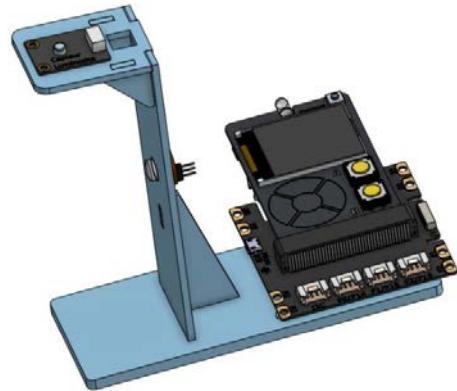


Fig.6. Représentation 3D de la maquette du mini-lampadaire intelligent avec le capteur de luminosité en haut à gauche et la carte Galaxia sur la droite. [4]

### C. Séquence pédagogique sur le potager connecté

L'idée de cette séquence est d'optimiser la consommation d'eau d'un potager en utilisant des capteurs d'humidité. Comme on le voit sur la Fig.7 et la Fig.8, cette séquence se déroule en trois phases. Elle utilise la borne WiFi de la mallette connectée et des cartes micro:bit qui ne sont pas dans la mallette mais qui sont disponibles dans les collèges.

Dans une première phase, les élèves étudient le capteur et la façon de mesurer (conversion d'une valeur analogique en numérique) et d'afficher l'humidité sur une carte électronique avec un écran. Dans une deuxième phase, l'information doit être transmise à distance sur un canal radio (<15m). Enfin, dans une troisième phase, le but est d'envoyer l'information sur internet afin qu'elle soit disponible sur n'importe quel objet connecté, par exemple un smartphone. La séquence pédagogique est disponible en ligne [5].



Fig.7. Phase 1 à gauche et phase 2 à droite de la séquence « Potager connecté » [5]

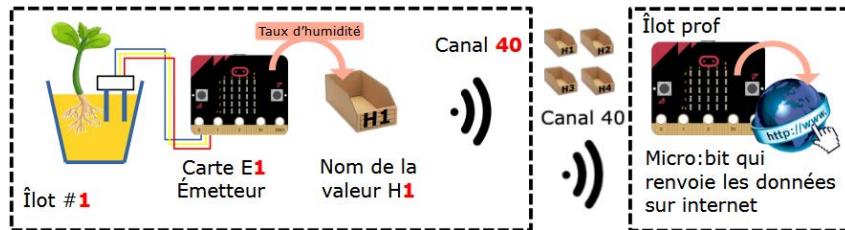


Fig.8. Phase 3 de la séquence « Potager connecté » [5]

#### D. Séquence pédagogique sur la ruche connectée

Cette séquence pédagogique en cours d’élaboration consiste à programmer un système capable de surveiller à distance une ruche. Pour cela, les élèves auront une analyse besoin à établir afin d’identifier les fonctions techniques à implémenter. Les données (humidité, température, son et vidéo) seront transmises en WiFi.

#### IV. Premiers bilans du déploiement des mallettes connectées et perspectives

Les 4 enseignants de collèges qui ont pris part à ce projet et créé les séquences pédagogiques, ont déjà mis en place des sessions de formation d’une demi-journée (3h) à destination de l’ensemble des enseignants de technologies de collège de Bretagne. Pour l’année 2024-2025, 45 professeurs ont participé à ces formations aux séquences pédagogiques avec l’utilisation des mallettes. Ces professeurs ont utilisé les mallettes dans leur classe et environ 500 collégiens ont donc travaillé sur des séquences pédagogiques avec les mallettes connectées en 2024-2025.

Pour 2025-2026, une quinzaine de professeurs supplémentaires devraient suivre la formation et l’ensemble des 60 professeurs ainsi formés pourront utiliser les mallettes. Chaque professeur ayant plusieurs classes et en moyenne au moins 100 élèves, au moins 6000 élèves des collèges bretons auront utilisé les mallettes pédagogiques et se seront donc initiés à la programmation d’objets électroniques connectés.

#### Remerciements

Les auteurs tiennent à remercier les inspecteurs d’académie-inspecteurs pédagogiques régionaux (IA-IPR) de Sciences et Techniques Industrielles de Bretagne pour leur soutien dans ce projet de mallettes connectées. Ces mallettes ont été financées dans le cadre du projet ESOS [1].

#### Références

1. Projet ESOS (Electronique Soutenable, Ouverte et Souveraine), France 2023, AMI-CMA, <https://esos.insa-rennes.fr>
2. Modèles 3D ESP32 CAM par Michal Fanta : <https://www.printables.com/model/801345-articulated-arm> et <https://www.printables.com/model/801363-esp32-camera-case>
3. Projet de ballon sonde : <https://view.genially.com/66e02e94f807ce78db61ce6c/presentation-presentation-de-la-maquette>
4. « Lampadaire intelligent » : <https://nuage01.apps.education.fr/index.php/s/p9FceXaKSF2NcMz>
5. « Potager connecté » <https://nuage01.apps.education.fr/index.php/s/tEKM8c5JjYWQNAM>

# **AMI-CMA INFORISM : un projet destiné à former de futurs acteurs innovants de la microélectronique et des nanotechnologies avec compétences et savoir-faire**

O. Bonnaud<sup>a,b</sup>

<sup>a</sup> IETR et pôle CNFM de Rennes (CCMO), Université de Rennes, Rennes, France

<sup>b</sup> GIP-CNFM, Grenoble, France

Contacts email : olivier.bonnaud@univ-rennes.fr, lorraine.chagoya@grenoble-inp.fr

## **1. Introduction**

Ce projet porté par le GIP-CNFM (1) et comprenant 12 partenaires académiques, un syndicat des industries électroniques (2) et une structure de consultance, a pour mission de former dans le cadre du plan France 2030 plus de techniciens, ingénieurs et docteurs dans le domaine de la microélectronique et des nanotechnologies. Il s'intitule « Ingénierie de Formations Innovantes et Stratégiques en Microélectronique ». Validé et supervisé par l'ANR, Agence Nationale de la Recherche, (projet ANR 23-CMAS 0024), il a pour objectif principal d'apporter les compétences, connaissances et savoir-faire à un nombre croissant d'acteurs qui seront utiles d'une part pour l'activité industrielle nationale existante mais également pour faciliter une réindustrialisation et apporter une souveraineté technique et technologique à un secteur clef permettant de répondre aux besoins sociétaux (3).

## **2. Contexte et mission du projet AMI-CMA INFORISM**

La figure 1 présente le contexte économique et sociétal centré sur les besoins et les défis du domaine de la microélectronique. Aussi bien au niveau français qu'au niveau international, les défis sont communs. Ils concernent l'innovation, le développement des activités du numérique et plus particulièrement de l'intelligence artificielle et pour assurer ces nécessités pratiques et technologiques, les compétences et l'emploi. Le réseau CNFM dans le cadre du projet se concentre essentiellement sur ces deux derniers points en tenant compte de l'évolution des techniques et de l'innovation permanente.



Figure 1 : Les défis techniques, technologiques et sociétaux dégagés dans le cadre de la Filière électronique et pris en compte dans le programme gouvernemental France 2030. Ces différents défis doivent être couverts par INFORISM, au moins partiellement. La formation doit être en adéquation avec l'innovation.

La figure 2 met en évidence les différents défis qu'ils soient techniques, technologiques ou sociétaux ce qui inclut les aspects industrialisation, souveraineté et compétition internationale.

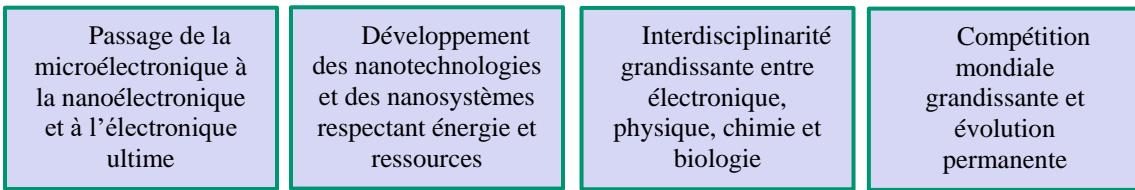


Figure 2 : Les défis techniques, technologiques et sociaux. Ces différents défis doivent être couverts par INFORISM, au moins partiellement.

Dans ce contexte, les domaines de compétences attendus pour relever les défis sont les suivants :

- Cybersécurité numérique et sécurité matérielle,
- Nanotechnologies, intégrations ultimes et technologie quantique,
- Energie, environnement, mobilité, transport,
- Architecture des systèmes, IoT, IA, industrie 4.0,
- Communications rapides, 5G, 6G, IoE.

Les partenaires du réseau sont d'une part les établissements de rattachement des 12 pôles interuniversitaires de microélectronique constituant la partie principale de l'activité de formation au savoir-faire, un syndicat des industries du domaine et une structure d'accompagnement et de reconversion, à savoir :

- GIP-CNFM : Groupement d'Intérêt Public pour la Coordination Nationale de la Formation à la Microélectronique et aux Nanotechnologies – Chef de file-Part. 1,
- Aix-Marseille Université : Pôle CNFM de Provence-Alpes-Côte-d'Azur, Part. 2,
- Institut Polytechnique de Bordeaux : Pôle CNFM de Bordeaux, (PCB) – Part. 3,
- Institut polytechnique de Grenoble : Pôle CNFM de Grenoble, Centre Interuniversitaire de Microélectronique (CIME Nanotech) – Part. 4,
- INSA Lyon : Pôle CNFM de Lyon, Centre Interuniversitaire de Microélectronique de Lyon (CIMIRLY) – Part.5,
- INSA Toulouse : Pôle CNFM de Toulouse, Atelier Interuniversitaire de MicroÉlectronique (AIME) – Part. 6,
- Université de Lille : Pôle CNFM de Lille : pôle Lillois de Formation à la Microélectronique (PLFM) – Part. 7,
- Université de Limoges : Pôle CNFM de Limoges : pôle de Limoges de Microélectronique (PLM) – Part. 8,
- Université de Montpellier, Pôle CNFM de Montpellier (PCM) et Services Nationaux – Part. 9,
- Sorbonne Université : Pôle CNFM de Paris Centre (CEMIP) – Part. 10,
- Université Paris-Saclay - Pôle CNFM de Paris-Saclay : Pôle Microélectronique Interuniversitaire de Paris-Sud (PMIPS) – Part.11,
- Université de Rennes 1 : Pôle CNFM de Rennes, Centre Commun de Microélectronique de l'Ouest (CCMO) – Part. 12,
- Université de Strasbourg : Pôle CNFM de Strasbourg : centre Microélectronique du Grand-Est (MIGREST) – Part.13,
- ACSIEL Alliance Electronique – Part. 14,
- MATRICE Association – Part. 15.

Le principal avantage du réseau national de plateformes techniques et technologiques au sein des pôles est de couvrir l'ensemble de la discipline, et plus particulièrement :

- la conception de composants, des circuits et des systèmes à l'aide des outils aux performances industrielles,
- les différents domaines de fonctionnement des circuits en puissance et en fréquences,
- les différents principes électroniques mis en œuvre, analogique, logique, asynchrone, synchrone,
- les différents procédés technologiques de fabrication mettant en œuvre différents types de matériaux et de dimensions (intégration et grande surface),
- les techniques de caractérisation, d'analyse et de fiabilité.

Les 5 actions du projet INFORISM en relation avec ce spectre de compétences (4) sont donc directement en accord avec les besoins manifestés par les entreprises au sein du Comité stratégique de filière (5) et sont présentés figure 3.



Figure 3 : Actions techniques et technologiques du projet INFORISM. Les thématiques ont été dégagées par le Comité Stratégique de Filière et inscrites dans le programme France 2030.

A ces 5 actions techniques s'ajoute une action d'attractivité et de sensibilisation de la discipline afin d'attirer le maximum de candidats aux études scientifiques et d'ingénierie, et d'augmenter le vivier de compétences apte à relever les défis de l'innovation et de souveraineté. A noter que ces actions sont aussi portées par d'autres projets AMI-CMA régionaux, et qu'une coordination se met progressivement en place pour viser une efficacité maximale. En effet, les AMI-CMA régionaux visent essentiellement l'attractivité et la sensibilisation alors que le projet INFORISM offre la possibilité d'acquisition de connaissances pratiques et de savoir-faire pour l'ensemble du territoire national.

### 3. Budget du projet INFORISM

Le budget global sur 5 ans qui tient compte de la dotation apportée par l'ANR dans le cadre des AMI-CMA est de 10M€. Quant aux cofinancements apportés par les différents partenaires du réseau, ils apparaissent dans le tableau de la figure 3, et sont soit sous forme numéraire dans le cadre de projets régionaux, européens ou avec des entreprises, soit sous forme de mise à disposition de personnels par les établissements académiques. Ainsi, l'apport global est près de 3 fois supérieur au soutien de l'AMI-CMA géré par l'ANR.

Budget global sur 5 ans			
Description	Coût total	Aide demandée	Apport consortium
Equipement (A)	5 607 000,00 €	3 924 900,00 €	1 682 100,00 €
Personnel (B)	24 575 500,00 €	1 306 450,00 €	23 269 050,00 €
Fonctionnement (C)	5 533 481,40 €	3 851 231,84 €	1 682 249,56 €
Prestations externes (D)	145 355,15 €	81 409,82 €	63 945,33 €
Frais généraux (E)	712 967,41 €	712 967,41 €	0,00 €
Frais de structure (F)	273 424,30 €	123 040,93 €	150 383,36 €
<b>Total (A+B+C+D+E+F)</b>	<b>36 847 728,26 €</b>	<b>10 000 000,00 €</b>	<b>26 847 728,26 €</b>

Figure 4 : Budget total du projet. L'apport de programme France 2030 ne représente qu'un tiers du coût total du projet, les deux autres tiers constituant du cofinancement.

#### 4. Réalisations sur les premiers 18 mois du projet INFORISM

Les partenaires du réseau ont commencé à travailler sur les sujets prioritaires dès l'acceptation du projet INFORISM par l'ANR. Ils ont amorcé l'implémentation de plateformes, d'outils et d'équipements innovants avant même la réception du premier versement par l'ANR en 2024 ; ceci a permis de mettre à disposition des formations utilisatrices de nouvelles activités pratiques. La figure 5 montre une sélection de réalisations significatives ouvertes aux formations sachant que plusieurs dizaines d'autres exemples peuvent être consultés sur le site du GIP-CNFM. Elle montre en particulier des activités portant sur l'électronique ultime, la sensibilisation à l'intrication quantique, le packaging de circuits intégrés, le test de MEMS, la conception de circuits intégrés très faible consommation, le nanorobot pour la nanotechnologie, la réalisation de circuits intégrés multi-projets (6).

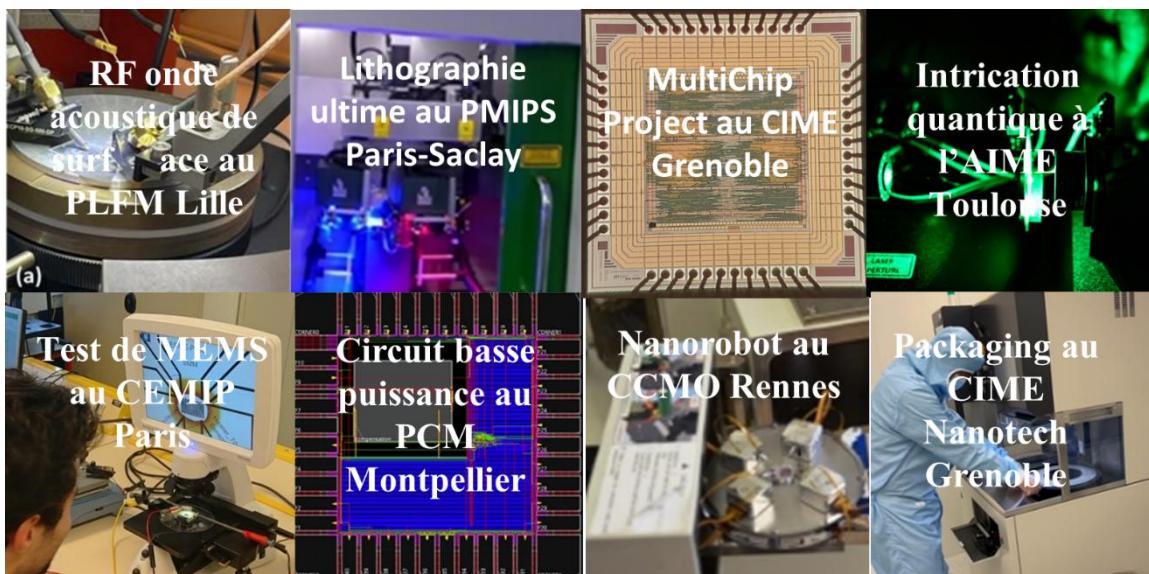


Figure 5 : Quelques réalisations des différents pôles sur des plateformes ouvertes à la formation et à l'innovation ;plusieurs sujets portent sur des défis à long terme comme la future électronique quantique.

Il peut être noté que plusieurs diplômes ont été créés sur les sujets porteurs par les établissements de rattachement.

#### 5. Conclusion

Le projet INFORISM a donné une nouvelle impulsion au réseau national de formation à la microélectronique, qui devrait alimenter les entreprises et les centres de recherche académiques ou industriels en collaborateurs compétents ayant du savoir-faire et des approches innovantes d'ici 2030. La poursuite de l'activité est donc prometteuse à condition de disposer du vivier de candidats, action à mener avec les partenaires AMI-CMA du domaine.

#### Remerciements

L'auteur souhaite remercier Lorraine-Chagoya-Garzon, assistante de direction du GIP-CNFM, pour son implication permanente au projet INFORISM dont elle assure depuis sa création la gestion administrative et pédagogique, et pour sa contribution à l'organisation des JP-CNFM'2025.

## Références

1. GIP-CNFM : Groupement d'Intérêt Public - Coordination Nationale pour la Formation en Microélectronique et en nanotechnologies. Website: <http://www.cnfm.fr>
2. ACSIEL Alliance Electronique. Website: <http://www.acsiel.fr/en-GB/index.aspx> (*dernière consultation octobre 2025*)
3. O. Bonnaud, Energy consumption and sustainability of digital activities calling improvement of microelectronics technologies and human skills. Proc. of 39th Symposium on Microelectronics Technology and Devices (SBMicro) | 979-8-3315-9963-8/25/\$31.00 ©2025 IEEE
4. O. Bonnaud, The five priority topics of Microelectronics training to meet future societal challenges, Proc. 37th Symposium on Microelectronics Technology and Devices, SBMicro'2023, Rio de Janeiro (Brazil), Sept. 2023, pp. 1-4, DOI: 10.1109/SBMicro60499.2023.10302583
5. Comité Stratégique de Filière, CSF, <https://www.filiere-electronique.fr/> (*dernière consultation décembre 2025*)
6. O. Bonnaud, The role and challenges of microelectronics enabling the future of computational techniques, numerical approaches and AI, Invited paper, Proc. 9th International Conference on Mathematical Models & Computational Techniques in Science & Engineering), Springer Verlag, February 2025, pp. 1-5.

# ASTEERICS - AMI-CMA C2FM : un projet destiné à établir le Centre de Compétences français dans le domaine de la microélectronique

O. Bonnaud<sup>a,c</sup>, L. Fesquet<sup>b,c</sup>

<sup>a</sup> IETR et pôle CNFM de Rennes (CCMO), Université de Rennes, Rennes, France

<sup>b</sup> Univ. Grenoble Alpes, CNRS, Grenoble INP\*, TIMA et CIME Nanotech) Grenoble, France

<sup>c</sup> GIP-CNFM, Grenoble, France (1)

Contacts email : olivier.bonnaud@univ-rennes.fr, laurent.fesquet@univ-grenoble-alpes.fr

## 1. Origine du projet

Les centres de compétences visent à renforcer et améliorer les capacités, les compétences des acteurs du secteur des semi-conducteurs afin de susciter innovation et création de nouveaux circuits par les entreprises, PME, TPE au niveau national, en raison de l'importance croissante de ce domaine dans toutes les applications sociétales (2). La création de ces centres a été proposée au niveau européen dans le cadre du *European Chips Act*. Tous les pays européens sont concernés. En effet, chaque pays doit mettre en place un centre permettant de sensibiliser et d'accompagner les petites et moyennes entreprises à la mise en œuvre de composants microélectroniques dans les technologies accessibles aux européens afin de conserver une souveraineté nationale (3) et européenne dans ce domaine très concurrentiel. En effet, aussi bien les USA que les pays de l'Extrême-Orient ont une suprématie dans l'innovation et la production des composants, des circuits et des systèmes microélectroniques, étant donné que ces objets connaissent un développement fulgurant avec l'avènement des outils de l'intelligence artificielle (4), en particulier. Ceci s'inscrit dans de nouveaux défis sur la consommation d'énergie (5) et la durabilité (6).

## 2. Montage bicéphale du projet

Pour obtenir le soutien de l'Europe, les gouvernements des 27 états européens se sont engagés en 2022 à contribuer pour moitié aux financements de leurs centres de compétences respectifs. Les projets ont donc été construits sur la base d'un financement en provenance de l'Europe et d'un financement national. Il a fallu ainsi créer un consortium français pour candidater au niveau du Chips – Joint Undertaking (7) avec les objectifs du programme. Sachant qu'une mission majeure des centres de compétences est de former les acteurs et collaborateurs des entreprises aux techniques de réalisation des circuits intégrés à application spécifique (ASIC - Application-specific integrated circuit), le GIP-CNFM a été sollicité comme partenaire académique du consortium avec 7 autres partenaires répartis nationalement et fortement liés aux entreprises, à savoir les pôles de compétitivité. La première mouture, soumise à l'Europe a été retenue pour une durée de 4 ans avec comme chef de file, le pôle de Compétitivité grenoblois, MINALOGIC dont l'activité est centrée sur la microélectronique intégrée. Le projet a pour titre : ASTEERICS - *Attractivity, Services and Training for Energy Efficiency Reach on Integrated Circuits and Systems*,

Il a ensuite fallu obtenir le financement national. Sachant que les ministères français concernés n'avaient pas de programmes cadres adaptés à ce type de projet, c'est au travers d'un projet AMI-CMA -Appel à Manifestation d'Intérêt – Compétences et métiers d'Avenir (8) du Programme France 2030, qu'il a fallu se tourner. Les mêmes partenaires du consortium ont ainsi proposé le projet : Centre de Compétences Français de la Microélectronique. Après de longues négociations et l'ajustement des financements pour

qu'ils soient compatibles avec des règles différentes de financement et de fonctionnement, le projet porte le double intitulé : ASTEERICS - C2FM : *Attractivity, Services and Training for Energy Efficiency Reach on Integrated Circuits and Systems* - Centre de Compétences Français de la Microélectronique.

Les logos du projet apparaissent sur la figure 1. Le choix du logo au centre de la figure a été coordonné par le chef de file et approuvé par l'ensemble des partenaires.



Figure 1 : Logos du projet ASTEERICS-C2FM. Ils doivent mentionner les origines des financements et des programmes associés ainsi que le logo propre du projet approuvé par le consortium. Le choix a été piloté par le chef de file, le pôle de compétitivité MINALOGIC.

### 3. Composition finale du consortium

Les 8 partenaires qui ont finalisé les doubles démarches administratives ont été les suivants :

- 1. Minalogic, pôle de Compétitivité, Coordonnateur
- 2. CAP'TRONIC, Successeur de JESSICA France, soutien aux entreprises (Toulouse)
- 3. GIP-CNFM (Structure Nationale)
- 4. Alpha-RLH, Pôle de Compétitivité Bordeaux
- 5. Aktantis, Pôle de Compétitivité de PACA-OCCITANIE
- 6. Systematic (Paris), Pôle de Compétitivité Mondial des DeepTech
- 7. Pôle Image et réseau (Lannion), Pôle de Compétitivité thématique
- 8. Smart power (SS2E), Pôle de Compétitivité des Pays de Loire-Aquitaine

Les pôles de compétitivité ont avant tout une mission de sensibilisation et d'attractivité vers les entreprises de leur sphère d'influence afin de les orienter vers des solutions plus industrielles et plus intégrées en dégageant bien les frontières de l'évolution des produits.

La formation des collaborateurs des entreprises ciblées doit permettre d'ouvrir le spectre de l'intégration pour des produits innovants, rôle dévolu au GIP-CNFM et à ses membres académiques sachant que, pour certaines technologies, la contribution d'industriels plus spécialistes est envisagée.

### 4. Mission du projet ASTEERICS-C2FM

Les missions sont de différentes formes sachant qu'elles visent l'accroissement des compétences dans le secteur des semi-conducteurs afin de soutenir l'écosystème des semi-conducteurs en Europe.

Elles se fixent comme objectifs :

- le renforcement des capacités : offrir une large gamme d'expertise aux PME et start-ups,
- la réduction de la pénurie de compétences : attirer et mobiliser de nouveaux talents dans le secteur des semi-conducteurs,
- l'accès aux infrastructures : faciliter l'accès aux infrastructures de conception et aux lignes pilotes permettant de réaliser dans une première phase des prototypes.

Les missions des Centres de Compétences européens sont les suivantes :

- faciliter l'accès aux compétences et infrastructures offertes par l'initiative pour les entreprises, centres de recherche, etc.,
- le transfert de technologie : accompagner les parties prenantes dans le développement de solutions.
- la formation : mettre en place, ou donner accès, à des formations pertinentes.

De plus, les Centres de Compétences doivent s'inscrire dans un cadre légal qui définit comment les centres de compétences sont établis et financés. Les États membres désignent des centres candidats via un processus ouvert et compétitif. Chaque centre est financé à 50% par le pays hôte et à 50% par l'Union européenne.

Ces règles ont été appliquées pour ce projet. Par ailleurs, les technologies ciblées faisant l'objet de la formation portent au niveau français sur les technologies SOI à base de silicium et également de matériaux III-V.

Parmi les livrables, le nombre de formés d'origine industrielle constitue l'objectif premier. Il serait souhaitable d'atteindre environ 400 participants aux sessions organisées sur la durée du projet. Il est clair que les sessions de quelques jours au maximum, ne permettent pas aux sessionnaires de devenir des spécialistes de la conception de circuits en technologie FDSOI 28 nm ou de technologies à base de SiC ou GaN. Toutefois, la sensibilisation aux différentes étapes et procédures de conception comportant des séances d'apprentissage de l'utilisation d'outils complexes devrait apporter aux décideurs des entreprises concernées une capacité de jugement de l'opportunité de passer aux ASIC pour leurs futurs produits en faisant éventuellement appel à des centres de conception spécialisés. La possibilité de prototypage existant au sein du réseau CNFM grâce au service CIME-P du pôle grenoblois de microélectronique (9) est un argument supplémentaire pour encourager les futures entreprises à innover dans ce domaine.

## 5. Structure du projet ASTEERICS-C2FM

Le réseau a défini son domaine d'action dans 5 opérations (ou *work package*) :

- WP1 : Management du consortium (pilotage)
- WP2 : Acculturation destinée essentiellement aux PME et TPE
- WP3 : Training for decision makers (sensibilisation des décideurs),
- WP4 : Technical and Academic training for energetic efficiency (formation destinée à concevoir des objets s'inscrivant dans les défis sociétaux, dont l'efficacité énergétique de composants, circuits et systèmes),
- WP5 : Project studies and qualification for ASIC Access (analyse de l'opportunité d'un passage à l'ASIC)

Pour l'ensemble du projet, le financement global en provenance de l'Europe et de France 2030 se monte à 4M€ sur 4 ans, sachant que pour la formation (opération WP4), le budget validé de soutien aux enseignants et plateformes se monte à 677k€. Ce montant est apparu suffisant sachant que dans la première phase du projet, les autres partenaires doivent constituer un vivier de futurs formés, ce qui va nécessiter de nombreuses opérations d'attractivité et de promotion, et donc du temps.

L'opération WP4, concerne essentiellement la formation académique du réseau GIP-CNFM. Le principal avantage du réseau national de plateformes techniques et technologiques au sein de ses pôles est de couvrir l'ensemble de la discipline, et plus particulièrement :

- la conception de composants, des circuits et des systèmes à l'aide des outils aux performances industrielles,

- les différents domaines de fonctionnement des circuits en puissance et en fréquences,
- les différents principes électroniques mis en œuvre, analogique, logique, asynchrone, synchrone,
- les différents procédés technologiques de fabrication mettant en œuvre différents types de matériaux et de dimensions (intégration et grande surface),
- les techniques de caractérisation, d'analyse et de fiabilité.

Si l'objectif technique est d'utiliser préférentiellement les technologies développées par les industriels français et plus particulièrement le FDSOI (Fully Depleted Silicon On Insulator), le plan de formation peut être adapté aux connaissances initiales des futurs formés et aux domaines d'application visés. Ce plan doit inclure une formation pratique aux outils de conception et de test, mais aussi aux approches technologiques dans les salles blanches des centres microélectroniques du réseau (1).

## 6. Conclusion

Le projet ASTEERICS-C2FM devrait apporter une nouvelle impulsion au réseau national de formation à la microélectronique (GIP-CNFM), en direction des petites et moyennes entreprises mais également des centres de recherche académiques ou industriels, grâce à une sensibilisation de collaborateurs compétents ayant du savoir-faire et des approches innovantes d'ici 2030. La poursuite de l'activité de ce projet est donc prometteuse à condition de disposer du vivier de candidats créé par les partenaires du consortium ASTEERICS-C2FM qui doivent attirer les futures compétences sur l'ensemble du territoire.

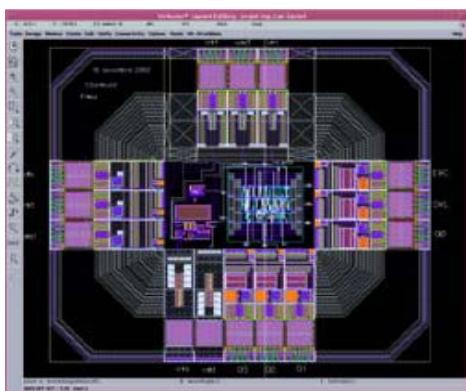
## Remerciements

Les auteurs souhaitent remercier Lorraine-Chagoya-Garzon, assistante de direction du GIP-CNFM, pour son implication dans la constitution du dossier de candidature du projet, pour la relecture de cet article, et pour sa contribution à l'organisation des JP-CNFM'2025.

## Références

1. GIP-CNFM : Groupement d'Intérêt Public - Coordination Nationale pour la Formation en Microélectronique et en nanotechnologies. Website: <https://cime.grenoble-inp.fr/fr/reseau-cnfm>
2. O. Bonnaud and L. Fesquet, "Microelectronics at the heart of the digital society: technological and training challenges", *IEEEExplore, Proc. of SBMicro '2019 Sao Paulo (Brazil)*, pp. 1-4, August 2019. doi: 10.1109/SBMicro.2019.8919405
3. Comité Stratégique de Filière, CSF, <https://www.filiere-electronique.fr/>
4. E. Lecomte, IA: un véritable gouffre énergétique, *Sciences et Avenir*, vol. 935, 2025, pp.39-41
5. O. Bonnaud, Les défis technologiques et humains de la microélectronique et des nanotechnologies, *J3ea*, Vol 22, 1001, 8 pages, 12 juillet 2024, DOI: <https://doi.org/10.1051/j3ea/20241001>
6. O. Bonnaud, Energy consumption and sustainability of digital activities calling improvement of microelectronics technologies and human skills. *IEEEExplore, Proc. 39th Symposium SBMicro '2025*, pp.: 1-5, Oct. 2025, DOI: 10.1109/SBMICRO66945.2025.11197838
7. Website du programme européen Chips JU acts : <https://www.chips-ju.europa.eu/> (dernière connexion Déc. 2025)
8. ANR Website, <https://anr.fr/en/france-2030/call-for-proposals-details/call/f6b65d72c5b875f28cf432b1391ac6ac/> (dernière connexion déc. 2025)
9. Website du CIME-P, service prototypage du pôle CNFM grenoblois CIME-Nanotech : <https://cime.grenoble-inp.fr/fr/prototypage> (dernière consultation, déc. 2025)

# LES PÔLES NATIONAUX DE FORMATION EN MICROÉLECTRONIQUE

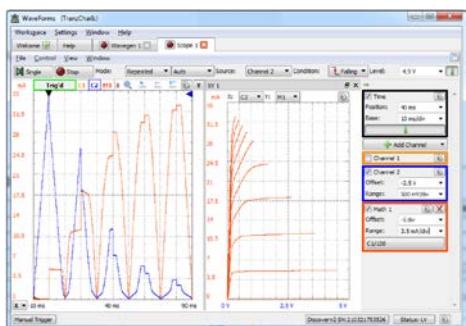


## AIME

Campus INSA  
135 avenue de Rangueil  
31077 TOULOUSE CEDEX 4  
Tel : 05.61.55.98.75  
marc.respaud@insa-toulouse.fr  
[www.aime-toulouse.fr](http://www.aime-toulouse.fr)

## PACA

Polytech' Marseille  
Château Gombert  
5 rue Enrico Fermi  
13456 MARSEILLE Cedex 13  
Tel : 04.13.55.40.05  
philippe.pannier@univ-amu.fr



## CCMO

IETR - Université Rennes I  
Campus de Beaulieu - Bât. 11D  
263 avenue Général Leclerc  
CS 74205  
35042 RENNES CEDEX  
Tel : 02.23.23.56.65  
laurent.pichon@univ-rennes1.fr  
<http://ccmo.univ-rennes1.fr>

## PCB

IMS  
Université Bordeaux  
351 Cours de la Libération  
33405 TALENCE CEDEX  
Tel : 05.40.00.28.33  
jean.tomas@ims-bordeaux.fr



## CEMIP

Sorbonne Université , bât Esclangon  
RDC R-14 Case courrier 7102  
4 place Jussieu  
75252 PARIS CEDEX 05  
Tel : 01.44.27.46.34  
jean-jacques.ganem@insp.upmc.fr

## PCM

Université Montpellier  
161 rue Ada  
34095 MONTPELLIER  
Tel : 04.67.14.96.84  
spcm@cnfm.fr  
<http://web-pcm.cnfm.fr>



## CIME-NANOTECH

CIME Nanotech  
Grenoble INP - Minatec  
3 parvis Louis Néel CS 50257  
38016 GRENOBLE CEDEX 1  
Tel : 04.56.52.94.03  
ahmad.bsiesy@univ-grenoble-alpes.fr  
[www.cime.grenoble-inp.fr](http://www.cime.grenoble-inp.fr)

## PLFM

IEMN - USTL  
Cité Scientifique - Avenue Poincaré  
BP 60069  
59652 VILLENEUVE D'ASCQ CEDEX  
Tel : 03.20.43.48.40  
virginie.hoel@iemn.univ-lille1.fr  
<http://cnfm.univ-lille1.fr>

## CIMIRLY

INSA de Lyon  
Laboratoire AMPERE  
25 avenue Jean Capelle  
69621 VILLEURBANNE CEDEX  
Tel : 04.72.43.81.77  
bruno.allard@insa-lyon.fr

## PLM

Université de Limoges  
XLIM - Dpt C2S2  
123 avenue Albert Thomas  
87060 LIMOGES CEDEX  
Tel : 05.55.45.72.42  
bruno.barelaud@xlim.fr

## MIGRESTR

Laboratoire ICube  
23 rue du Loess  
BP 20  
67037 STRASBOURG CEDEX 2  
Tel : 03 68 85 45 54  
wilfried.uhring@unistra.fr

## PMIPS

IEF – Bât. 220  
Université Paris Sud  
91405 ORSAY CEDEX  
Tel : 01.69.15.72.33  
guillaume.agnus@u-psud.fr

